

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-40981

(P2006-40981A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 27/10 (2006.01) HO 1 L 27/10 4 5 1 5 F O 8 3

審査請求 未請求 請求項の数 36 O L (全 18 頁)

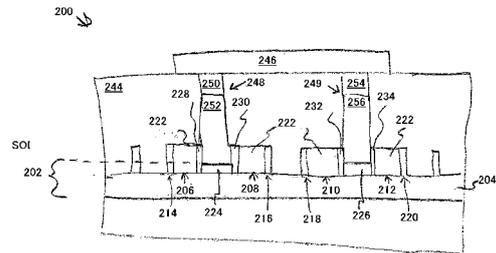
(21) 出願番号	特願2004-214988 (P2004-214988)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成16年7月22日 (2004.7.22)	(74) 代理人	100078282 弁理士 山本 秀策
		(74) 代理人	100062409 弁理士 安村 高明
		(74) 代理人	100107489 弁理士 大塩 竹志
		(72) 発明者	シェン テン スー アメリカ合衆国 ワシントン 98607 カマス, エヌダブリュー トラウト コート 2216
		Fターム(参考)	5F083 FZ10 GA09 HA02 JA38 JA39 JA40 JA60 LA21 PR03 PR25 PR40

(54) 【発明の名称】 高密度SOIクロスポイントメモリアレイおよびそれを製造するための方法

(57) 【要約】

【課題】 SOI RRAMアレイにおいて形成されたメモリセルの密度を増大し、利用可能な最小形状をうまく利用したアレイを提供すること。

【解決手段】 高密度SOIクロスポイントメモリアレイを製造するための方法は、SOI基板上にハードマスクを形成し、メモリ領域、活性デバイス領域、および上部電極領域を定義するステップと、露出したSi表面を除去するようにエッチングするステップと、ハードマスクに隣接した金属側壁を形成するステップと、メモリ領域をメモリレジスタ材料で満たすステップと、ハードマスクを除去して上に重なるSi活性デバイス領域を露出するステップと、上に重なる酸化物の層を形成するステップと、酸化物をエッチングし、活性デバイス領域にコンタクトホールを形成するステップと、コンタクトホールにおいてダイオードを形成するステップと、ダイオードの上に重なる底部電極線を形成するステップとを包含する。



【選択図】 図2

【特許請求の範囲】

【請求項 1】

高密度絶縁体上シリコン(SOI)クロスポイントメモリアレイを製造するための方法であって、該方法は、

SOI基板上にハードマスクを選択的に形成し、メモリ領域、活性デバイス領域、および上部電極領域を定義するステップと、

該露出したシリコン(Si)表面を除去するようにエッチングするステップと、

該ハードマスクに隣接した金属側壁を選択的に形成するステップと、

該メモリ領域をメモリレジスタ材料で満たすステップと、

該ハードマスクを除去し、該上に重なるSi活性デバイス領域を露出するステップと、

上に重なる酸化物の層を形成するステップと、

該酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップと、

該コンタクトホールにおいてダイオードを形成するステップと、

該ダイオードの上に重なる底部電極線を形成するステップと

を包含する、方法。

【請求項 2】

前記SOI基板上にハードマスクを選択的に形成するステップは、窒化物およびポリシリコンを含むグループから選択された材料からハードマスクを形成するステップを包含する、請求項 1 に記載の方法。

【請求項 3】

前記ハードマスクに隣接した金属側壁を選択的に形成するステップは、

該金属を等方的に堆積するステップと、

メモリ領域と活性デバイス領域との間に該側壁を形成し、底部電極線を形成するように該金属を異方的にエッチングするステップと

を包含する、請求項 1 に記載の方法。

【請求項 4】

前記金属を等方的に堆積するステップは、金属の厚さが50~100ナノメートル(nm)の範囲で等方的に堆積するステップを包含し、

該金属を異方的にエッチングするステップは、幅が25~50nmの範囲の側壁を有する金属側壁および底部電極線を形成するステップを包含する、請求項 3 に記載の方法。

【請求項 5】

前記金属を異方的にエッチングするステップは、プラズマエッチングプロセスを用いるステップを包含する、請求項 3 に記載の方法。

【請求項 6】

前記ハードマスクに隣接する金属側壁を選択的に形成するステップは、

該ハードマスクに隣接する電極層を形成するステップと、

バリア層と該ハードマスクとの間に該電極層を差し挟むステップと

を包含する、請求項 1 に記載の方法。

【請求項 7】

前記バリア層を形成するステップは、Ti、TiN、WN、およびTa₂N₅からなる群から選択される金属からバリア層を形成するステップを包含する、請求項 6 に記載の方法。

【請求項 8】

前記電極層を形成するステップは、Ir、Pt、Au、およびRuからなる群から選択される金属から電極層を形成するステップを包含する、請求項 6 に記載の方法。

【請求項 9】

前記メモリ領域をメモリレジスタ材料で満たすステップは、

酸化物の層を等方的に堆積するステップと、

前記ハードマスクのレベルまで該酸化物を化学機械研磨(CMP)で平坦化するステップと、

10

20

30

40

50

該メモリ領域から該酸化物をエッチングするステップと、
該ハードマスクのレベルまで該メモリレジスタ材料をCMP平坦化するステップと
を包含する、請求項1に記載の方法。

【請求項10】

前記メモリレジスタ材料を等方的に堆積するステップは、スピニング、スパッタリング、および金属有機化学気相成長(MOCVD)プロセスからなる群から選択されるプロセスによってメモリレジスタ材料を堆積するステップを包含する、請求項9に記載の方法。

【請求項11】

前記メモリ領域をメモリレジスタ材料で満たすステップは、PCMO、超巨大磁気抵抗(CMR)、および高温超伝導(HTSC)材料からなる群から選択されるメモリレジスタ材料を用いるステップを包含する、請求項1に記載の方法。

10

【請求項12】

前記ハードマスクは、
全ての該ハードマスクを除去するようにエッチングし、前記上に重なるSiを露出するステップと、

前記Si活性デバイス領域をフォトリソでマスクするステップと、
隣接した電極線間に該露出されたSiを除去するようにエッチングするステップと
を包含する、請求項1に記載の方法。

【請求項13】

20

SOI基板上にハードマスクを選択的に形成するステップは、 $1F^2$ ジオメトリ活性デバイス領域を形成するステップを包含し、

前記酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップは、

該活性デバイス領域の中心の上に重なるように該コンタクトホールを形成するステップと、

$1F^2$ ジオメトリエッチング技術を用いて該コンタクトホールを形成するステップと、
該コンタクトホールを形成するステップに応じて、該活性デバイス領域に隣接して前記
金属側壁を露出するステップと

を包含する、請求項1に記載の方法。

30

【請求項14】

前記コンタクトホールにおいてダイオードを形成するステップは、底部電極線とメモリ領域との間にダイオードを形成するステップを包含する、請求項1に記載の方法。

【請求項15】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、

前記コンタクトホールにおいてSiをエピタキシャルに成長するステップと、

深いN⁺注入を行うステップと、

浅いP⁺⁺注入を行うステップと、

該注入に応じて、メモリ領域に隣接して底部電極ワード線と金属電極側壁との間の該Si
iにおいてP⁺⁺/N⁺接合を形成するステップと

40

を包含する、請求項14に記載の方法。

【請求項16】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、

ポリシリコンを等方的に堆積するステップと、

固相エピタキシャル成長プロセスを行うステップと、

前記酸化物のレベルまで前記SiをCMP平坦化するステップと、

深いN⁺注入を行うステップと、

浅いP⁺⁺注入を行うステップと、

該注入に応じて、メモリ領域に隣接して底部電極ワード線と金属電極側壁との間のSi
iにおいてP⁺⁺/N⁺接合を形成するステップと

50

を包含する、請求項 14 に記載の方法。

【請求項 17】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、

前記コンタクトホールにおいて Si をエピタキシャル成長するステップと、

深い P + 注入を行うステップと、

浅い N + + 注入を行うステップと、

該注入に応じて、メモリ領域に隣接して底部電極ビット線と金属電極側壁との間の Si において N + + / P + 接合を形成するステップと

を包含する、請求項 14 に記載の方法。

【請求項 18】

10

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、

ポリシリコンを等方的に堆積するステップと、

固相エピタキシャル成長プロセスを行うステップと、

前記酸化物のレベルまで CMP 平坦化するステップと、

深い P + 注入を行うステップと、

浅い N + + 注入を行うステップと、

該注入に応じて、メモリ領域に隣接して底部電極ビット線と金属電極側壁との間の Si において N + + / P + 接合を形成するステップと

を包含する、請求項 14 に記載の方法。

【請求項 19】

20

前記底部電極線と前記活性デバイス領域との間にダイオードを形成するステップは、単一介在性ダイオードを介して、底部電極線と複数のメモリ領域との間にダイオードを形成するステップを包含する、請求項 14 に記載の方法。

【請求項 20】

単一介在性ダイオードを介して、底部電極線と複数のメモリ領域との間にダイオードを形成するステップは、1組の隣接したメモリ領域の金属側壁境界線に接続されるダイオードを形成するステップを包含する、請求項 19 に記載の方法。

【請求項 21】

底部電極 / 上部電極メモリアレイを形成するステップをさらに包含する、請求項 20 に記載の方法。

30

【請求項 22】

前記 1 組の隣接したメモリ領域は、クロスポイントメモリアレイにおいてユニットメモリを形成する、請求項 20 に記載の方法。

【請求項 23】

高密度絶縁体上シリコン (SOI) クロスポイントメモリアレイであって、該アレイは、SOI 基板と、

該 SOI 基板においてエッチングされるメモリおよび上部電極のエッチングされた領域であって、該絶縁層まで及んでエッチングされる、領域と、

該メモリのエッチングされた領域におけるメモリレジスタ材料であって、メモリ領域を形成する、メモリレジスタ材料と、

40

該メモリ領域と活性デバイス領域との間の金属側壁境界線と、

金属側壁上部電極線と、

該メモリ領域および底部電極線の上に重なる酸化物パッシベーション層と、

該酸化物パッシベーション層の上に重なる底部電極線と、

該底部電極線と金属側壁境界線との間に接続されるダイオードと

を含む、アレイ。

【請求項 24】

前記金属側壁境界線および金属側壁底部電極線は、範囲が 25 ~ 50 ナノメートルの幅を有する、請求項 23 に記載のアレイ。

【請求項 25】

50

前記金属側壁境界線および金属側壁底部電極線は、

電極層と、

該電極層とメモリ領域との間に差し挟まれるバリア層とを含む、請求項23に記載のアレイ。

【請求項26】

前記バリア層は、Ti、TiN、WN、およびTa₂Nからなる群から選択される金属である、請求項25に記載のアレイ。

【請求項27】

前記電極層は、Ir、Pt、Au、およびRuからなる群から選択される金属である、請求項25に記載のアレイ。

10

【請求項28】

前記メモリレジスタ材料は、PCMO、巨大磁気抵抗(CMR)、および高温超伝導(HTSC)材料からなる群から選択される材料である、請求項23に記載のアレイ。

【請求項29】

前記活性デバイス領域は、1F²ジオメトリを有し、

前記ダイオードは、1F²ジオメトリを有し、少なくとも1つの金属側壁境界線と接続する、請求項23に記載のアレイ。

【請求項30】

前記各活性デバイス領域は、金属側壁境界線によって取り囲まれる、請求項23に記載のアレイ。

20

【請求項31】

前記各ダイオードは、対応する金属側壁境界線を介して、メモリ領域に動作可能に接続される、請求項23に記載のアレイ。

【請求項32】

前記各ダイオードは、P⁺/N⁺接合を含み、

前記底部電極線はワード線であり、

前記上部電極線はビット線である、請求項31に記載のアレイ。

【請求項33】

前記各ダイオードは、N⁺/P⁺接合を含み、

前記底部電極線はビット線であり、

前記上部電極線はワード線である、請求項31に記載のアレイ。

30

【請求項34】

前記各ダイオードは、底部電極線と複数のメモリ領域との間に接続される、請求項31に記載のアレイ。

【請求項35】

前記各ダイオードは、1組の隣接するメモリ領域の前記金属側壁境界線に接続される、請求項34に記載のアレイ。

【請求項36】

前記メモリ領域は、4F²ジオメトリ平方中に形成される、請求項23に記載のアレイ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、一般に、集積回路(IC)メモリ製造に関し、より詳細には、高密度レジスタランダムアクセスメモリ(RRAM)アレイ構造および製造プロセスに関する。

【背景技術】

【0002】

従来、RRAMは、バルクシリコン上に製造される。当業者に周知のように、バルクシリコン上に製造されたメモリセルと関連がある、比較的高いリーク電流およびキャパシタンスがあり、これは、読み出し時間および書き込み時間を低下させる。しかし、RRAMプログラミングパルス幅を10ナノ秒(ns)程度まで狭くするという用途が要求され始

50

めている。絶縁体上シリコン(SOI)CMOSデバイスが、対応するバルクシリコンデバイスよりも顕著に高い速度を有することは公知である。従って、SOI基板RRAMは、非常に高速なメモリ回路として所望される。

【0003】

SOI基板は、シリコン(Si)層から作成される。シリコン層は、例えば、サファイアまたは酸化物といった絶縁材料上にある。SOI基板の絶縁層は、関連したNMOSTランジスタとPMOSTランジスタとを完全に分離し、ラッチアップの発生を防止する。さらに、デバイスチャネルドーピングは過度に補う必要がなく、拡散領域は底部接合を持たない。これら全ての要因により、寄生抵抗を減少させる。

【0004】

高密度メモリアレイを形成するために用いられ得る垂直の1レジスタ/1ダイオード(1R1D)構造が記載されているものがある(特許文献1)。この構造は、高導電性埋め込みN+ビット線上にP+を形成する。しかし、結果として生じるP+N接合の厚さは、少なくとも500ナノメートル(nm)であり、SOIプロセスには適さない。

10

【0005】

図1は、バルクシリコンウェハ上の二重トレンチ分離1R1DRAM(従来技術)の部分的な断面図である。シャロートレンチは、少なくとも部分的に、P+層中まで及んで、底部電極から漏れるリーク電流を防止する。N+ビット線の導電率は、厚さが500nmより薄い場合、 $1k / m^2$ より高くない。従って、低い寄生抵抗を提供するために、SOI膜の最小厚は500nmオーダーになる必要がある。しかし、周辺回路の厚さは、メモリ領域の厚さよりもかなり薄くなり得る。この厚さの違いは、最新技術のリソグラフィツールが大きすぎて、対処できない。

20

【0006】

プロセスが開発された場合、SOIRRAMアレイにおいて形成されたメモリセルの密度を増大することは有利なことである。

【0007】

SOIRRAMアレイが形成され得た場合、利用可能な最小形状(feature size)をうまく利用することは有利なことである。

【特許文献1】米国特許第10/350,643号明細書

【発明の開示】

30

【発明が解決しようとする課題】

【0008】

高密度メモリアレイを形成するために用いられ得る垂直の1レジスタ/1ダイオード(1R1D)構造は、高導電性埋め込みN+ビット線上にP+を形成する。しかし、結果として生じるP+N接合の厚さは、少なくとも500ナノメートル(nm)であり、SOIプロセスには適さない。

【0009】

また従来 of バルクシリコンウェハ上の二重トレンチ分離1R1DRAMでは、低い寄生抵抗を提供するために、SOI膜の最小厚は500nmオーダーになる必要がある。しかし、周辺回路の厚さは、メモリ領域の厚さよりもかなり薄くなり得る。この厚さの違いは、最新技術のリソグラフィツールが大きすぎて、対処できない。

40

【課題を解決するための手段】

【0010】

(発明の要旨)

本発明は、高密度クロスポイントレジスタメモリアレイの超大規模集積(ULSI)メモリチップおよび内蔵されたメモリ装置を記載する。本発明は、SOIデバイスの特徴をうまく利用し、特徴のスケールのみ限定されないサイズを有するメモリセルを形成する。

【0011】

従って、高密度SOIクロスポイントメモリアレイを製造するための方法が提供される

50

。本方法は、SOI基板上にハードマスクを選択的に形成し、メモリ領域、活性デバイス領域、および上部電極領域を定義するステップと、該露出したシリコン(Si)表面を除去するようにエッチングするステップと、該ハードマスクに隣接した金属側壁を選択的に形成するステップと、該メモリ領域をメモリレジスタ材料で満たすステップと、該ハードマスクを除去し、該上に重なるSi活性デバイス領域を露出するステップと、上に重なる酸化物の層を形成するステップと、該酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップと、該コンタクトホールにおいてダイオードを形成するステップと、該ダイオードの上に重なる底部電極線を形成するステップとを包含する。

【0012】

前記ハードマスクに隣接した金属側壁を選択的に形成するステップは、該金属を等方的に堆積するステップと、メモリ領域と活性デバイス領域との間に、幅が25~50nmの範囲の側壁を有する該側壁を形成し、底部電極線を形成するように該金属を異方的にエッチングするステップとを包含する。前記電極線は、このプロセスによってさらに形成される。他の局面において、前記ハードマスクに隣接した金属側壁を選択的に形成するステップは、該ハードマスクに隣接した、例えばIr、Pt、Au、およびRuといった材料から電極層を形成するステップと、該電極層に隣接した、例えばTi、TiN、WN、またはTaNといった材料からバリア層を形成し、該バリア層とハードマスクとの間に該電極層を差し挟むステップとを包含する。

10

【0013】

本発明の高密度絶縁体上シリコン(SOI)クロスポイントメモリアレイを製造するための方法は、SOI基板上にハードマスクを選択的に形成し、メモリ領域、活性デバイス領域、および上部電極領域を定義するステップと、該露出したシリコン(Si)表面を除去するようにエッチングするステップと、該ハードマスクに隣接した金属側壁を選択的に形成するステップと、該メモリ領域をメモリレジスタ材料で満たすステップと、該ハードマスクを除去し、該上に重なるSi活性デバイス領域を露出するステップと、上に重なる酸化物の層を形成するステップと、該酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップと、該コンタクトホールにおいてダイオードを形成するステップと、該ダイオードの上に重なる底部電極線を形成するステップとを包含し、それにより上記目的が達成される。

20

【0014】

前記SOI基板上にハードマスクを選択的に形成するステップは、窒化物およびポリシリコンを含むグループから選択された材料からハードマスクを形成するステップを包含してもよい。

30

【0015】

前記ハードマスクに隣接した金属側壁を選択的に形成するステップは、該金属を等方的に堆積するステップと、メモリ領域と活性デバイス領域との間に該側壁を形成し、底部電極線を形成するように該金属を異方的にエッチングするステップとを包含してもよい。

【0016】

前記金属を等方的に堆積するステップは、金属の厚さが50~100ナノメートル(nm)の範囲で等方的に堆積するステップを包含し、該金属を異方的にエッチングするステップは、幅が25~50nmの範囲の側壁を有する金属側壁および底部電極線を形成するステップを包含してもよい。

40

【0017】

前記金属を異方的にエッチングするステップは、プラズマエッチングプロセスを用いるステップを包含してもよい。

【0018】

前記ハードマスクに隣接する金属側壁を選択的に形成するステップは、該ハードマスクに隣接する電極層を形成するステップと、バリア層と該ハードマスクとの間に該電極層を差し挟むステップとを包含してもよい。

【0019】

50

前記バリア層を形成するステップは、Ti、TiN、WN、およびTa₂Nからなる群から選択される金属からバリア層を形成するステップを包含してもよい。

【0020】

前記電極層を形成するステップは、Ir、Pt、Au、およびRuからなる群から選択される金属から電極層を形成するステップを包含してもよい。

【0021】

前記メモリ領域をメモリレジスタ材料で満たすステップは、酸化物の層を等方的に堆積するステップと、前記ハードマスクのレベルまで該酸化物を化学機械研磨(CMP)で平坦化するステップと、該メモリ領域から該酸化物をエッチングするステップと、該ハードマスクのレベルまで該メモリレジスタ材料をCMP平坦化するステップとを包含してもよい。

10

【0022】

前記メモリレジスタ材料を等方的に堆積するステップは、スピンコーティング、スパッタリング、および金属有機化学気相成長(MOCVD)プロセスからなる群から選択されるプロセスによってメモリレジスタ材料を堆積するステップを包含してもよい。

【0023】

前記メモリ領域をメモリレジスタ材料で満たすステップは、PCMO、巨大磁気抵抗(CMR)、および高温超伝導(HTSC)材料からなる群から選択されるメモリレジスタ材料を用いるステップを包含してもよい。

【0024】

前記ハードマスクは、全ての該ハードマスクを除去するようにエッチングし、前記上に重なるSiを露出するステップと、前記Si活性デバイス領域をフォトリソでマスクするステップと、隣接した電極線間に該露出されたSiを除去するようにエッチングするステップとを包含してもよい。

20

【0025】

SOI基板上にハードマスクを選択的に形成するステップは、1F²ジオメトリ活性デバイス領域を形成するステップを包含し、前記酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップは、該活性デバイス領域の中心の上に重なるように該コンタクトホールを形成するステップと、1F²ジオメトリエッチング技術を用いて該コンタクトホールを形成するステップと、該コンタクトホールを形成するステップに応じて、該活性デバイス領域に隣接して前記金属側壁を露出するステップとを包含してもよい。

30

【0026】

前記コンタクトホールにおいてダイオードを形成するステップは、底部電極線とメモリ領域との間にダイオードを形成するステップを包含してもよい。

【0027】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、前記コンタクトホールにおいてSiをエピタキシャルに成長するステップと、深いN⁺注入を行うステップと、浅いP⁺⁺注入を行うステップと、該注入に応じて、メモリ領域に隣接して底部電極ワード線と金属電極側壁との間の該SiにおいてP⁺⁺/N⁺接合を形成するステップとを包含してもよい。

40

【0028】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、ポリシリコンを等方的に堆積するステップと、固相エピタキシャル成長プロセスを行うステップと、前記酸化物のレベルまで前記SiをCMP平坦化するステップと、

深いN⁺注入を行うステップと、浅いP⁺⁺注入を行うステップと、該注入に応じて、メモリ領域に隣接して底部電極ワード線と金属電極側壁との間のSiにおいてP⁺⁺/N⁺接合を形成するステップとを包含してもよい。

【0029】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、前記コンタク

50

トホールにおいてSiをエピタキシャル成長するステップと、深いP+注入を行うステップと、浅いN++注入を行うステップと、該注入に応じて、メモリ領域に隣接して底部電極ビット線と金属電極側壁との間のSiにおいてN++/P+接合を形成するステップとを包含してもよい。

【0030】

前記底部電極線とメモリ領域との間にダイオードを形成するステップは、ポリシリコンを等方的に堆積するステップと、固相エピタキシャル成長プロセスを行うステップと、前記酸化物のレベルまでCMP平坦化するステップと、深いP+注入を行うステップと、浅いN++注入を行うステップと、該注入に応じて、メモリ領域に隣接して底部電極ビット線と金属電極側壁との間のSiにおいてN++/P+接合を形成するステップとを包含してもよい。

10

【0031】

前記底部電極線と前記活性デバイス領域との間にダイオードを形成するステップは、単一介在性ダイオードを介して、底部電極線と複数のメモリ領域との間にダイオードを形成するステップを包含してもよい。

【0032】

単一介在性ダイオードを介して、底部電極線と複数のメモリ領域との間にダイオードを形成するステップは、1組の隣接したメモリ領域の金属側壁境界線に接続されるダイオードを形成するステップを包含してもよい。

【0033】

底部電極/上部電極メモリアレイを形成するステップをさらに包含してもよい。

20

【0034】

前記1組の隣接したメモリ領域は、クロスポイントメモリアレイにおいてユニットメモリを形成してもよい。

【0035】

本発明のレイは、高密度絶縁体上シリコン(SOI)クロスポイントメモリアレイであって、該レイは、SOI基板と、該SOI基板においてエッチングされるメモリおよび上部電極のエッチングされた領域であって、該絶縁層まで及んでエッチングされる、領域と、該メモリのエッチングされた領域におけるメモリレジスタ材料であって、メモリ領域を形成する、メモリレジスタ材料と、該メモリ領域と活性デバイス領域との間の金属側壁境界線と、金属側壁上部電極線と、該メモリ領域および底部電極線の上に重なる酸化物パッシベーション層と、該酸化物パッシベーション層の上に重なる底部電極線と、該底部電極線と金属側壁境界線との間に接続されるダイオードとを含み、それにより上記目的が達成される。

30

【0036】

前記金属側壁境界線および金属側壁底部電極線は、範囲が25~50ナノメートルの幅を有してもよい。

【0037】

前記金属側壁境界線および金属側壁底部電極線は、電極層と、該電極層とメモリ領域との間に差し挟まれるバリア層とを含んでもよい。

40

【0038】

前記バリア層は、Ti、TiN、WN、およびTaNからなる群から選択される金属であってよい。

【0039】

前記電極層は、Ir、Pt、Au、およびRuからなる群から選択される金属であってよい。

【0040】

前記メモリレジスタ材料は、PCMO、巨大磁気抵抗(CMR)、および高温超伝導(HTSC)材料からなる群から選択される材料であってよい。

【0041】

50

前記活性デバイス領域は、 $1F^2$ ジオメトリを有し、前記ダイオードは、 $1F^2$ ジオメトリを有し、少なくとも1つの金属側壁境界線と接続してもよい。

【0042】

前記各活性デバイス領域は、金属側壁境界線によって取り囲まれてもよい。

【0043】

前記各ダイオードは、対応する金属側壁境界線を介して、メモリ領域に動作可能に接続されてもよい。

【0044】

前記各ダイオードは、 $P++/N+$ 接合を含み、前記底部電極線はワード線であり、前記上部電極線はビット線であってもよい。

【0045】

前記各ダイオードは、 $N++/P+$ 接合を含み、前記底部電極線はビット線であり、前記上部電極線はワード線であってもよい。

【0046】

前記各ダイオードは、底部電極線と複数のメモリ領域との間に接続されてもよい。

【0047】

前記各ダイオードは、1組の隣接するメモリ領域の前記金属側壁境界線に接続されてもよい。

【0048】

前記メモリ領域は、 $4F^2$ ジオメトリ平方中に形成されてもよい。

【0049】

上記記載の方法および高密度SOIクロスポイントメモリアレイのさらなる詳細が以下に記載される。

【発明の効果】

【0050】

SOI RRAMアレイにおいて形成されたメモリセルの密度を増大することが可能になり、SOI RRAMアレイが形成され得た場合、利用可能な最小形状をうまく利用することができる。

【発明を実施するための最良の形態】

【0051】

図2は、本発明の高密度SOIのクロスポイントメモリアレイの部分的な断面図である。アレイ200は、絶縁層204を含むSOI基板202を含む。図示されるように、示されるSOI基板202の大部分のSiはエッチング除去された。メモリのエッチングされた領域および上部電極のエッチングされた領域がSOI基板202（破線よりも下位）に形成され、絶縁層204まで及ぶ。メモリレジスタ金属222は、メモリのエッチングされた領域の上に重なり、メモリ領域206/208/210/212を形成する。メモリレジスタ材料222は、例えば、 $Pr_{0.3}Ca_{0.7}MnO_3$ (PCMO)、巨大磁気抵抗(CMR)、または高温超伝導(HTSC)材料といった材料であり得る。

【0052】

SOI上部層のSi活性デバイス領域224は、メモリ領域206および208と隣接し、活性デバイス領域226は、メモリ領域210および212と隣接する。メモリ領域206と活性デバイス領域224との間に金属側壁境界線228がある。メモリ領域208と活性デバイス領域224との間に金属側壁境界線230がある。メモリ領域210と活性デバイス領域226との間に金属側壁境界線232がある。メモリ領域212と活性デバイス領域226との間に金属側壁境界線234がある。さらに、金属側壁上部電極線214、216、218、および220が図示される。

【0053】

酸化物パッシベーション層244は、メモリ領域206/208/210/212および上部電極線214/216/218/220の上に重なる。底部電極線は、酸化物パッシベーション層244の上に重なる。底部電極線246が図示される。ダイオード248

10

20

30

40

50

は、底部電極線 246 と金属側壁境界線 228 および 230 との間に接続される。ダイオード 249 は、底部電極線 246 と金属側壁境界線 232 および 234 との間に接続される。

【0054】

図 3 は、メモリ領域 206 の部分的な断面の詳細図であり、メモリ領域 206 は代表的なメモリ領域である。いくつかの局面において、上部電極 214 により表されるように、金属側壁境界線 (228 / 230 / 232 / 234、図 2 参照) および金属側壁上部電極線 (214 / 216 / 218 / 220) は、25 ~ 50 ナノメートルの範囲の幅 300 を有する。

【0055】

他の局面において、金属側壁境界線および上部電極線 214 によって表されるような金属側壁上部電極は、バリア層 302 および電極層 304 を含む。バリア層 302 は、電極層 304 を水平方向に重なる。あるいは、バリア層 302 は、電極層 304 とメモリ領域 206 との間に差し挟まれる。一般に、電極層 304 は、ハードマスクに隣接して形成され (以下に詳細に説明される)、バリア層 302 は、その後形成される。バリア層 302 は、例えば、Ti、TiN、WN、または TaN といった材料であり得る。電極層 304 は、例えば、Ir、Pt、Au、または Ru といった材料であり得る。金属側壁境界線 228 はまた、電極層 304 とメモリ領域 206 との間に差し挟まれたバリア層 302 から形成され得ることに留意されたい。

【0056】

活性デバイス領域 224 によって表されるような活性デバイス領域は、 $1F^2$ ジオメトリを有する。図示されるように、活性デバイス領域 224 は、F に等しい幅 306 を有する。ここで F は最小形状である。活性デバイス領域 224 はまた、F の長さを有し、この図では示され得ない「紙面の中」まで及ぶ。同様に、ダイオード 248 によって表されるようなダイオードは、 $1F^2$ ジオメトリを有し、金属側壁境界線と接続する。ダイオード 248 は、側壁境界線 228 および 230 に接続されるように図示される。ダイオード 248 は、金属側壁境界線 228 を介してメモリ領域 206 に動作可能に接続され、金属側壁境界線 230 を介してメモリ領域 208 に動作可能に接続される。本明細書中に用いられるように、「動作可能に接続される」は、間接的に接続されるか、または、介在性のエレメントを介して接続されることを意味する。

【0057】

図 4 は、図 3 の活性デバイス領域 224 の平面図である。この図面は、活性デバイス領域 224 によって表されるような各活性デバイス領域は、金属側壁境界線によって取り囲まれることを示す。金属側壁境界線 228、230、400、および 402 が図示される。以下の製造プロセスにおいて説明されるように、4 つの境界線が実際に単一のエレメントとして形成される。活性デバイス領域 224 は、 $1F^2$ ジオメトリ平方に形成される。ここで長さ 404 は、幅 306 に等しい。メモリ領域 206 といったメモリ領域またはメモリセル領域は、 $4F^2$ ジオメトリ平方に形成され得る。

【0058】

図 2 に戻ると、各ダイオードは、P++ / N+ 接合を含む。ダイオード 248 は、P++ 領域 250 および N+ 領域 252 を含む。同様に、ダイオード 249 は、P++ 領域 254 および N+ 領域 256 を含む。故に、底部電極 246 はワード線であり、上部電極線 214 / 216 / 218 / 220 はビット線である。あるいは、底部電極線 246 はビット線であり、上部電極線 214 / 216 / 218 / 220 はワード線である。あるいは、図示されないが、各ダイオードは、N++ / P+ 接合で形成され得る。図 5 は、本発明のレイ構造の概略図である。6 ビット (B) × 4 ワード (W) が明確に図示されるが、他の局面においてワード線とビット線とは交換されてもよい。ワード線またはビット線のいずれかの線の指定は、動作中に、完成したデバイスに印加される電圧極性に依存する。図 2 および図 5 を共に考慮すると、各ダイオードは、底部電極線と複数のメモリ領域との間に接続される。より詳細には、各ダイオードは、1 組の隣接したメモリ領域の金属側壁境

10

20

30

40

50

界線に接続される。例えば、ダイオード 248 は、隣接したメモリ領域 206 (R5) および 208 (R6) に接続される。

【0059】

(機能的記載)

本発明の SOI 1R1D RRAM 構造の断面図が図 2 に示される。共通ワード線が図示されるが、共通ビット線構成も同様に実用的である。ビット線は、SOI 絶縁体の上に重なる側壁金属線で形成される。ビット線はまた、RRAM メモリセルの上部電極として機能する。メモリレジスタの上部電極はまた、絶縁体上の側壁金属線である。2つの隣接したレジスタメモリセルは、SOI P+層に接続され、次に、浅い N+接合を介してワード線に接続される。セルサイズは、 $4F^2$ と同等に小さくなり得る。

10

【0060】

図 6 は、SOI 基板の初期のエッチングステップの平面図である。シリコン窒化物またはポリシリコンのいずれかのハードマスク 600 の層は、SOI ウェハ 602 上に堆積される。SOI 膜の厚さは重要ではない。フォトレジストは、図示されるように、ハードマスクおよび SOI 膜をエッチングするために用いられる。

【0061】

図 7 は、上部電極および周囲の側壁の形成後の平面図である。RRAM 金属電極材料は、膜上に堆積され、異方的に (プラズマ) エッチングされる。いくつかの局面において、Ti、TiN、WN、または TaN といったバリア層が必要とされる。電極の金属は、例えば Pt または Ir であり得る。

20

【0062】

図 8 は、酸化物の堆積プロセス後の平面図である。酸化物 800 の層は、SOI 膜およびハードマスク 600 の厚さの合計よりも少なくとも 1.5 倍厚く堆積される。堆積後、酸化物は CMP プロセスによって平坦化される。

【0063】

図 9 は、図 8 の部分的な断面図である。この図は、上に重なるハードマスク 600 によって保護された SOI 基板の Si 層 900 を示す。

【0064】

図 10 は、選択された (メモリ) 領域における酸化物の除去後の図 9 の断面図である。フォトレジストは、マスクとして用いられる。

30

【0065】

図 11 は、メモリレジスタ材料 1100 の堆積後の図 10 のアレイの平面図である。メモリレジスタ材料は、スピニング、スパッタリング、または MOCVD プロセスによって堆積され得る。

【0066】

図 12 は、メモリレジスタ材料の CMP プロセス後の図 11 の部分的な断面図である。

【0067】

図 13 は、ハードマスク除去後の図 12 の平面図である。ハードマスクは、例えば、窒化物のハードマスクを除去するためのウェットエッチング、またはポリシリコンのハードマスクを除去するためのドライエッチングといった、任意の最先端のプロセスによって除去される。フォトレジストマスクを用いて、ビット線に沿って SOI シリコンを除去する。

40

【0068】

図 14 は、図 13 の部分的な断面図である。

【0069】

図 15 は、酸化物の堆積ステップ後の部分的な断面図である。パッシベーションシリコン酸化物 1500 の層が堆積され、CMP プロセスが行われる。

【0070】

図 16 は、コンタクトホールのエッチングプロセス後の部分的な断面図である。ビットコンタクトは、図示されるように、四角形の中心に配置される。最小ジオメトリレイアウト

50

トのため、この四角形は $1F^2$ である。結果として、ビットコンタクトホールは、金属境界線 700 に重なる。

【0071】

図17は、ダイオード形成後の部分的な断面図である。ビットコンタクトホールが開口された後、シリコンの層は、ビットコンタクトホールでエピタキシャル（選択的に）に成長し、その後、深いN+注入1700および浅いP++注入1702が続き、P++/N+接合を形成する。P++/N+欠乏領域は、金属側壁境界線に接触しない。あるいは、選択的なエピタキシャル成長プロセスは、ポリシリコン堆積およびSPEプロセスと置き換えられてもよい。SPE（固相エピタキシャル）成長プロセスは、温度450～600で、30分～2時間のアニーリングプロセスを含む。その後、ポリシリコンは、エッチングされるか、あるいはCMP平坦化され、その後に深いN+注入および浅いP++注入が続く。

10

【0072】

その後、相互接続金属が堆積され、図2の構造が結果として生じる。底部電極はワード線、側壁上部電極はビット線として記載されてきたが、底部電極および上部電極は、本発明の他の局面においてそれぞれビット線またはワード線であり得る。いずれの場合にせよ、ポジティブ電圧動作に対して、N++/P+接合の極性をP++/N+接合に配置することもまた好ましい。

【0073】

図18は、高密度SOIクロスポイントメモリアレイを製造するための本発明の方法のフローチャート図である。この方法は、明瞭のため、ナンバリングされたステップのシーケンスとして記載されるが、順序は、明確に提示されない限り、ナンバリングから推測されるべきでない。なお、これらのステップのいくつかがスキップされ得るか、あるいは厳密なシーケンスの順序を保持することを必要とすることなく実行されることが理解される。本方法は、ステップ1800で開始する。

20

【0074】

ステップ1802は、SOI基板上にハードマスクを選択的に形成し、メモリ領域、活性デバイス領域、および上部電極線を規定する。ステップ1804は、露出されたシリコン（Si）表面を除去するようにエッチングする。ステップ1806は、ハードマスクに隣接した金属側壁を選択的に形成する。ステップ1808は、メモリ領域をメモリレジスタ材料で満たす。ステップ1810は、ハードマスクを除去し、上に重なるSi活性デバイス領域を露出する。ステップ1812は、上に重なる酸化物の層を形成する。ステップ1814は、酸化物をエッチングし、活性デバイス領域にコンタクトホールを形成する。ステップ1816は、コンタクトホールにダイオードを形成する。ステップ1818は、ダイオードの上に重なる底部電極線を形成する。ステップ1820は、底部電極/上部電極メモリアレイを形成する。

30

【0075】

本方法のいくつかの局面において、ステップ1802におけるSOI基板上にハードマスクを選択的に形成するステップは、例えば、窒化物およびポリシリコン等の材料からハードマスクを形成するステップを包含する。

40

【0076】

他の局面において、ステップ1806におけるハードマスクに隣接する金属側壁を選択的に形成するステップは、サブステップを包含する（図示せず）。ステップ1806aは、金属を等方的に堆積する。ステップ1806bは、金属を異方的にエッチングし、メモリ領域と活性デバイス領域との間に側壁、ならびに上部電極線を形成する。いくつかの局面において、ステップ1806bは、プラズマエッチングプロセスを用いる。

【0077】

ある局面において、ステップ1806aにおける金属を等方的に堆積するステップは、50～100ナノメートル（nm）の範囲の金属の厚さを等方的に堆積するステップを包含する。ステップ1806bにおいて金属を異方的にエッチングするステップは、金属側

50

壁および25～50nmの範囲の側壁幅を有する上部電極線を形成するステップを包含する。

【0078】

他の局面において、ステップ1806におけるハードマスクに隣接して金属側壁を選択的に形成するステップは、代替のサブステップを包含する(図示せず)。ステップ1806cは、ハードマスクに隣接して電極層を形成する。ステップ1806dは、電極層と水平方向に重なるバリア層を形成する。あるいは、ステップ1806dは、バリア層とハードマスクとの間に電極層を差し挟む。いくつかの局面において、ステップ1806cは、例えばTi、TiN、WN、またはTaNといった金属からバリア層を形成する。ステップ1806dは、例えばIr、Pt、Au、またはRuといった金属から電極層を形成するステップを包含し得る。

10

【0079】

いくつかの局面において、ステップ1808におけるメモリ領域をメモリレジスタ材料で満たすステップは、サブステップを包含する(図示せず)。ステップ1808aは、酸化物の層を等方的に堆積する。ステップ1808bは、酸化物をハードマスクのレベルまでCMP平坦化する。ステップ1808cは、メモリ領域から酸化物をエッチングする。ステップ1808dは、メモリレジスタ材料を等方的に堆積する。ステップ1808eは、メモリレジスタ材料をハードマスクのレベルまでCMP平坦化する。ステップ1808dは、例えばスピニング、スパッタリング、または金属有機化学気層成長(MOCVD)プロセスといったプロセスによって、メモリレジスタ材料を等方的に堆積するステップを包含し得る。いくつかの局面において、ステップ1808は、メモリ領域を、例えばPCMO、巨大磁気抵抗(CMR)、または高温超伝導(HTSC)材料といったメモリレジスタ材料で満たす。

20

【0080】

いくつかの局面において、ステップ1810におけるハードマスクを除去するステップは、サブステップを包含する(図示せず)。ステップ1810aは、全てのハードマスクを除去するようにエッチングして、上に重なるSiを露出する。ステップ1810bは、Si活性デバイス領域をフォトレジストでマスクする。ステップ1810cは、隣接した上部電極線間の露出したSiを除去するようにエッチングする。

【0081】

いくつかの局面において、ステップ1802におけるSOI基板上にハードマスクを選択的に形成するステップは、 $1F^2$ ジオメトリ活性デバイス領域を形成するステップを包含する。同様に、ステップ1814におけるコンタクトホールを活性デバイス領域に形成するように酸化物をエッチングするステップは、サブステップを包含する(図示せず)。ステップ1814aは、活性デバイス領域の中心の上に重なるようコンタクトホールを形成する。ステップ1814bは、 $1F^2$ ジオメトリエッチング技術を用いてコンタクトホールを形成する。ステップ1814cは、コンタクトホールの形成に応じて、活性デバイス領域に隣接した金属側壁を露出する。

30

【0082】

ステップ1816におけるコンタクトホールにダイオードを形成するステップは、典型的に、一連のサブステップ(図示せず)における底部電極線とメモリ領域との間にダイオードを形成するステップを包含する。ステップ1816aは、コンタクトホールにおいてSiをエピタキシャルに成長する。ステップ1816bは、深いN+注入を行う。ステップ1816cは、浅いP++注入を行う。この注入に応じて、ステップ1816dは、底部電極ワード線とメモリ領域に隣接した金属電極側壁との間のSiにおいてP++/N+接合を形成する。あるいは、ステップ1816bは、深いP+注入を行い、ステップ1816cは浅いN++注入を行う。次に、ステップ1816dは、底部電極ビット線とメモリ領域に隣接した金属電極側壁との間のSiにおいてN++/P+接合を形成する。

40

【0083】

他の局面において、異なるサブステップ(図示せず)が行われ得る。ステップ1816

50

e は、ポリシリコンを等方的に堆積する。ステップ 1816 f は、固相エピタキシャル成長プロセスを行う。ステップ 1816 g は、Si を酸化物のレベルまで CMP 平坦化する。ステップ 1816 h は、深い N+ 注入を行う。ステップ 1816 i は浅い P++ 注入を行う。注入に応じて、ステップ 1816 j は、底部電極ワード線とメモリ領域に隣接した金属電極側壁との間の Si において P++ / N+ 接合を形成する。あるいは、ステップ 1816 h は深い P+ 注入を行い、ステップ 1816 i は浅い N++ 注入を行う。次に、ステップ 1816 j は、底部電極ビット線とメモリ領域に隣接した金属電極側壁との間の Si において N++ / P+ 接合を形成する。

【0084】

他の局面において、ステップ 1816 における底部電極線と活性電極デバイス領域との間にダイオードを形成するステップは、単一の介在性ダイオードを介して、底部電極線と複数のメモリ領域との間にダイオードを形成するステップを包含する。ある例において、ダイオードは、1組の隣接したメモリ領域の金属側壁境界線に接続される。

【0085】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【0086】

高密度絶縁体上シリコン (SOI) クロスポイントメモリアレイを製造するための方法が提供される。本方法は、SOI 基板上にハードマスクを選択的に形成し、メモリ領域、活性デバイス領域、および上部電極領域を定義するステップと、該露出したシリコン (Si) 表面を除去するようにエッチングするステップと、該ハードマスクに隣接した金属側壁を選択的に形成するステップと、該メモリ領域をメモリレジスタ材料で満たすステップと、該ハードマスクを除去し、該上に重なる Si 活性デバイス領域を露出するステップと、上に重なる酸化物の層を形成するステップと、該酸化物をエッチングし、該活性デバイス領域にコンタクトホールを形成するステップと、該コンタクトホールにおいてダイオードを形成するステップと、該ダイオードの上に重なる底部電極線を形成するステップとを包含する。

【図面の簡単な説明】

【0087】

【図1】図1は、バルクシリコンウェハ上の二重トレンチ分離 1R1D RAM (従来技術) の部分的断面図である。

【図2】図2は、本発明の高密度 SOI クロスポイントメモリアレイの部分的断面図である。

【図3】図3は、メモリアレイの部分的断面の詳細図であり、一般的なメモリアレイである。

【図4】図4は、図3の活性デバイスの平面図である。

【図5】図5は、本発明のレイ構造の概略図である。

【図6】図6は、SOI 基板の初期のエッチングステップの平面図である。

【図7】図7は、上部電極および周囲の側壁の形成後の平面図である。

【図8】図8は、酸化物の堆積プロセス後の平面図である。

【図9】図9は、図8の部分的断面図である。

【図10】図10は、選択された (メモリ) 領域における酸化物の除去後の断面図である。

【図11】図11は、メモリレジスタ材料の堆積後の図10のレイの平面図である。

【図12】図12は、メモリレジスタ材料の CMP プロセス後の図11の部分的断面図である。

ある。

【図13】図13は、ハードマスクの除去後の図12の平面図である。

【図14】図14は、図13の部分的な断面図である。

【図15】図15は、酸化物の堆積ステップ後の部分的な断面図である。

【図16】図16は、コンタクトホールのエッチングプロセス後の部分的な断面図である。

【図17】図17は、ダイオードの形成後の部分的な断面図である。

【図18】図18は、高密度SOIクロスポイントメモリアレイを製造するための本発明の方法を示すフローチャートである。

【符号の説明】

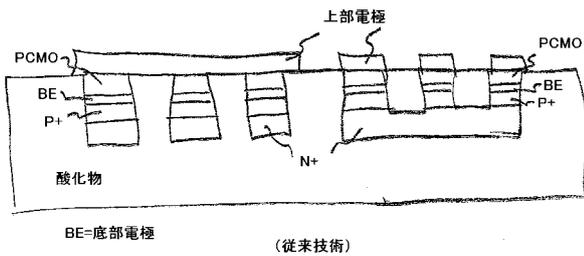
【0088】

- 200 アレイ
- 202 SOI基板
- 206 メモリ領域
- 214 金属側壁上部電極線
- 244 酸化物パッシベーション層
- 246 底部電極線
- 248 ダイオード
- 600 ハードマスク
- 700 金属境界線
- 800 酸化物
- 900 SOI基板のSi層
- 1100 メモリレジスタ材料
- 1500 パッシベーションシリコン酸化物

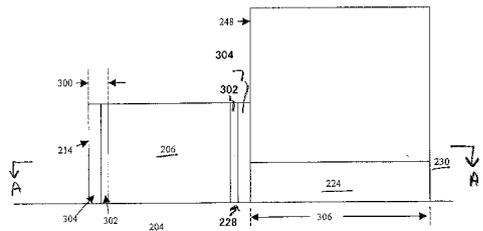
10

20

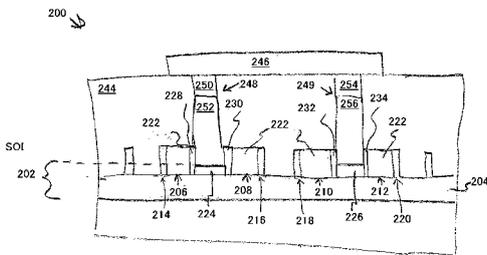
【図1】



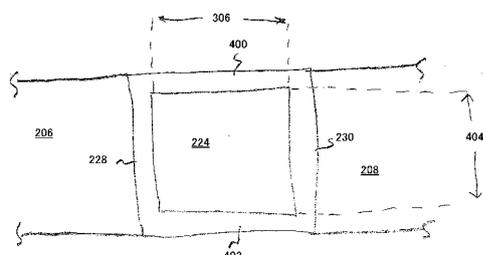
【図3】



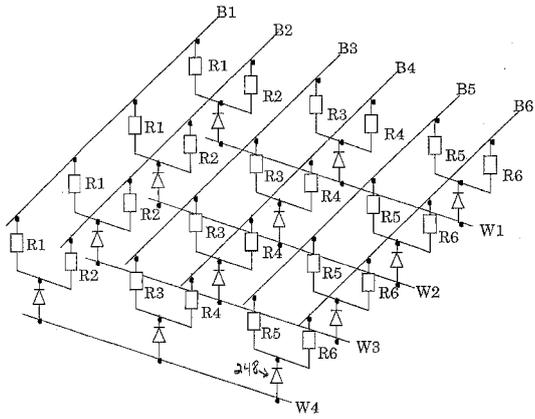
【図2】



【図4】

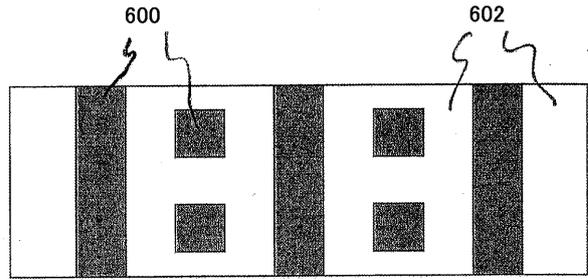


【図5】

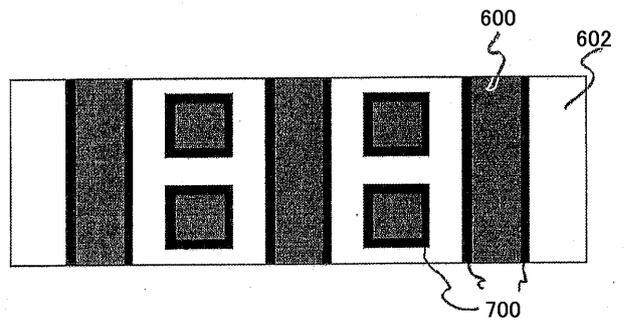


6×4メモリアレイ

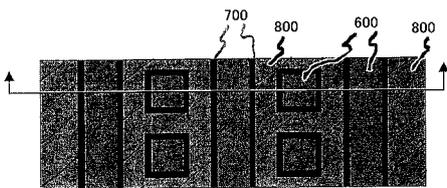
【図6】



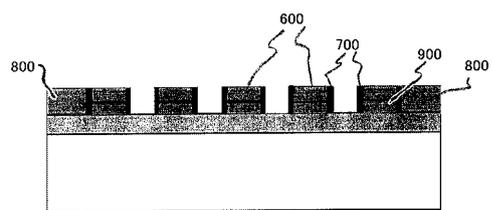
【図7】



【図8】

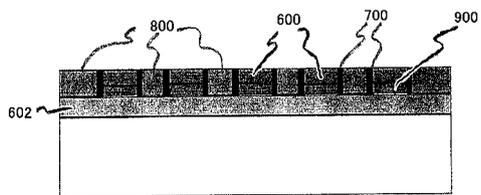


【図10】



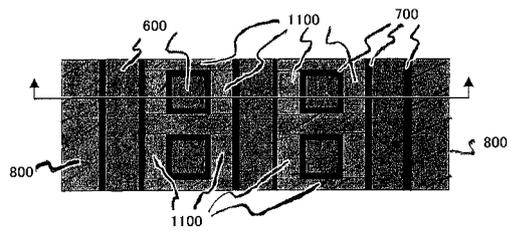
メモリ領域からの酸化物のエッチング後

【図9】

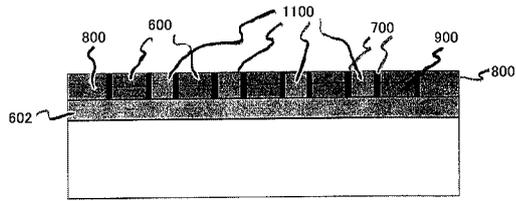


酸化物の堆積およびCMP後

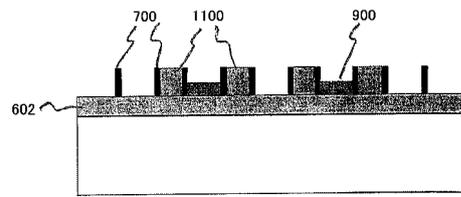
【図11】



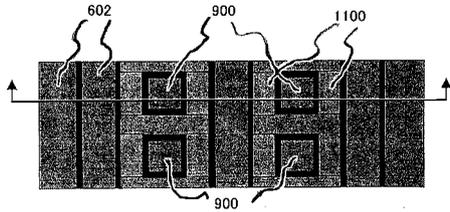
【図 12】



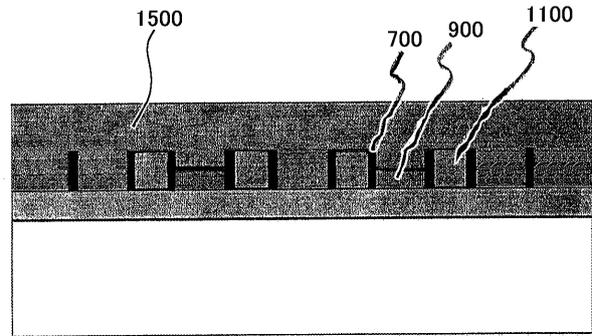
【図 14】



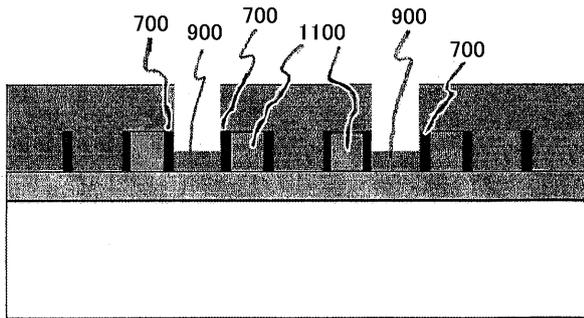
【図 13】



【図 15】

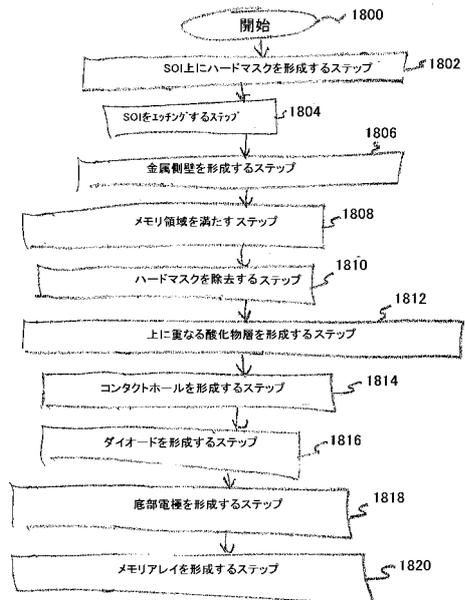


【図 16】



コンタクトホール

【図 18】



【図 17】

