

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5048029号  
(P5048029)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年7月27日(2012.7.27)

(51) Int. Cl.		F I		
H03K 19/094	(2006.01)	H03K 19/094		D
H01L 21/822	(2006.01)	H01L 27/04		G
H01L 27/04	(2006.01)			

請求項の数 6 (全 8 頁)

(21) 出願番号	特願2009-209804 (P2009-209804)	(73) 特許権者	500262038
(22) 出願日	平成21年9月10日 (2009.9.10)		台湾積體電路製造股▲ふん▼有限公司
(65) 公開番号	特開2010-109969 (P2010-109969A)		Taiwan Semiconductor Manufacturing Company, Ltd.
(43) 公開日	平成22年5月13日 (2010.5.13)		台湾新竹科學工業園區新竹市力行六路八號
審査請求日	平成21年9月11日 (2009.9.11)		8, Li-Hsin Rd. 6, Hsinchu Science Park, Hsinchu, Taiwan 300-77, R. O. C.
(31) 優先権主張番号	12/260, 982	(74) 代理人	110000877
(32) 優先日	平成20年10月29日 (2008.10.29)		龍華國際特許業務法人
(33) 優先権主張国	米国 (US)	(72) 発明者	▲吳▼ 偉豪
			台湾省新竹市科學工業園區研新一路9號

最終頁に続く

(54) 【発明の名称】 負バイアス温度不安定性を抑制する動的な基板バイアスシステムおよびその方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路であって、少なくとも、  
電源に接続されているソース極を備えた P チャネル CMOS トランジスタと、  
前記電源に接続され、第 1 の電位と第 2 の電位とを出力するように設けられており、前記第 1 の電位は前記第 2 の電位とは異なっており、しかも前記第 1 の電位は前記電源電圧の  $1/2$  以上かつ前記電源電圧未満であるとともに、前記第 2 の電位は前記電源電圧以上かつ前記電源電圧の  $3/2$  以下である電圧制御回路と、を備えており、

前記 P チャネル CMOS トランジスタがオンになったとき、前記第 1 の電位が前記 P チャネル CMOS トランジスタの基板に印加され、前記 P チャネル CMOS トランジスタがオフになったとき、前記第 2 の電位が前記 P チャネル CMOS トランジスタの前記基板に印加されることを特徴とする負バイアス温度不安定性を抑制するための集積回路。

【請求項 2】

前記第 1 の電位が前記電源電圧の  $1/2$  であることを特徴とする請求項 1 に記載の集積回路。

【請求項 3】

前記第 2 の電位が前記電源電圧の  $3/2$  であることを特徴とする請求項 1 または 2 に記載の集積回路。

【請求項 4】

P チャネル CMOS トランジスタにおける負バイアス温度不安定性を抑制する方法であ

って、

PチャンネルCMOSトランジスタのソース極に電源を提供することと、

前記PチャンネルCMOSトランジスタがオンになったとき、前記PチャンネルCMOSトランジスタの基板に、第1の電位を印加することと、

前記PチャンネルCMOSトランジスタがオフになったとき、前記PチャンネルCMOSトランジスタの前記基板に、前記第1の電位とは異なる第2の電位を印加することと、を含み、

前記第1の電位は前記電源電圧の1/2以上かつ前記電源電圧未満であるとともに、前記第2の電位は前記電源電圧以上かつ前記電源電圧の3/2以下である

ことを特徴とする方法。

10

【請求項5】

前記第1の電位が前記電源電圧の1/2であることを特徴とする請求項4に記載の方法。

【請求項6】

前記第2の電位が前記電源電圧の3/2であることを特徴とする請求項4または5に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は集積回路の設計に関し、特に動的な基板バイアスにより、PチャンネルMOSトランジスタの素子性能および負バイアス温度不安定性の信頼性を高めるものである。

20

【背景技術】

【0002】

ディープサブミクロンMOSトランジスタにとって、とりわけPチャンネルMOSトランジスタでは、負バイアス温度不安定性(Negative Bias Temperature Instability; NBTI)は素子の信頼性に影響する重要な要因になる。一般的には、負バイアス温度不安定性の劣化は界面トラップにより生じるが、界面トラップはつまり不飽和のダングリングボンドとなる。そして反応-拡散モデルがその中で、負バイアス温度不安定性を完全に解釈できる物理モデルである。このモデルでは、界面トラップの発生はSi-SiO<sub>2</sub>界面上の正孔により引き起こされた電気化学反応を提示している。初期には、劣化反応速度は制御可能であるが、一定時間が過ぎてしまうと、この現象は拡散制限に転換する。また、負バイアス温度不安定性は正孔トラップのメカニズムにより臨界電圧の偏移が生じて起こされた現象である。このうちの正孔トラップのメカニズムとは正孔がトラップ中に閉じこめられた状態のことを指す。

30

【0003】

負バイアス温度不安定性はディープサブミクロンMOSトランジスタの発展に関連していたものの、これまでは低電界のもとで作用していたため、負バイアス温度不安定性は大きな影響はないと見なされていた。しかしながら、現在の製造工程においては絶えず微細化されているため、複数の影響要因が互いに積み重なると、ひいては負バイアス温度不安定性が、ディープサブミクロンMOSトランジスタの信頼性を考慮するにおいて最も重要な鍵となる要因となってくる。このうち、サイズ規格の微細化による製造工程の動向には、窒化酸化層(p+ポリシリコンp型MOSトランジスタ中のホウ素イオンが透過する効果を低減する)の導入、ゲート酸化層の電界の強化、および動作温度の向上が含まれるが、いずれも負バイアス温度不安定性の重要性を際立たせることになる。

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

したがって、現在早急に求められることは、PチャンネルMOSトランジスタにおける負バイアス温度不安定性を抑制できるシステムおよび方法により、回路の性能を改善して向上させるということである。

50

## 【課題を解決するための手段】

## 【0005】

本発明では、PチャネルMOSトランジスタにおける負バイアス温度不安定性を抑制するためのシステムおよびその方法を開示する。システムはPチャネルMOSトランジスタと、電圧制御回路とを備えており、このうちPチャネルMOSトランジスタのソース極は電源に接続されており、電圧制御回路は、第1の電位と第2の電位とを出力するように設けられている。前記第1の電位と第2の電位とは異なっており、しかも第1の電位は電源電圧よりも低く、第2の電位は電源電圧以上である。このうちPチャネルMOSトランジスタがオンになったとき、第1の電位はPチャネルMOSトランジスタの基板に印加されて、PチャネルMOSトランジスタがオフになったとき、第2の電位がPチャネルMOSトランジスタの基板に印加される。

10

## 【図面の簡単な説明】

## 【0006】

本発明の上記およびその他目的、特徴、長所および実施例をより明確に理解できるように、添付の図面の詳細な説明を下記のとおり行う。

【図1】従来における一般的な基板の接続方式を備えたMOSトランジスタのインバータの回路ブロック図である。

【図2】電源制御回路を備えたMOSトランジスタのインバータの回路ブロック図であって、電源制御回路は動的な基板バイアスをPチャネルMOSトランジスタに提供するためのものであり、本発明の一実施例に基づく。

20

【図3】経験データに基づき、応力により引き起こされるPチャネルMOSトランジスタの駆動電流の劣化現象を示す対応関係表である。

## 【発明を実施するための形態】

## 【0007】

本発明には、動的なバイアスをPチャネルMOSトランジスタの基板に印加することで、負バイアス温度不安定性による素子駆動電流が退化する現象を緩和するとともに、PチャネルMOSトランジスタを備えた回路の性能を高めるためのシステムおよびその方法を開示している。

## 【0008】

負バイアス温度不安定性の反応拡散モデルによれば、界面トラップ密度の増加量 ( $N_{it}$ ) は下記式で表わすことができる。

30

## 【数1】

$$\Delta N_{it}(t) \sim N_o^{2/3} \exp(2\gamma E_{ox} / 3) [D_o \exp(-E_D / kT)]^{1/6} t^{1/6}$$

式中、 $N_o$  は使用可能なシリコン - 水素結合 (Si-H) の最大濃度、 $D_o$  は拡散係数、 $E_{ox}$  は酸化層のキャリアによる電界、 $E_D$  は中性水素 ( $H_2$ ) 拡散の活性化エネルギー、そして  $T$  は温度である。

## 【0009】

酸化層のキャリアによる電界の計算方式は下記のとおりである。

## 【数2】

40

$$E_{ox} = \frac{Q_{inv}}{\epsilon_{si} A_G} \sim Q_{inv}$$

式中、 $Q_{inv}$  は反転電荷、 $\epsilon_{si}$  はシリコンの誘電率、 $A_G$  はゲート極化層の面積である。

## 【0010】

数式1および数式2によれば、反転電荷  $Q_{inv}$  および酸化層のキャリアによる電界  $E_{ox}$  を減らすことにより、界面トラップ密度 ( $N_{it}$ ) の増加量を減らすので、負バイアス温度不安定性の優れた抑制効果を得ることができる。

50

## 【 0 0 1 1 】

負バイアス温度不安定性はトランジスタの臨界電圧 ( $V_t$ ) の偏移現象を引き起こすとともに、ひいては駆動電流の減衰をもたらす。臨界電圧の偏移量は下記式にて表わすことができる。

【 数 3 】

$$\Delta V_t \sim (V_g - V_{t0}) * \frac{\Delta I_{d_{sat}}}{I_{d_{sat0}}}$$

式中、 $V_g$  はゲート電圧、そして  $V_{t0}$  は素子の臨界電圧である。

10

## 【 0 0 1 2 】

したがって、臨界電圧の偏移量が所定量 (例えば 100 mV) であるとき、駆動電流の減衰の百分率 ( $I_{d_{sat}} / I_{d_{sat0}}$ ) は ( $V_g - V_{t0}$ ) と反比例する。このうち  $V_g$  は回路が提供するゲート動作電圧であり、 $V_{t0}$  は異なる方向の基板バイアスを印加することにより、調整を行う。数式 3 によれば、大きさが異なる臨界電圧の偏移量のもとでは、順方向の基板バイアスを印加して素子の臨界電圧  $V_{t0}$  を下げると同時に、大きめの駆動電圧の幅 ( $V_g - V_{t0}$ ) および少なめの素子駆動電流減衰の百分率 ( $I_{d_{sat}} / I_{d_{sat0}}$ )、つまりより好ましい素子駆動電流および長めの負バイアス温度不安定性のライフサイクルが得られる。

## 【 0 0 1 3 】

20

本発明では  $I_{d_{sat}}$  の退化現象に主な要点があるものであって、素子の臨界電圧の偏移ではない。これはリング発振器の回路動作の条件では、発振周波数は素子の臨界電圧ではなく  $I_{d_{sat}}$  と正比例するからである。つまりこれにより、本発明の技術的思想は回路システムの方法により、極めて重要となる超薄型窒酸化シリコンのゲート極酸化層の製造方法および工程を何ら変更することなく、負バイアス温度不安定性の信頼性の問題を大幅に改善し抑制することができる。

## 【 0 0 1 4 】

図 1 には従来における一般的な基板の接続方式を備えた MOS トランジスタのインバータ 100 の回路ブロック図を示す。MOS トランジスタのインバータ 100 における P チャネル MOS トランジスタ 110 はソース極と、ドレイン極と、ゲート極と、基板とを備えており、それぞれ電源 VDD、出力端 OUT、入力端 IN、電源 VDD に接続されている。P チャネル MOS トランジスタ 110 の基板が電源 VDD に接続されるのは一般的によく見られる形態である。入力信号 IN の電位が VDD または高電位 (logic HIGH) のときには、P チャネル MOS トランジスタ 110 はオフとなる。入力信号 IN の電位が VSS または低電位 (logic LOW) のときには、P チャネル MOS トランジスタ 110 はオンとなる。相対的に言えば、MOS トランジスタのインバータ 100 における N チャネル MOS トランジスタ 120 もまたソース極と、ドレイン極と、ゲート極と、基板とを備えており、それぞれアース VSS、出力端 OUT、入力端 IN に接続されている。P チャネル MOS トランジスタ 110 の基板および N チャネル MOS トランジスタ 120 の基板はそれぞれ異なる井戸領域に形成されている。

30

40

## 【 0 0 1 5 】

図 2 は電源制御回路 215 を備えた MOS トランジスタのインバータ 200 の回路ブロック図を示しており、このうち本発明の一実施例に基づいて、電源制御回路 215 は動的な基板バイアスを P チャネル MOS トランジスタ 210 上に提供するためのものである。P チャネル MOS トランジスタ 210 のソース極、ドレイン極およびゲート極はやはり電源 VDD、出力端 OUT、入力端 IN にそれぞれ接続されている。

## 【 0 0 1 6 】

しかしながら、P チャネル MOS トランジスタ 210 の基板は電源制御回路 215 の出力端 PB に接続されており、このうち電源制御回路 215 は電源 VDD の電源値を受けるとともに、入力信号 IN に基づいて、対応するバイアス  $V_{PB}$  を出力端 PB に発生させ

50

る。PチャネルMOSトランジスタ210がオン状態となったとき、言い換えれば、入力電圧電位がVSSであり、もし基板バイアスV<sub>\_\_PB</sub>が一般的に使用されるVDD未満、またはVDDの1/2よりも大きいときには、PチャネルMOSトランジスタ210の $I_{d_{sat}}$ が退化する現象は抑制されるとともに、負バイアス温度不安定性も緩和される。また、順方向の基板バイアスV<sub>\_\_PB</sub>を印加してPチャネルMOSトランジスタ210の臨界電圧を下げて、より高い素子駆動電流を発生させることで、回路の性能を高めている。PチャネルMOSトランジスタ210がオフ状態の時、言い換えれば、入力電圧電位がVDDとなると、基板バイアスV<sub>\_\_PB</sub>がVDDよりも高く変換されるか、またはVDDの2/3未満となれば、PチャネルMOSトランジスタ210の臨界電圧が上がるので、そのサブスレッショルド漏れ電流を低減するとともに、待機状態における電力消費を減らすことになる。したがって、上記するようなPチャネルMOSトランジスタ210の基板バイアスを動的に制御することで、PチャネルMOSトランジスタ210における負バイアス温度不安定性を抑制し、素子駆動電流を高め、そしてサブスレッショルド漏れ電流を低減するなど数多くの長所を備える。

10

## 【0017】

引き続き図2を参照する。電源制御回路215が入力信号INを受け取り、対応する基板バイアスV<sub>\_\_PB</sub>を発生させる。しかしながら、基板の静電容量値は普遍的にゲート極の静電容量値よりも大きいため、基板バイアスV<sub>\_\_PB</sub>を動的に変換する過程において、本発明が応用可能な回路動作周波数を制限しかねない深刻な時間の遅延が生じる恐れがある。よって、発明者等は回路ブロック全体の動作モード（演算または待機モード）を参考にして、例えば正常演算動作モードに順方向の基板バイアスを印加するか、またはアイドルモードまたは待機モードに逆方向の基板バイアスを印加するというように、順方向または逆方向の動的な基板バイアスを順次印加することで、基板の静電容量によるRC遅延時間現象を低減することができた。しかしながら、当業者であれば、電源制御回路215はその他の信号でも、基板バイアスを同期して動的に変換する目的を達成できることは理解できるはずである。基板バイアスV<sub>\_\_PB</sub>の電圧値の範囲は、VDDの1/2からVDDの3/2であり、ここで設定される基板バイアスV<sub>\_\_PB</sub>の上限電圧値および下限電圧値は、pnpバイポーラ接合トランジスタに寄生する導通を防止するためのものである。回路設計は機能、電力消費および長期的な信頼性においてバランスよく考察して、最も適した基板バイアスV<sub>\_\_PB</sub>の変更可能範囲を求めなければならない。ところで、本発明でも回路設計者に数多くの異なる方向を提供し、各種異なる回路規格および要求を達成している。したがって、当業者であれば、上記したような電源制御回路215などの制御回路を容易に配置できる。上記説明では、電源制御回路を備えたMOSトランジスタのインバータ200で本発明の技術的思想を説明したが、当業者であれば、例えばオンモードまたはオフモードといったその他異なる動作モードにおいて、基板バイアスV<sub>\_\_PB</sub>もそれに応じて変更可能であるとともに、その他回路（例えばゲート極以外）中のPチャネルCMOSトランジスタに実施することもできる。

20

30

## 【0018】

図3には経験データに基づき、応力試験により引き起こされるPチャネルMOSトランジスタの駆動電流の劣化現象を示す対応関係表を示している。水平座標は応力試験時間であり、かつ対数目盛である。垂直座標はPチャネルCMOSトランジスタにおけるソース極 - ドレイン極飽和電流( $I_{d_{sat}}$ )の減衰率であり、しかも下記式にて表わすことができる。

40

## 【数4】

$$\Delta I_{d_{sat}} = [\Delta I_{d_{sat}0} - \Delta I_{d_{sat}1}] / \Delta I_{d_{sat}0}$$

式中、 $I_{d_{sat}0}$ はソース極 - ドレイン極飽和電流の初期値であり、 $I_{d_{sat}1}$ は応力作用を受けた後のソース極 - ドレイン極飽和電流値である。ソース極 - ドレイン極飽和電流の減衰は、負バイアス温度不安定性の劣化現象により、一定時間経過したこと

50

による結果的な現象である。

【 0 0 1 9 】

引き続き図3を参照する。PチャネルCMOSトランジスタが応力作用を受けると、PチャネルCMOSトランジスタにおけるソース極、ドレイン極およびゲート極にそれぞれ1.2V、0Vおよび0Vの電圧が印加される。そしてPチャネルCMOSトランジスタが受ける応力が異なるに伴って、PチャネルCMOSトランジスタの基板にも異なる基板バイアス $V_{PB}$ が印加される。このうち、基板バイアス $V_{PB}$ はそれぞれ1.8V、1.2Vおよび0.6Vに設定される。図3に示すように、動向線310は基板バイアス $V_{PB}$ が1.8Vであるときの駆動電流の減衰の百分率と、応力試験時間との関係にて示されている。この状況にて、ソース極 - ドレイン極飽和電流 $I_{dsat}$ の減衰率は最高となっている。動向線320は基板バイアス $V_{PB}$ が1.2Vであるときの駆動電流の減衰の百分率と、応力試験時間との関係にて示されている。この状況では、ソース極 - ドレイン極飽和電流 $I_{dsat}$ の減衰率は中レベルである。動向線330は基板バイアス $V_{PB}$ が0.6Vであるときの駆動電流の減衰の百分率と、応力試験時間との関係にて示されている。したがって、実際の応用の面言えば、PチャネルCMOSトランジスタの基板に順方向のバイアスを印加することは、素子の駆動電流を高めるだけでなく、PチャネルCMOSトランジスタにおける負バイアス温度不安定性の劣化現象を緩和することもできる。

10

【 0 0 2 0 】

確かに上記説明においては、PチャネルCMOSトランジスタで基板バイアスの作用効果を説明しているものの、NチャネルCMOSトランジスタの特性はPチャネルCMOSトランジスタと対称的であるので、当業者であれば、本発明はNチャネルCMOSトランジスタの回路に適用して、その基板バイアスの順逆方向性を調整するだけで、ホットキャリア効果が引き起こす素子性能の退化を効果的に抑制することができることを理解できる。

20

【 0 0 2 1 】

本発明では実施例を上記のように開示したが、これは本発明の保護範囲を限定するためのものではなく、当業者であれば、本発明の技術的思想および範囲を逸脱することなく、一部の変更および付加を行うことができるので、本発明の保護範囲は特許請求の範囲により限定されるものを基準とすべきである。

30

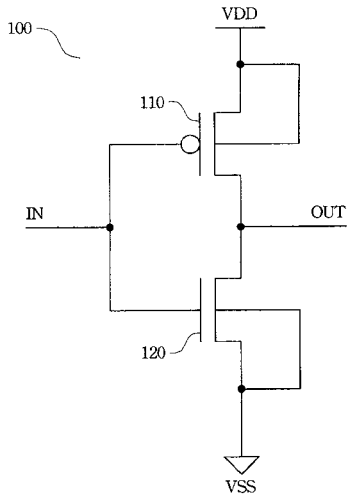
【 符号の説明 】

【 0 0 2 2 】

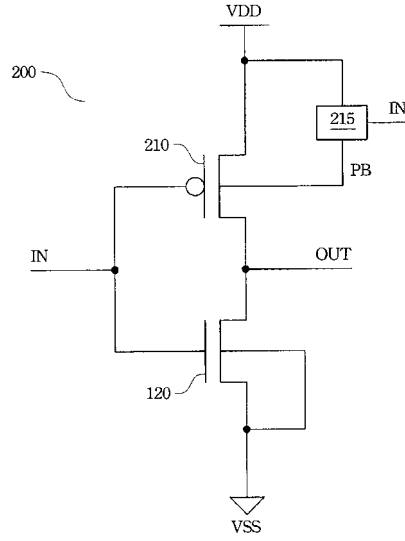
- 1 0 0 MOSトランジスタのインバータ
- 1 1 0 PチャネルMOSトランジスタ
- 1 2 0 NチャネルMOSトランジスタ
- 2 0 0 電源制御回路を備えたMOSトランジスタのインバータ
- 2 1 0 PチャネルMOSトランジスタ
- 2 1 5 電源制御回路
- 3 1 0 動向線
- 3 2 0 動向線
- 3 3 0 動向線

40

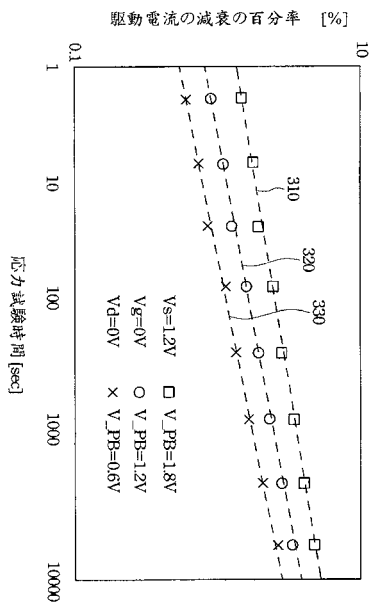
【図1】



【図2】



【図3】



---

フロントページの続き

(72)発明者 アンソニー オーツ  
台湾省新竹市新莊街83号4樓

審査官 宮島 郁美

(56)参考文献 特開平08-265123(JP,A)  
特開平11-355123(JP,A)  
特開平08-251012(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03K19/00, 19/01-19/082, 19/092-19/096  
H01L27/04