



(12) 发明专利申请

(10) 申请公布号 CN 101887917 A

(43) 申请公布日 2010. 11. 17

(21) 申请号 201010197984. 9

(22) 申请日 2010. 06. 10

(71) 申请人 复旦大学

地址 200433 上海市邯郸路 220 号

(72) 发明人 朴颖华 葛亮 吴东平 张世理
张卫

(74) 专利代理机构 上海正旦专利代理有限公司
31200

代理人 陆飞 盛志范

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/08(2006. 01)

H01L 21/336(2006. 01)

H01L 21/265(2006. 01)

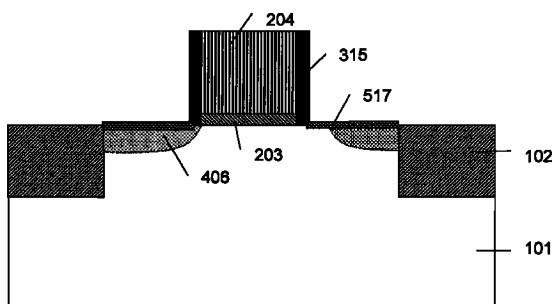
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

一种场效应晶体管及其制备方法

(57) 摘要

本发明属于微电子器件技术领域,具体公开了一种不对称型源漏场效应晶体管及其制备方法。该场效应晶体管结构包括:半导体衬底、栅极结构、分别为混合结和 PN 结的源区和漏区,所述源区与漏区结构不对称,其一由 PN 结构成,另外一个由混合结构成,所述混合结由肖特基结和 PN 结混合构成。本发明通过改变离子注入的倾斜角度来控制离子注入形成的掺杂区域的位置,并进一步形成不对称型源漏场效应晶体管的独特结构。



1. 一种场效应晶体管结构,其结构包括:半导体衬底、栅极结构、分别为混合结和PN结的源区和漏区,其特征在于:所述源区与漏区结构不对称,其一由PN结构成,另外一个由混合结构成,所述混合结由肖特基结和PN结混合构成。

2. 根据权利要求1所述的场效应晶体管,其特征在于:所述肖特基结由金属半导体化合物和所述半导体衬底接触构成,所述PN结是通过注入与所述半导体衬底掺杂类型不同的杂质离子并通过随后的热退火处理形成。

3. 根据权利要求2所述的场效应晶体管,其特征在于:所述混合结中的所述金属半导体化合物与所述半导体衬底形成肖特基结,并同时与所述半导体衬底中的所述源区或漏区中的高掺杂区域形成欧姆接触。

4. 根据权利要求1所述的场效应晶体管,其特征在于:所述半导体衬底是硅、锗、锗硅合金、SOI结构或GOI结构,所述半导体衬底的掺杂浓度在 1×10^{14} 到 $1 \times 10^{19} \text{cm}^{-3}$ 之间。

5. 根据权利要求1所述的场效应晶体管,其特征在于:所述场效应晶体管进一步包括形成在所述半导体衬底中的浅槽隔离结构、位于所述栅极结构侧边的侧墙结构。

6. 根据权利要求3所述的场效应晶体管,其特征在于:所述的金属半导体化合物为硅化镍、锗化镍、硅化钴、锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者它们之中几种的混合物。

7. 一种如权利要求1所述场效应晶体管的制造方法,其特征在于:具体步骤为下述2种方案之一:

第一种:

a, 提供一个半导体衬底,用浅槽隔离工艺形成隔离结构;

b, 形成第一绝缘介质层,接着在所述第一绝缘介质层上形成一个电极层,然后通过光刻、刻蚀工艺对所述电极层和所述第一绝缘层进行图形化刻蚀,从而形成栅极结构及其两侧的源极区域和漏极区域;

c, 淀积形成第二绝缘介质层;

d, 利用选择性各向异性刻蚀工艺对所述第二绝缘介质层进行刻蚀,从而沿着所述栅极结构两侧形成侧墙结构;

e, 进行第一次离子注入,选择注入角度 α 使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在源极区域和漏极区域形成PN结;

f, 淀积一金属层,退火后所述金属层和所述源极区域和漏极区域内暴露出来的所述半导体衬底反应形成金属半导体化合物导体层,除去未与上述半导体衬底反应的所述金属层。

第二种:

a, 提供一个半导体衬底,用浅槽隔离工艺形成隔离结构;

b, 形成第一绝缘介质层,接着在所述第一绝缘介质层上形成一个电极层,然后通过光刻、刻蚀工艺对所述电极层和所述第一绝缘层进行图形化刻蚀,从而形成栅极结构及其两侧的源极区域和漏极区域;

c, 进行第一次离子注入,选择注入角度 α 使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在源极区域和漏极区域形成PN结;

d, 淀积形成第二绝缘介质层;

e, 利用选择性各向异性刻蚀工艺对所述第二绝缘介质层进行刻蚀, 从而沿着所述栅极结构两侧形成侧墙结构, 侧墙结构的厚度小于栅极结构的高度与 $\tan \alpha$ 的乘积;

f, 淀积一金属层, 退火后所述金属层和所述源极区域和漏极区域内暴露出来的所述半导体衬底反应形成金属半导体化合物导体层, 除去未与上述半导体衬底反应的所述金属层。

8. 根据权利要求 7 所述的场效应晶体管的制造方法, 其特征在于: 所述半导体衬底是硅、锗、锗硅合金、SOI 结构或 GOI 结构。

9. 根据权利要求 7 所述的场效应晶体管的制造方法, 其特征在于: 所述第一绝缘介质层为二氧化硅、氮化硅、氧化铝或铅基高介电常数介质材料。

10. 根据权利要求 7 所述的场效应晶体管的制造方法其特征在于: 所述的电极层包含至少一个导电层, 所述导电层为多晶硅、氮化钛、氮化钽、钨金属、金属硅化物中的任意一种或者为它们之间的多层结构。

11. 根据权利要求 7 所述的场效应晶体管的制造方法, 其特征在于: 通过所述离子注入在所述半导体衬底中形成的杂质峰值浓度不低于 $1 \times 10^{19} \text{cm}^{-3}$ 。

12. 根据权利要求 7 所述的场效应晶体管的制造方法, 其特征在于: 所述金属层为镍、钴、钛、铂中的任意一种, 或者为它们之间中几种的混合物。

13. 根据权利要求 7 所述的场效应晶体管的制造方法, 其特征在于: 所述金属半导体化合物导体层为硅化镍、锗化镍、硅化钴、锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者它们之中几种的混合物。

一种场效应晶体管及其制备方法

技术领域

[0001] 本发明属于微电子器件技术领域,涉及半导体器件和相关工艺制备方法,更具体的说,涉及场效应晶体管及其制备方法。

背景技术

[0002] MOS 场效应晶体管 (MOSFET) 是金属 - 氧化物 - 半导体场效应晶体管的简称,是利用电场效应来控制半导体中电流的一种半导体器件,只依靠一种载流子参与导电,故又称为单极型晶体管。MOS 场效应晶体管可以用半导体硅、锗为材料,也可用化合物半导体砷化镓等材料制作,目前以使用硅材料的最多。通常 MOS 场效应晶体管由半导体衬底、源区和漏区、栅氧化层以及栅电极等几个主要部分组成,其基本结构一般是一个四端器件,它的中间部分是由金属 - 绝缘体 - 半导体组成的 MOS 电容结构,MOS 电容的两侧分别是源区和漏区,在正常的工作状态下,载流子将从源区流入,从漏区流出,绝缘层上为栅极,在栅极上施加电压,可以改变绝缘层中的电场强度,控制半导体表面电场,从而改变半导体表面沟道的导电能力。

[0003] 常规 MOS 场效应晶体管的源区和漏区是纯粹重掺杂 PN 结结构。这种 PN 结可以采用扩散、离子注入等制造工艺,将一定数量的杂质掺入半导体衬底在场效应晶体管的源区和漏区形成。然而,具有这种源漏结构的场效应晶体管其串联电阻比较大,短沟道效应严重,且不易按比例缩小。

[0004] 如果将金属硅化物源漏来代替传统的重掺杂 PN 结源漏并应用在未来超缩微化的 CMOS 器件中,将会在一定程度上提高场效应晶体的性能。金属硅化物源漏是指金属硅化物作为场效应的源极和漏极并且金属硅化物和硅衬底之间形成肖特基结,其主要优势是低的寄生电阻,优良的按比例缩小特性,简便的工艺制造,低的热预算以及抗闩锁效应或者绝缘体上的硅 (SOI) 里的浮体效应。然而,纯粹由肖特基结组成源漏的场效应晶体管也有许多潜在的问题,肖特基结常存在额外的漏电流和软击穿,这种源漏结构的场效应晶体管的可靠性目前还没有得到很好的研究。

[0005] 混合结由肖特基结和 PN 结混合构成,具有工作电流高、开关速度快、漏电流小,击穿电压高等优点。

发明内容

[0006] 本发明的目的是提出一种工作电流高、开关速度快、漏电流小的不对称型源漏场效应晶体管及其制备方法。

[0007] 本发明提出的场效应晶体管,包括半导体衬底、栅极结构、分别为混合结和 PN 结的源区和漏区,所述源区与漏区结构不对称,其一由 PN 结构成,另外一个由混合结构成,所述混合结由肖特基结和 PN 结混合构成。

[0008] 优选地,所述肖特基结由金属半导体化合物和所述半导体衬底接触构成,所述 PN 结是通过注入与所述半导体衬底掺杂类型不同的杂质离子并通过随后的热退火形成。

[0009] 优选地,所述混合结中的所述金属半导体化合物与所述半导体衬底形成肖特基结,并同时与所述半导体衬底中的所述源区或漏区中的高掺杂区域形成欧姆接触。

[0010] 优选地,所述半导体衬底是硅、锗、锗硅合金、SOI 结构或 GOI 结构,所述半导体衬底的掺杂浓度在 1×10^{14} 到 $1 \times 10^{19} \text{cm}^{-3}$ 之间。

[0011] 优选地,所述场效应晶体管进一步包括形成在所述半导体衬底中的浅槽隔离结构、位于所述栅极结构两侧的侧墙结构。

[0012] 优选地,所述的金属半导体化合物为硅化镍、锗化镍、硅化钴、锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者它们之中几种的混合物。

[0013] 本发明的另一目的是提供一种制备上述不对称型源漏场效应晶体管的方法,包括如下步骤:

[0014] a, 提供一个半导体衬底,用浅槽隔离工艺形成隔离结构;

[0015] b, 形成第一绝缘介质层,接着在所述第一绝缘介质层上形成一个电极层,然后通过光刻、刻蚀工艺对所述电极层和所述第一绝缘层进行图形化刻蚀从而形成栅极结构及其两侧的源极区域和漏极区域;

[0016] c, 淀积形成第二绝缘介质层;

[0017] d, 利用选择性各向异性刻蚀工艺对所述第二绝缘介质层进行刻蚀,从而沿着所述栅极结构两侧形成侧墙结构;

[0018] e, 进行离子注入,选择注入角度 α 使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在源极区域和漏极区域形成 PN 结;

[0019] f, 淀积一金属层,退火后所述金属层和所述源极区域和漏极区域内暴露出来的所述半导体衬底反应形成金属半导体化合物导体层,除去未与上述半导体衬底反应的所述金属层。

[0020] 本发明提供另一种制备所述不对称型源漏场效应晶体管的方法,包括如下步骤:

[0021] a, 提供一个半导体衬底,用浅槽隔离工艺形成隔离结构;

[0022] b, 形成第一绝缘介质层,接着在所述第一绝缘介质层上形成一个电极层,然后通过光刻、刻蚀工艺对所述电极层和所述第一绝缘层进行图形化刻蚀从而形成栅极结构及其两侧的源极区域和漏极区域;

[0023] c, 进行第一次离子注入,选择注入角度 α 使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在源极区域和漏极区域形成 PN 结;

[0024] d, 淀积形成第二绝缘介质层;

[0025] e, 利用选择性各向异性刻蚀工艺对所述第二绝缘介质层进行刻蚀,从而沿着所述栅极结构两侧形成侧墙结构,侧墙结构的厚度应小于栅极结构的高度与 $\tan \alpha$ 的乘积;

[0026] f, 淀积一金属层,退火后所述金属层和所述源极区域和漏极区域内暴露出来的所述半导体衬底反应形成金属半导体化合物导体层,除去未与上述半导体衬底反应的所述金属层。

[0027] 优选地,以上两种方法中所述半导体衬底是硅、锗、锗硅合金、SOI 结构或 GOI 结构。

[0028] 优选地,以上两种方法所述第一绝缘介质层为二氧化硅、氮化硅、氧化铝或铅基高介电常数介质材料。

[0029] 优选地,以上两种方法所述的电极层包含至少一个导电层,所述导电层为多晶硅、氮化钛、氮化钽、钨金属、金属硅化物中的任意一种或者为它们之间的多层结构。

[0030] 优选地,以上两种方法通过所述离子注入在所述半导体衬底中形成的杂质峰值浓度不低于 $1 \times 10^{19} \text{cm}^{-3}$ 。

[0031] 优选地,以上两种方法所述金属层为镍、钴、钛、铂中的任意一种或者为它们之间的混合物。

[0032] 优选地,以上两种方法所述金属半导体化合物导体层为硅化镍、锗化镍、硅化钴、锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者它们之中几种的混合物。

[0033] 本发明具有工作电流高、开关速度快、漏电流小,击穿电压高等优点。

[0034] 这些目标以及本发明的内容和特点,将经过下面的附图说明进行详细的讲解。

附图说明

[0035] 图 1 是本发明一个实例中使用的半导体衬底在形成浅槽隔离结构后的截面示意图。

[0036] 图 2 是继图 1 后在半导体衬底上形成第一绝缘介质层和电极层后的截面示意图。

[0037] 图 3 是继图 2 后通过光刻和刻蚀方法形成栅极结构后的截面示意图。

[0038] 图 4 是继图 3 后淀积形成第二绝缘介质层后的截面示意图。

[0039] 图 5 是继图 4 后进行刻蚀步骤形成侧墙结构后的截面示意图。

[0040] 图 6 是继图 5 后进行离子注入并退火后的截面示意图。

[0041] 图 7 是继图 6 后淀积金属层后的截面示意图。

[0042] 图 8 是继图 7 后退火并除去金属层后形成的不对称型源漏场效应晶体管的截面示意图。

[0043] 图 9 是继图 3 后进行离子注入并退火后的截面示意图。

[0044] 图 10 是继图 9 后淀积形成第二绝缘介质层后的截面示意图。

[0045] 图 11 是继图 10 后进行刻蚀步骤形成侧墙结构后的截面示意图。

[0046] 图 12 是继图 11 后淀积金属层后的截面示意图。

[0047] 图 13 是继图 12 后退火并除去金属层后形成的不对称型源漏场效应晶体管的截面示意图。

具体实施方式

[0048] 下面结合附图对本发明提出的不对称型源漏场效应晶体管结构与制造工艺进行详细的描述。后面的描述中,相同的附图标记表示相同的组件,对其重复描述将省略。在后面的参考附图中,为了方便说明,放大或者缩小了不同层和区域的尺寸,所以所示大小并不一定代表实际尺寸,也不反映尺寸的比例关系。

[0049] 应当注意的是在不偏离本发明的精神和范围的情况下还可以构成许多有很大差别的实施例。应当理解,除了如所附的权利要求所限定的,本发明不限于在说明书中所述的具体实例。

[0050] 图 1 是本发明一个实例中使用的半导体衬底形成浅槽隔离结构后的截面示意图。首先准备硅衬底 101 并完成生长前的各项工艺如清洗和去除硅表面的天然二氧化硅薄层

等。在该实例中,所述的半导体衬底为单晶硅。然后使用浅槽隔离工艺在晶体管周围制造隔离结构 102。

[0051] 如图 2 所示,首先在衬底上形成第一绝缘介质层 203。然后再在第一绝缘介质层 203 上形成一层电极层 204。

[0052] 如图 3 所示,通过光刻和刻蚀工艺对电极层和第一绝缘介质层进行图形化处理,从而形成栅极结构及其两侧的源极区域和漏极区域。

[0053] 如图 4 所示,继续淀积形成第二绝缘介质层 305。然后利用干法刻蚀工艺对该绝缘介质层进行各向异性刻蚀,从而沿着栅极结构两侧形成侧墙结构 315,此时截面形状如图 5 所示。

[0054] 如图 6 所示,进行离子注入,选择注入角度 α 使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在半导体衬底中形成掺杂类型与衬底相反的区域 406,406 与硅衬底 101 形成 PN 结。

[0055] 如图 7 所示,在衬底上淀积一金属层 507,507 为镍、钴、钛、铂中的任意一种或者为它们之间的混合物,退火后 507 和源极区域、漏极区域曝露出来的衬底反应生成金属半导体化合物。

[0056] 如图 8 所示,除去剩余未反应的金属层 507 后金属半导体化合物导体层 517 裸露出来,517 为硅化镍、锗化镍、硅化钴、锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者为它们之间的混合物。在不偏离本发明精神的基础上,也可以选用其他工艺方法形成导体层 517。

[0057] 下面描述根据本发明制备不对称型源漏场效应晶体管的又一个实例:

[0058] 图 1 是本发明一个实例中使用的半导体衬底形成浅槽隔离结构后的截面示意图。首先准备硅衬底 101 并完成生长前的各项工艺如清洗和去除硅表面的天然二氧化硅薄层等。在该实例中,所述的半导体衬底为单晶硅。然后使用浅槽隔离工艺在晶体管周围制造隔离结构 102。

[0059] 如图 2 所示,首先在衬底上形成第一绝缘介质层 203。然后再在第一绝缘介质层 203 上形成一层电极层 204。

[0060] 如图 3 所示,通过光刻和刻蚀工艺对电极层和第一绝缘介质层进行图形化处理,从而形成栅极结构及其两侧的源极区域和漏极区域。

[0061] 如图 9 所示,进行离子注入,选择注入角度,使得源极区域或漏极区域部分有离子到达,进行退火使注入的离子激活,在半导体衬底中形成掺杂类型与衬底相反的区域 606,606 与 101 形成 PN 结。

[0062] 如图 10 所示,淀积形成第二绝缘介质层 705。然后利用干法刻蚀工艺对该绝缘介质层进行各向异性刻蚀,从而沿着栅极结构两侧形成侧墙结构 715,715 的厚度应小于栅极结构的高度与 $\tan \alpha$ 的乘积,即保证有部分衬底 101 暴露出来,此时截面形状如图 11 所示。

[0063] 如图 12 所示,在衬底上淀积一金属层 807,807 为镍、钴、钛、铂中的任意一种或者为它们之间的混合物,退火后 807 和源极区域、漏极区域曝露出来的衬底反应生成金属半导体化合物。

[0064] 如图 13 所示,除去剩余未反应的金属层 807 后所述金属半导体化合物导体层 817 裸露出来,817 与 101 形成肖特基结,与 606 形成欧姆接触。817 为硅化镍、锗化镍、硅化钴、

锗化钴、硅化钛、锗化钛、硅化铂、锗化铂中的任意一种或者为它们之间的混合物。在不偏离本发明精神的基础上,也可以选用其他工艺方法形成导体层 817。

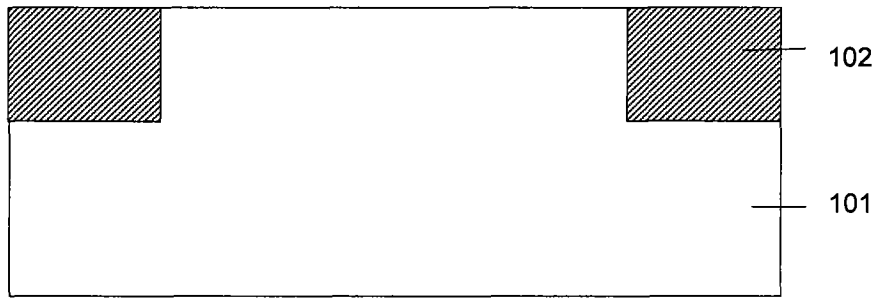


图 1

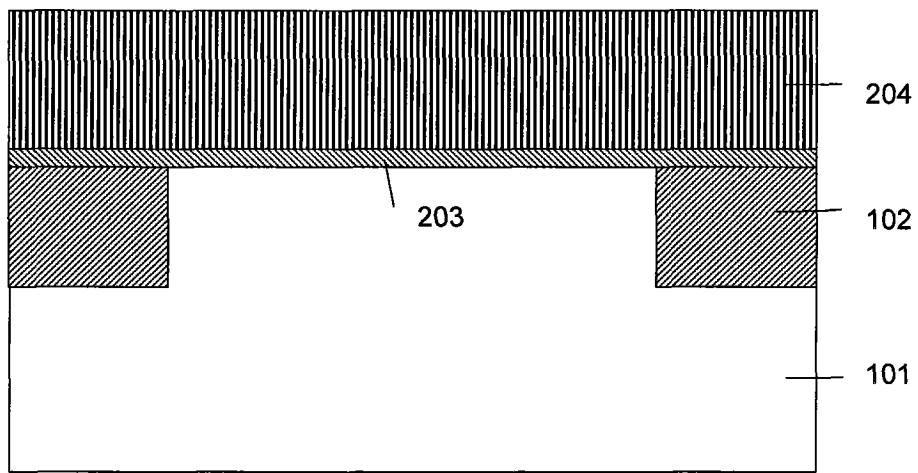


图 2

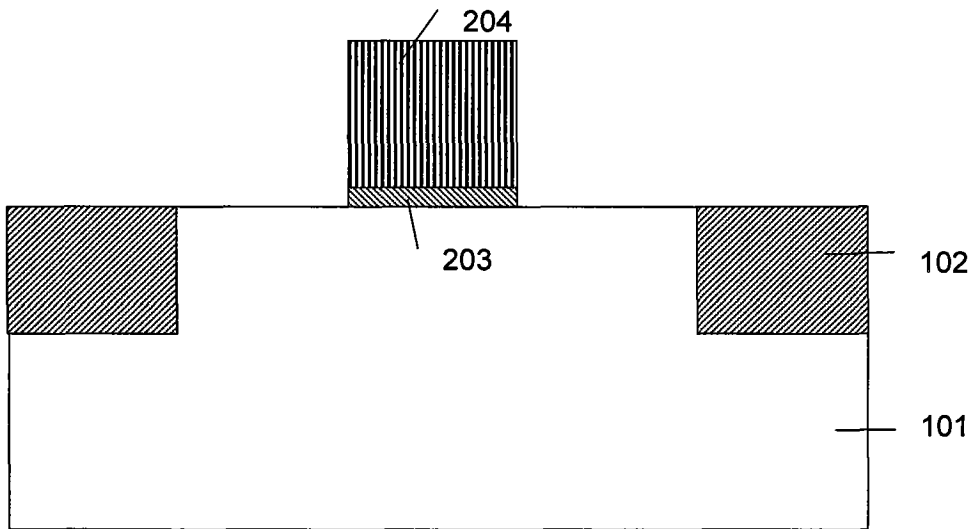


图 3

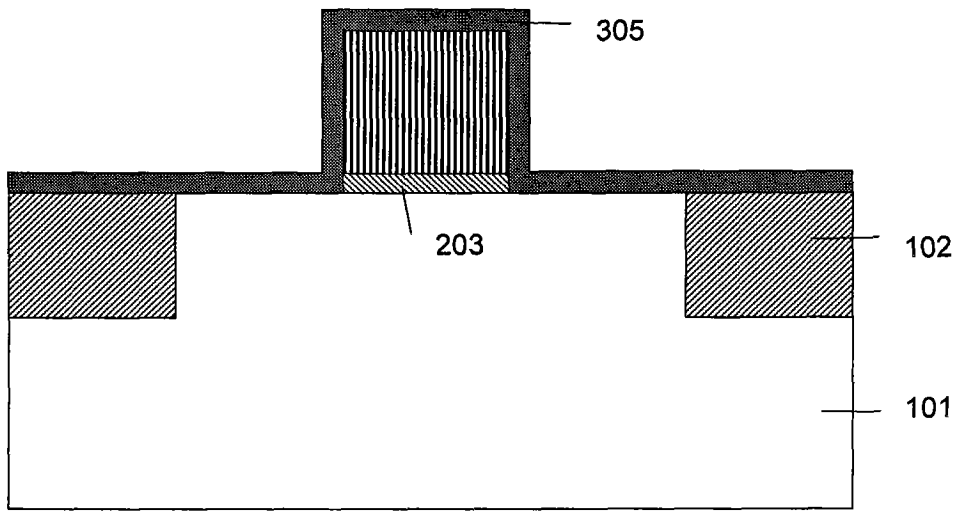


图 4

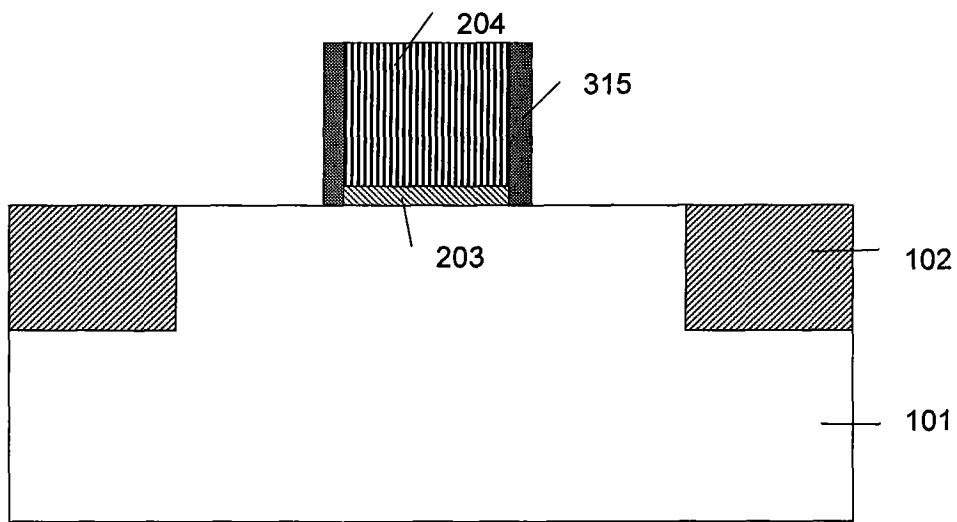


图 5

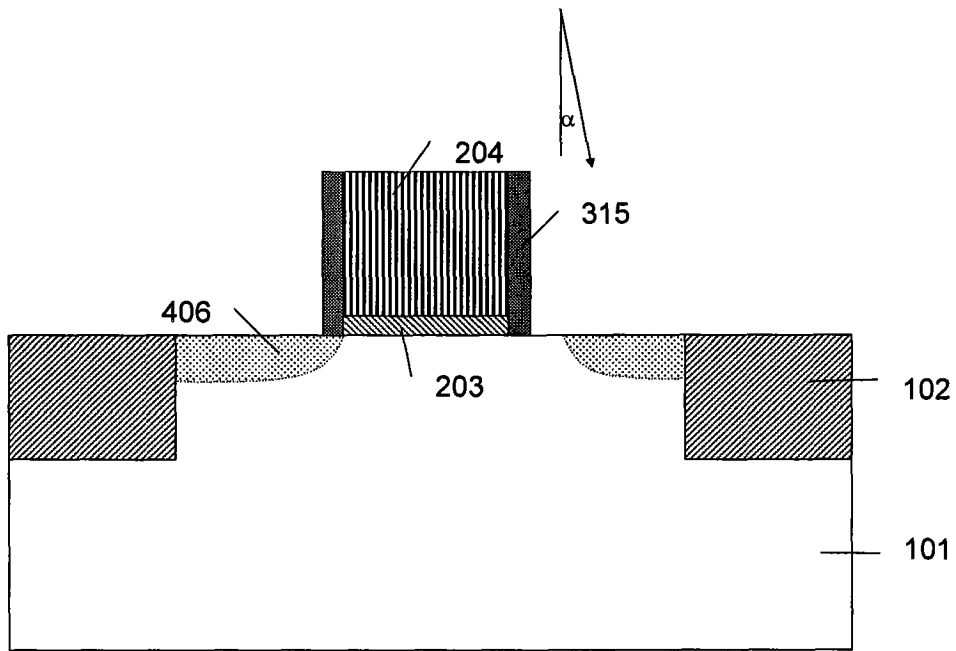


图 6

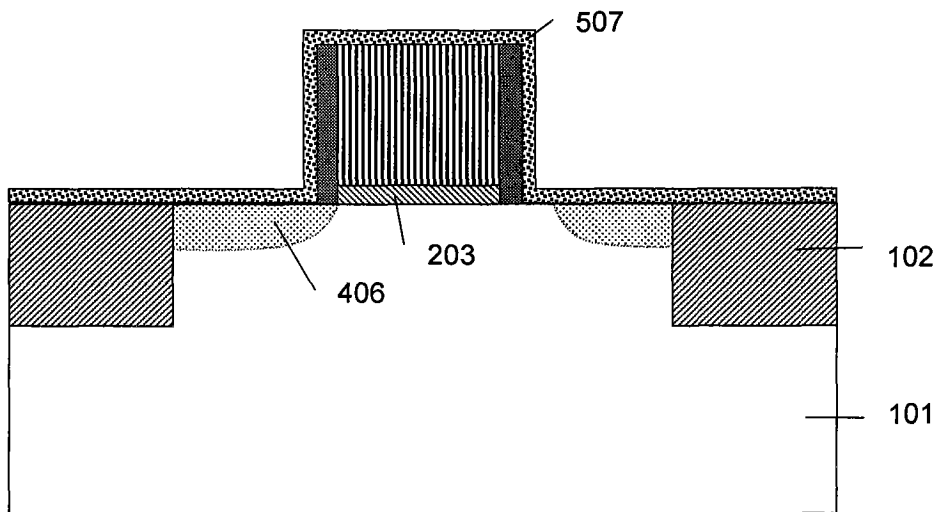


图 7

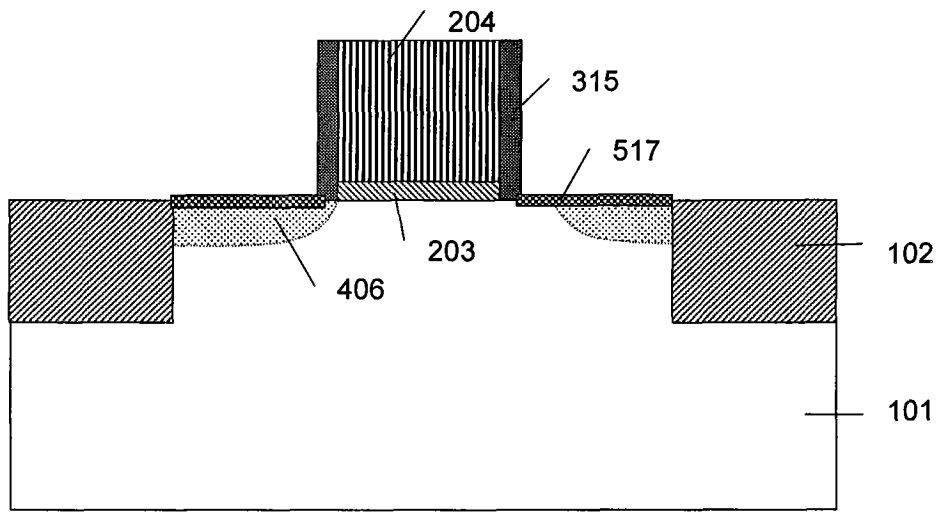


图 8

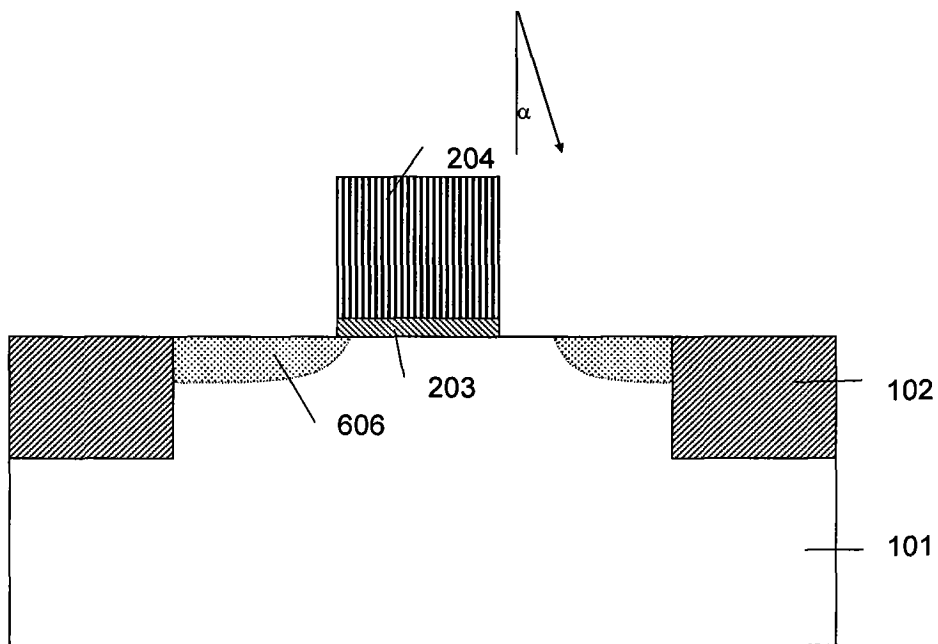


图 9

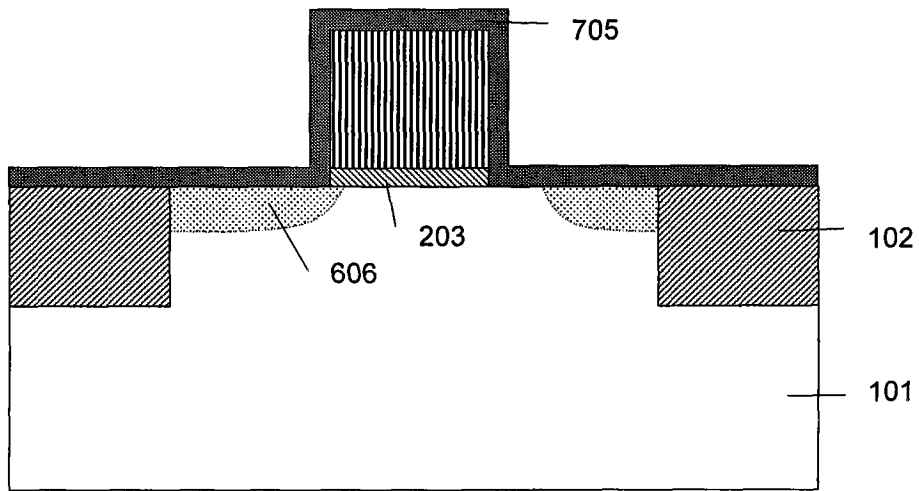


图 10

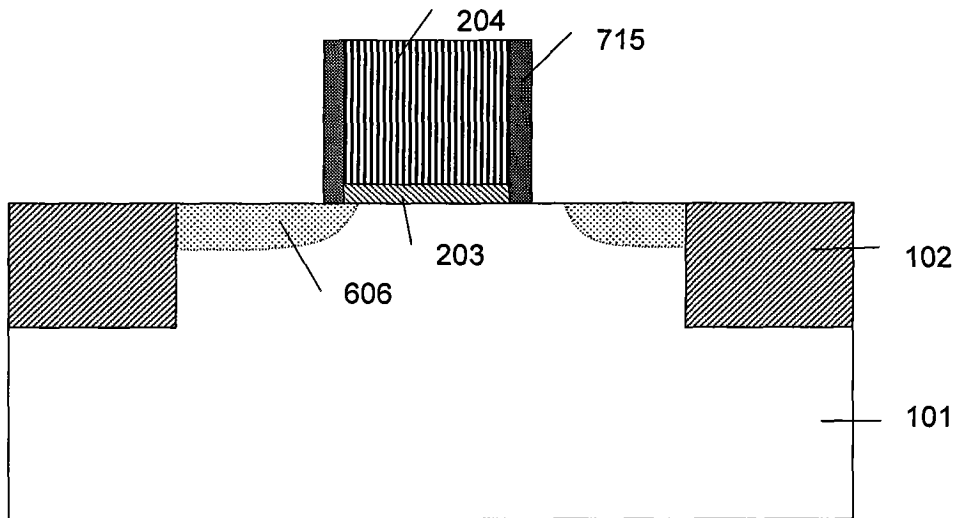


图 11

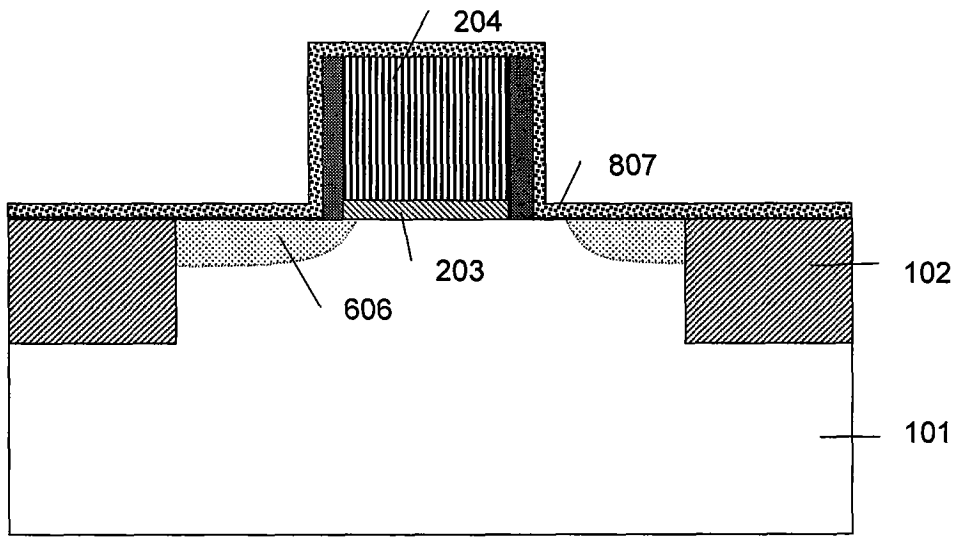


图 12

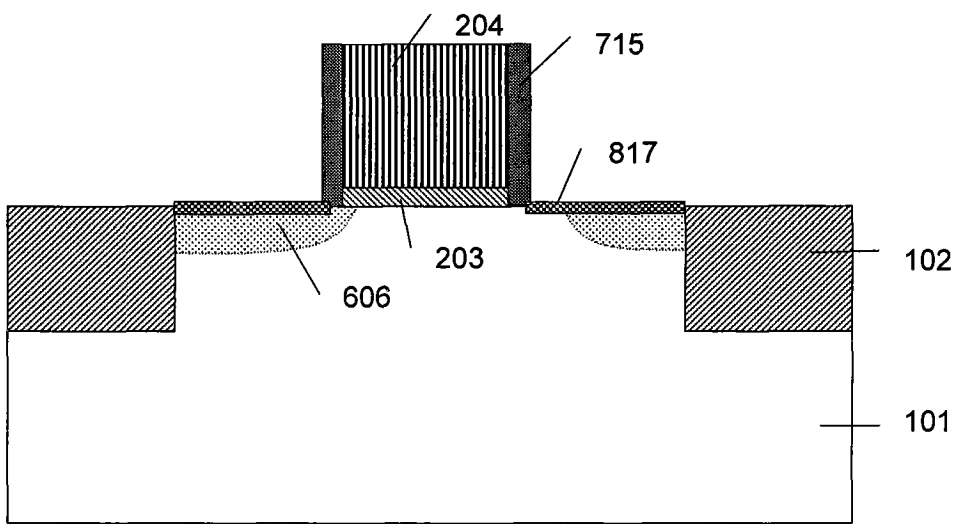


图 13