

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-217416

(P2005-217416A)

(43) 公開日 平成17年8月11日(2005.8.11)

(51) Int. Cl.<sup>7</sup>

H01L 21/822

H01L 27/04

F I

H01L 27/04

C

テーマコード(参考)

5F038

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2005-20630(P2005-20630)  
 (22) 出願日 平成17年1月28日(2005.1.28)  
 (31) 優先権主張番号 10/767390  
 (32) 優先日 平成16年1月29日(2004.1.29)  
 (33) 優先権主張国 米国(US)

(71) 出願人 501229528  
 テキサス インストルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国、テキサス、ダラス、チャ  
 ーチル ウエイ 7839  
 (74) 代理人 100066692  
 弁理士 浅村 皓  
 (74) 代理人 100072040  
 弁理士 浅村 肇  
 (74) 代理人 100091339  
 弁理士 清水 邦明  
 (74) 代理人 100094673  
 弁理士 林 拓三

最終頁に続く

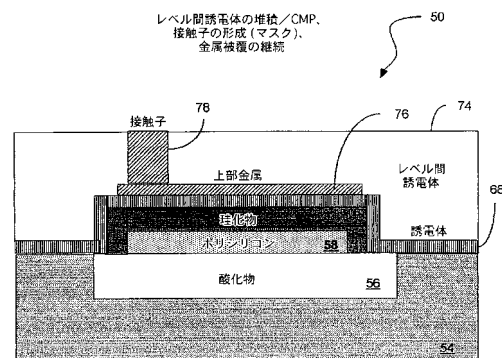
(54) 【発明の名称】珪化アモルファス・ポリシリコン-金属のコンデンサとその製造方法

(57) 【要約】

【課題】珪化アモルファス・ポリシリコン-金属のコンデンサの珪化物層の信頼性を高め、製造コストを削減する方法を提供する。

【解決手段】標準のプロセスを用いるが、ただし、ポリシリコン層58の珪化を行う前に中性物質を注入することにより、ポリシリコン58の露出面をアモルファス・ポリシリコンに変質させる。これにより、ポリシリコンの珪化により形成される珪化物層66の表面も十分平滑になる。したがって、コンデンサ50の誘電体層68内に応力点が形成される可能性が大幅に小さくなり、歩留まりと信頼性が向上して、製造コストが大幅に削減される。厚さを減らすことができるため、単位面積当りの静電容量値が大きくなる。

【選択図】図9



**【特許請求の範囲】****【請求項 1】**

珪化アモルファス・ポリシリコン - 金属のコンデンサを製造する方法であって、前記コンデンサの第 1 の板を形成し、前記形成が、  
基板上に形成されている絶縁層の上にポリシリコンの層を堆積させ、  
前記ポリシリコン層をアモルファス化し、  
前記ポリシリコン層の露出面を珪化するステップを、  
更に包含し、  
前記第 1 の板の上に誘電体を堆積させるステップと、  
前記誘電体層の上に前記コンデンサの第 2 の板を形成するステップと、  
を包含する、前記製造方法。

10

**【請求項 2】**

珪化アモルファス・ポリシリコン - 金属のコンデンサであって、  
珪化アモルファス・ポリシリコンである上部を包含し残りの部分が多結晶シリコンを包含する第 1 の板と、  
金属層を包含する第 2 の板と、  
前記第 1 および第 2 の板の間に形成される誘電体層と、  
を包含するコンデンサ。

**【発明の詳細な説明】****【技術分野】**

20

**【0001】**

集積回路の製造コストを削減しその信頼性を向上させるため、回路デバイスとプロセスの設計者は絶えず努力をしている。これは特にそのような回路の容量要素についても言えることである。

**【背景技術】****【0002】**

現在集積回路に用いられているポリ珪化物 - 金属の容量要素 10 を図 1 に示す。一般にコンデンサ 10 は、一般にシリコン・ウェーハであるシリコン基板 12 上に構築される（集積回路の構成要素を形成する任意の数の他の回路要素と共に）。基板 12 は、この技術で周知の埋込層インプラントを含んでよい。この基板 12 上に酸化物層 18 を形成する。これは容量要素 10 を基板 12 および基板 12 上に構築された他の回路要素から絶縁する。次に、酸化物層 18 上にポリシリコン層 14 を形成する。ポリシリコン層 14 上に金属層（図示しない）を堆積させた後でウェーハにアニーリング処理を行うと、金属はポリシリコン層 14 と結合して、導電性の高い珪化ポリシリコン層 19 を形成する。この珪化ポリシリコン層 19 はコンデンサの 2 枚の導電板の一方を形成する。

30

**【0003】**

次に、別の酸化物層 20 を一般に珪化物層 19 上に形成する。これはコンデンサ 10 の誘電体として作用する。最後に、誘電体酸化物層 20 の上に金属層 22 を堆積させる。これはコンデンサ 10 の第 2 の板を形成する。次に一般に接触子 24 を形成する。これにより、金属層 22 で形成されたコンデンサ 10 の板にアクセスして、コンデンサ 10 の片側と電氣的に接続することができる。当業者が理解するように、追加の酸化物層を用いて金属層（図示しない）から絶縁することにより、コンデンサ 10 の上に別の金属被覆層を更に構築してよい。また、これも図 1 に図示しないが、珪化物層 19 により形成された板にアクセスするために一般に追加の接触子を形成してもよい。図 1 に示すような標準のポリシリコン - 金属のコンデンサの一部として上に説明した層を形成する方法は、当業者に周知なためこれ以上説明しない。

40

**【発明の開示】****【発明が解決しようとする課題】****【0004】**

図 1 の容量要素 10 に関連する 1 つの問題は、ポリシリコン層 14 の上面のポリシリコ

50

ン結晶が非常に大きく、かつ平面度が極めて低いことである。アニーリング・ステップを行ってポリシリコン層14の上面に珪化物層19を成長させると、珪化物層19の上面16も同じように平面度が低くなる。珪化物層19の上に誘電体酸化層20を堆積させると、表面の平面度が極めて低いためにコンデンサ内の酸化層フィルムと電界とに不均一を生じる。表面から突出した点では電界が強くなり、同時に、フィルムは一般に薄くなる。かかる場所では酸化層破壊が起こりやすい。また、局所的なフィルム応力が変わるためフィルムは更に弱くなる。フィルム内の弱い点の密度が高いと、長期的には回路の信頼性が問題になり、短期的には製造コストが高くなるという問題が生じる。

#### 【0005】

この問題を軽減するには一般に誘電体酸化層を必要以上に厚く製造する。このため所定の静電容量値においてコンデンサが占める基板の表面積を大きくする必要があるので、ダイのサイズが大きくなり、製造コストも高くなる。

10

#### 【課題を解決するための手段】

#### 【0006】

本発明は、上に述べた1つ以上の問題に対処する処理方法と回路構造とを提供するものである。少なくとも1つの実施の形態では、珪化ポリシリコンの容量要素を構築するのに標準のプロセスを用いるが、ただし、ポリシリコン層を珪化する前にポリシリコン層の上面をアモルファス化してポリシリコン結晶のサイズを小さくすることにより、非常に平滑な表面を作る。少なくとも1つの実施の形態では、本発明の方法の実施の形態に従って構築されたコンデンサは、誘電体層に接触する表面が非常に平滑である珪化ポリシリコン層の底板を備える。

20

#### 【実施例】

#### 【0007】

(表記法と命名法)

以下の説明とクレームを通して、特定のプロセス・ステップとプロセス材料とそれから得られる構造とを参照するのにいくつかの用語を用いる。当業者が理解するように、プロセス、材料、または得られる構造は、異なる名称で参照されることがある。ここでは名称が異なっても、機能が同じである要素、材料、またはプロセスは区別しない。以下の説明とクレームでは、「含む」および「包含する」という用語は範囲を設定せずに用いるため、「...を含むが限定されない」という意味に解釈すべきである。

30

#### 【0008】

(詳細な説明)

以下の説明は本発明の種々の実施の形態に関するものである。1つ以上のかかる実施の形態が好ましい場合があるが、別に指定しない限り開示された実施の形態は、クレームを含めてこの開示の範囲を制限するものと解釈しあるいはその他に用いてはならない。また当業者が理解するように、以下の説明は広範囲の応用を有するものである。また全ての実施の形態の説明はその実施の形態の単なる例であって、クレームを含めてこの開示はその実施の形態に限定されるものではない。

#### 【0009】

例えば、半導体デバイス内の特定の層を作るには、イオン注入や化学気相堆積や拡散などの当業者に周知の多数の方法がある。また、かかる層は同じ結果と目的を達成する種々の化学的成分を含んでよいが、用いる状況や特定のプロセス・フローに従って、或るものが他のものより適していることがある。この開示ではかかる代替の方法や化学的成分についても言及するつもりであるが、全てを網羅することはできないし、またここに開示する実施の形態はそれらの示された例に限定されるものでもない。最後に、当業者が本発明を実施するのを支援するために、ここに開示するいくつかの処理ステップについてパラメトリックな情報を開示した。かかるパラメトリックなデータはできる限り一般的な範囲で提供するが、かかる範囲の指定は、別に明示しない限り本発明の種々の実施の形態の操作と処理の範囲を制限するものではない。

40

#### 【0010】

50

図2は、本発明の或る実施の形態に係る、容量要素50を形成するために処理中の半導体回路の一部の断面図を示す。まず、この技術で周知の1つ以上の処理ステップに従ってシリコン基板54開始材料（これは埋込層インプラント52を含んでよい）を準備する。基板54の開始材料がn型の場合は、埋込層インプラント52もn型（一般に砒素（As）または燐（P））である。この一連の処理機能を、図10のプロセス流れ図に「シリコン開始材料を準備する100」で示す。

#### 【0011】

図3では、やはり基板54上に形成される任意の他のデバイスからコンデンサを絶縁するために、基板54の上に絶縁層56を形成する。絶縁層56はこの技術で周知の1つ以上の処理機能（浅溝絶縁（STI）フィールド酸化物56を形成することを含んでよい）に従って形成してよい。まず絶縁層56の位置を一般にマスキング・プロセスにより決める。すなわち、マスクを用いて表面下のシリコンをエッチして、絶縁層56を置く溝を形成する。電気絶縁に適した材料（フィールド酸化物層56など）を基板54の露出面上に堆積させて溝を埋める。表面に化学的/機械的研磨（CMP）を行った後、マスキング層（図示しない）をエッチして基板54の表面から除く。この一連の処理機能を、図10のプロセス流れ図に「絶縁層を形成する102」で示す。

10

#### 【0012】

図4では、コンデンサ構造50の底板を形成するプロセスの一部として、ポリシリコン層58を堆積させてマスクする。ポリシリコン層58の上面62は一般に大きな結晶を含む。前に説明したように、かかる大きな結晶は比較的薄いコンデンサ誘電体層（一般にポリシリコン層を珪化した後にその上面62の上に堆積させる）内に応力点を作る。周知のように物理的応力の高い点の酸化物誘電体は弱いため、高い電界応力と共に、構造50の最大電圧能力を制限する。これらの処理機能を、図10のプロセス流れ図に「ポリシリコンの堆積とエッチとを行う104」で示す。

20

#### 【0013】

図5は、容量構造50のポリシリコン層58が絶縁酸化物56の上に形成されている、ポリシリコンのエッチ・プロセスの結果を示す。図5は、容量構造50の露出面にシリコン（Si）、ゲルマニウム（Ge）などの中性物質のイオン注入を行うことも示す。本発明の或る実施の形態では、注入は、約500から1000オングストロームの深さに、約 $10^{15}/\text{cm}^2$ から $10^{16}/\text{cm}^2$ 程度のドーズ量で行う。望ましい深さに望ましいドーズ量を達成するには約100KeVの注入エネルギーで十分である。この注入プロセスにより、ポリシリコン層58の表面62はアモルファス・シリコンに変質する。アモルファス・シリコンに変質すると表面62は十分平滑になる。この処理機能を、図10のプロセス流れ図に「ポリシリコンのアモルファス化注入を行う106」で示す。

30

#### 【0014】

別の実施の形態では、表面62をアモルファス・ポリシリコンに変質させるのに表面62のプラズマ衝撃を用いてよい。アルゴン、クリプトン、キセノンなどの不活性の重原子キャリア・ガスをプラズマ室内に導入する。プラズマ室は、プラズマ化学気相堆積PECVD室で用いられるものと同じでよい。別の実施の形態では、エッチ室を用いてかなり高圧で高いプラズマ密度を得てよい。このプロセスでは表面のイオン衝撃を用いて格子構造を破壊する（注入と同様に）。当業者が認識するように、この開示の範囲を超えずに、別の方法により表面62をアモルファス・ポリシリコンに変質してよい。

40

#### 【0015】

図6aは、ポリシリコン層58の珪化の第1のステップとして、金属層64を堆積させて最終的にポリシリコン層58の上面に珪化物層を形成することを示す。図6bは、容量構造50にアニーリング・プロセスを行い、金属層64とポリシリコン層58とを結合して珪化物層66を形成することを示す。次に金属をマスクしてエッチし、珪化物層66を残す。ポリシリコン層58と珪化物層66とで容量構造50の底板を形成する。図5のポリシリコン層58の表面62は注入によりすでにアモルファス化されているため、珪化物層66も十分平滑である。この処理機能を、図10のプロセス流れ図に「珪化物層を形成

50

する 108」で示す。

【0016】

図7は、誘電体層68の堆積を示す。誘電体層は例えば酸化物または窒化物で形成してよく、その厚さは500から1000オングストロームの範囲である。珪化物層66の上面はアモルファス化注入によりすでに十分平滑になっているため、珪化物層と誘電体層との界面に応力点が生じる可能性は大幅に減っている。したがって誘電体の厚さを大幅に薄くしてよいため、所定の容量値において容量要素の上板と底板の表面積は小さくなる(すなわち、単位面積当りの静電容量が十分大きくなる)。所定の容量要素50においてダイ面積がこのように小さくなると、本発明の容量要素を用いる集積回路の製造コストを削減することができる。更に、底板の変動も大幅に減少するため回路の歩留まりが向上し、製造コストは更に下がる。この処理機能を、図10のプロセス流れ図に「コンデンサ誘電体層を堆積させる110」で示す。

10

【0017】

図8は、上部金属層70の堆積を示す。これはパターン化してマスク72を作り、次にエッチしてコンデンサの上板(図示しない)を形成する。上部金属層70は、窒化チタン(TiN)障壁層を持つアルミニウム/銅かまたは同等の材料で形成してよい。この処理機能を、図10のプロセス流れ図に「上部コンデンサ金属層を堆積させる112」で示す。

【0018】

最後に図9は、金属をエッチして容量要素50の上部金属板76を形成した結果を示す。図9は、容量要素50の上に金属被覆積層を形成するプロセスも示す。まず、容量要素50の上にレベル間誘電体層74を堆積させて、後で容量要素の上に形成されて走る金属相互接続(図示しない)から上部金属板76を絶縁する。上部金属板と容量要素50の上部の上を走る1つ以上の相互接続線とを電気的に接続するための接触子78を形成してよい。当業者が認識するように、容量要素50の底板と接触する接触子も形成してよい(図示しない)。次に、1つ以上のレベルの相互接続線(図示しない)を容量要素50の上に形成してよい。この処理機能を、図10のプロセス流れ図に「金属被覆積層を形成する114」で示す。

20

【0019】

要約すると、本発明の実施の形態は容量要素を作るのに標準のプロセス・フローを用いるが、ただし、ポリシリコンの珪化を行う前にアモルファス・ポリシリコンを作ってポリシリコンの表面を平滑にする。このため、ポリシリコンの珪化により形成される珪化物層は標準のプロセスの珪化物層の表面に比べて大幅に平滑になる。珪化物の表面が平滑になると珪化物層と容量誘電体との界面に応力点ができる可能性が非常に小さくなり、したがって誘電体内に亀裂が形成されて板が短絡する可能性が大幅に小さくなる。これによりデバイス(したがって、かかる容量要素をその中で用いる任意の集積回路)の歩留まりと信頼性が向上するだけでなく、誘電体を十分薄くすることができるため、用いるシリコンの単位面積当りの静電容量が増加し、また製造コストが下がる。本発明の或る実施の形態では、中性物質の注入を用いて多結晶ポリシリコンをアモルファス・ポリシリコンに変質させることができる。

30

40

【0020】

例示的な実施の形態では、珪化アモルファスを製造する方法は次のステップを含む。すなわち、a)基板上に形成された絶縁層の上にポリシリコンの層を堆積させ、ポリシリコン層をアモルファス化し、ポリシリコン層の露出面を珪化してコンデンサの第1の板を形成し、b)第1の板の上に誘電体を堆積させ、c)誘電体層の上にコンデンサの第2の板を形成する。ポリシリコン層のアモルファス化は、ポリシリコン層内にシリコンまたはゲルマニウムなどの中性物質を注入することを含んでよい。注入した後の中性物質のドーザ量は実質的に $10^{15}/\text{cm}^2$ から $10^{16}/\text{cm}^2$ の間であり、深さは約500から1000オングストロームである。注入のエネルギーは約100KeVである。アモルファス化されたポリシリコンの露出面は多結晶シリコンに比べて十分平滑である。アモルファス化は

50

、プラズマ化学気相堆積 ( P E C V D ) 室内で作られたイオン衝撃に多結晶ポリシリコンをさらすことにより行う。イオン衝撃は、アルゴン、クリプトン、またはキセノンを含む重イオン・キャリア・ガスから生成される。イオン衝撃はエッチ室内で作ってもよい。

【 0 0 2 1 】

例示的な実施の形態では、珪化アモルファス・ポリシリコン - 金属のコンデンサは、上部が珪化アモルファス・ポリシリコンで残りの部分が多結晶シリコンを含む第 1 の板と、金属層を包含する第 2 の板と、前記第 1 の板と第 2 の板との間に形成される誘電体層とを有してよい。上面は残りの部分に比べて十分平滑である。第 1 の板は絶縁層の上に形成してよい。第 1 の板のアモルファス・シリコンは、シリコンまたはゲルマニウムなどの中性物質を多結晶ポリシリコン層の上面に十分注入して形成してよい。前記注入から得られる中性物質のドーズ量は実質的に  $10^{15} / \text{cm}^2$  から  $10^{16} / \text{cm}^2$  の間である。中性物質は約 100 KeV のエネルギーで注入してよい。中性物質は約 500 から 1000 オングストロームの深さに注入してよい。上部は約 500 から 1000 オングストロームの深さを有してよい。第 1 の板のアモルファス・ポリシリコンは、プラズマ化学気相堆積 ( P E C V D ) 室内で作られたイオン衝撃に多結晶ポリシリコン層をさらすことにより形成してよい。イオン衝撃は、アルゴン、クリプトン、またはキセノンを含む重イオン・キャリア・ガスで作ってよい。第 1 の板のアモルファス・ポリシリコンは、エッチ気相堆積 ( P E C V D ) 室内で作られたイオン衝撃に多結晶ポリシリコンをさらすことにより形成してよい。

10

【 0 0 2 2 】

以上の説明に関して更に以下の項を開示する。

20

( 1 ) 珪化アモルファス・ポリシリコン - 金属のコンデンサを製造する方法であって、前記コンデンサの第 1 の板を形成し、前記形成は、

基板上に形成された絶縁層の上にポリシリコンの層を堆積させ、

前記ポリシリコン層をアモルファス化し、

前記ポリシリコン層の露出面を珪化する、

ことを更に含み、

前記第 1 の板の上に誘電体を堆積させ、

前記誘電体層の上に前記コンデンサの第 2 の板を形成する、

ステップを含む、コンデンサを製造する方法。

30

( 2 ) 前記アモルファス化は前記ポリシリコン層内に中性物質を注入することを更に含む、第 1 項記載のコンデンサを製造する方法。

( 3 ) 前記中性物質はシリコンまたはゲルマニウムである、第 2 項記載のコンデンサを製造する方法。

( 4 ) 前記注入から得られる中性物質のドーズ量は実質的に  $10^{15} / \text{cm}^2$  から  $10^{16} / \text{cm}^2$  の間で、深さは約 500 から 1000 オングストロームである、第 2 項または第 3 項記載のコンデンサを製造する方法。

( 5 ) 前記注入のエネルギーは約 100 KeV である、第 1 項 - 第 4 項のいずれか記載のコンデンサを製造する方法。

( 6 ) 前記アモルファス化されたポリシリコンの露出面は多結晶シリコンに比べて十分平滑である、第 1 項 - 第 5 項のいずれか記載のコンデンサを製造する方法。

40

( 7 ) 前記アモルファス化は、プラズマ化学気相堆積 ( P E C V D ) 室内で作られたイオン衝撃に前記多結晶シリコンをさらすことを更に含む、第 1 項 - 第 6 項のいずれか記載のコンデンサを製造する方法。

( 8 ) 前記イオン衝撃はアルゴン、クリプトン、またはキセノンを含む重イオン・キャリア・ガスから生成される、第 7 項記載のコンデンサを製造する方法。

( 9 ) 前記アモルファス化はエッチ室で作られたイオン衝撃に前記多結晶シリコンをさらすことを更に含む、第 1 項 - 第 6 項のいずれか記載のコンデンサを製造する方法。

( 10 ) 珪化アモルファス・ポリシリコン - 金属のコンデンサであって、

上部が珪化アモルファス・ポリシリコンで残りの部分が多結晶シリコンを含む第 1 の板

50

と、

金属層を包含する第2の板と、

前記第1および第2の板の間に形成される誘電体層と、  
を包含するコンデンサ。

(11) 前記上面は前記残りの部分に比べて十分平滑である、第10項記載のコンデンサ。

(12) 前記第1の板は絶縁層の上に形成される、第10項または第11項記載のコンデンサ。

(13) 前記第1の板のアモルファス・シリコンは多結晶シリコン層の上面に中性物質を十分注入することにより形成される、第10項 - 第12項のいずれか記載のコンデンサ 10

(14) 前記注入から得られる中性物質のドーズ量は実質的に  $10^{15} / \text{cm}^2$  から  $10^{16} / \text{cm}^2$  の間である、第13項記載のコンデンサ。

(15) 前記中性物質は約500から1000オングストロームの深さに注入される、第13項または第14項記載のコンデンサ。

【0023】

(16) 珪化アモルファス・ポリシリコン - 金属のコンデンサ50を標準のプロセスを用いて形成するが、ただし、ポリシリコン層50の珪化を行う前に多結晶シリコンの露出面をアモルファス・ポリシリコンに変質させて、容量要素の底板を形成する。多結晶シリコンの表面をアモルファス・ポリシリコンに変質させると、ポリシリコンの表面は多結晶シリコンの表面に比べて十分平滑になる。これにより、コンデンサの底板を形成しかつポリシリコンの珪化により形成される珪化物層66の表面も十分平滑になる。コンデンサ50の誘電体層68内に応力点が形成される可能性が大幅に小さくなり、歩留まりと信頼性が向上しかつ厚さを減らすことができるため、単位面積当りの静電容量値が大きくなる。ポリシリコンの珪化の前に中性物質を注入することにより多結晶シリコンをアモルファスにして、容量要素の底板に用いる珪化物層66を形成する。 20

【図面の簡単な説明】

【0024】

本発明の実施の形態を詳細に説明するために添付の図面を参照する。

【図1】従来のプロセスに従って製造された標準のポリ珪化 - 金属の容量要素構造を示す半導体回路の一部の断面図である。 30

【図2】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、シリコン開始材料の準備を示す半導体回路の一部の断面図である。

【図3】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、絶縁フィールド酸化物層の形成を示す半導体回路の一部の断面図である。

【図4】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、ポリシリコン層の形成を示す半導体回路の一部の断面図である。 40

【図5】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、ポリシリコン層のアモルファス化注入の結果を示す半導体回路の一部の断面図である。

【図6】aは、本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、珪化物層の形成に用いられる金属層の形成を示す半導体回路の一部の断面図である。 bは、本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、珪化物層の形成を完了するための図6aの金属層のアニーリングを示す半導体回路の一部の断面図である。

【図7】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコン 50

デンサを構築するプロセスにおいて、コンデンサ誘電体層の堆積を示す半導体回路の一部の断面図である。

【図8】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、上部コンデンサ金属層の堆積とマスクングとエッチングとを示す半導体回路の一部の断面図である。

【図9】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスにおいて、金属被覆積層の形成を示す半導体回路の一部の断面図である。

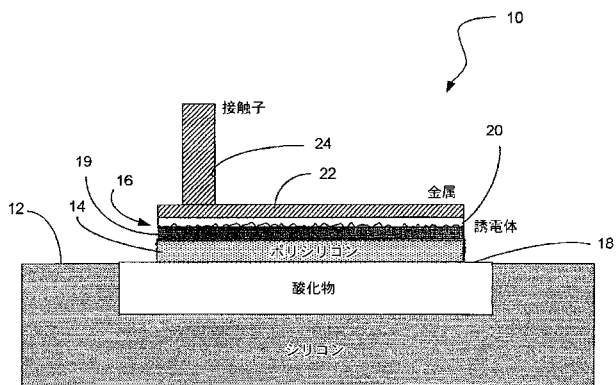
【図10】本発明の或る実施の形態に係る珪化ポリ・アモルファス・シリコン - 金属のコンデンサを構築するプロセスを記述する流れ図である。

【符号の説明】

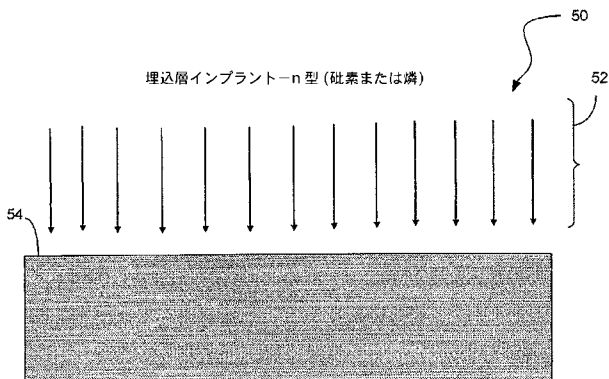
【0025】

- 50 コンデンサ
- 58 ポリシリコン層
- 66 珪化物層
- 68 誘電体層

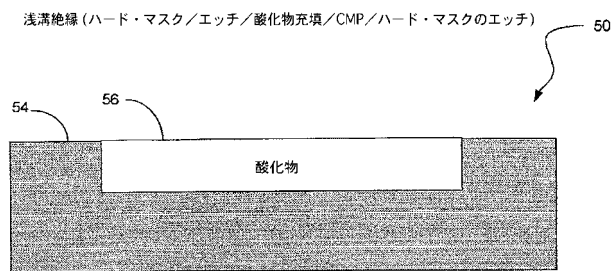
【図1】



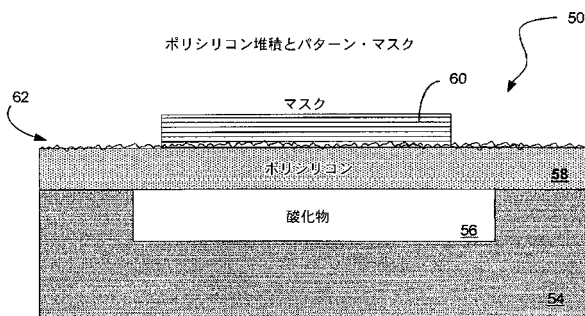
【図2】



【図3】



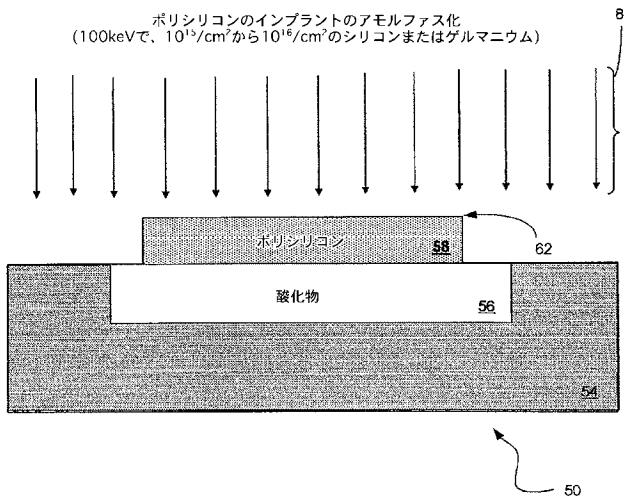
【図4】



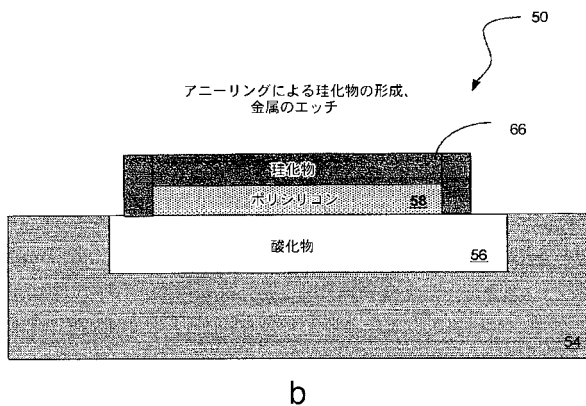
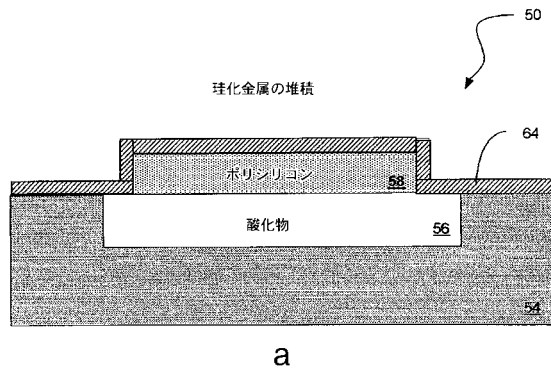


【図5】

ポリシリコンのインプラントのアモルファス化  
(100keVで、 $10^{15}/\text{cm}^2$ から $10^{16}/\text{cm}^2$ のシリコンまたはゲルマニウム)

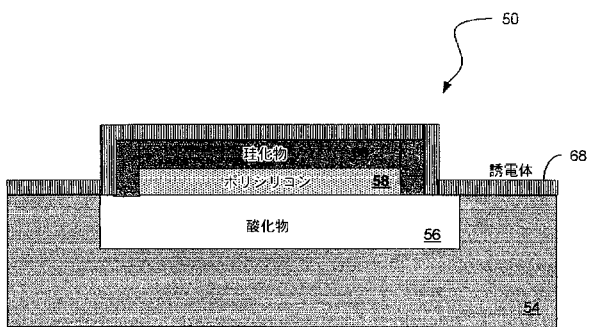


【図6】



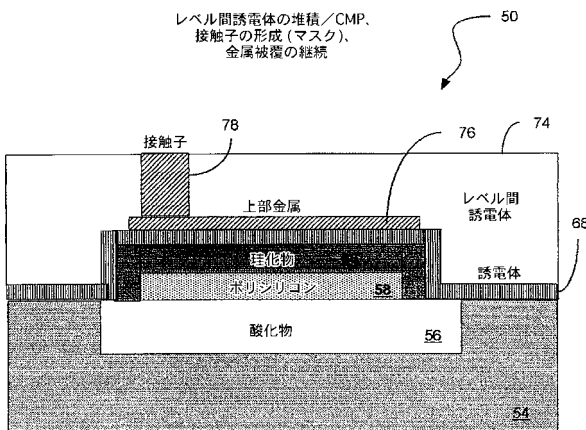
【図7】

誘電体層の堆積 (500から5000オングストロームの酸化物または窒化物)



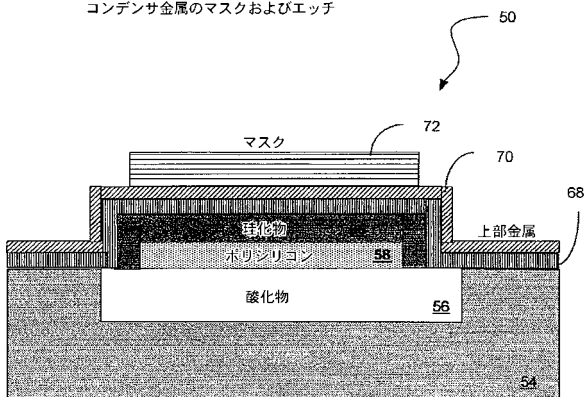
【図9】

レベル間誘電体の堆積/CMP、  
接触子の形成(マスク)、  
金属被覆の継続

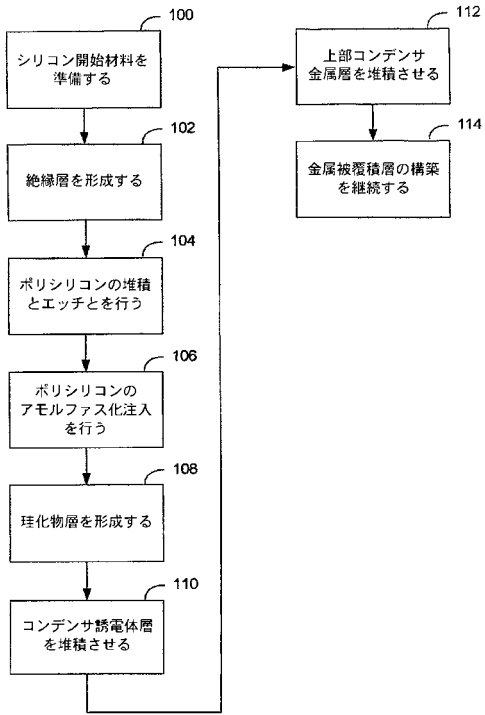


【図8】

上部金属板の堆積 (TiN障壁層を持つアルミニウム/銅)、  
コンデンサ金属のマスクおよびエッチ



【図10】



---

フロントページの続き

(72)発明者 グレゴリー エリック ハワ - ド

アメリカ合衆国、テキサス、ダラス、 ウォルドーフ ドライブ 3 5 5 4

(72)発明者 リーランド スワンソン

アメリカ合衆国、テキサス、マッキニー、 メドレー リッジ サークル 4 8 1 1

Fターム(参考) 5F038 AC02 AC05 AC15 EZ13 EZ14 EZ15 EZ17 EZ20