

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5140

(P2017-5140A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 A	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 J	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 K	
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 5 3 A	

審査請求 未請求 請求項の数 7 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2015-118389 (P2015-118389)  
 (22) 出願日 平成27年6月11日 (2015.6.11)

(71) 出願人 000003207  
 トヨタ自動車株式会社  
 愛知県豊田市トヨタ町1番地  
 (71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (71) 出願人 000003609  
 株式会社豊田中央研究所  
 愛知県長久手市横道41番地の1  
 (74) 代理人 110000110  
 特許業務法人快友国際特許事務所  
 (72) 発明者 高谷 秀史  
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

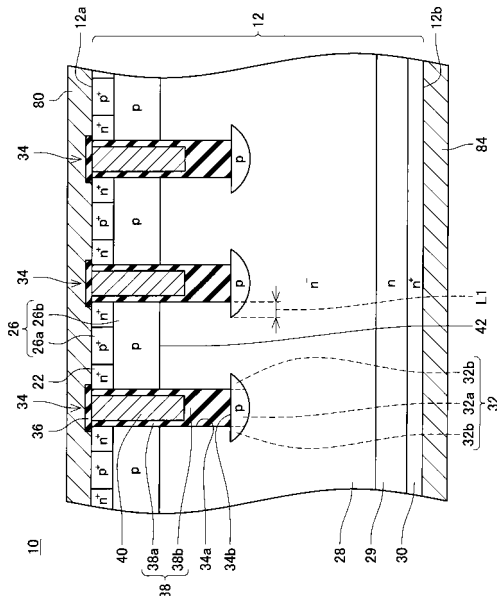
(54) 【発明の名称】 絶縁ゲート型スイッチング装置とその製造方法

(57) 【要約】 (修正有)

【課題】電界緩和領域の突出量を大きくできる絶縁ゲート型スイッチング装置の製造方法を提供する。

【解決手段】n型の第1SiC半導体層の表面に第1トレンチを形成する工程と、第1トレンチの底面にp型不純物を注入する工程と、p型不純物の注入後に、第1トレンチの内面にn型の第2SiC半導体層を堆積させることによって、p型不純物の注入領域(電解緩和領域)32の上部に第1トレンチよりも幅が狭い第2トレンチ34(ゲートトレンチ)を形成する工程と、ゲート絶縁層38、ゲート電極40、n型の第1領域22(ソース領域)及びp型のボディ領域26bを形成する工程を有する。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁ゲート型スイッチング装置の製造方法であって、  
 n型の第1 SiC半導体層の表面に第1トレンチを形成する工程と、  
 前記第1トレンチの底面に、p型不純物を注入する工程と、  
 前記p型不純物の注入後に、前記第1トレンチの内面にn型の第2 SiC半導体層を堆積させることによって、前記p型不純物の注入領域の上部に前記第1トレンチよりも幅が狭い第2トレンチを形成する工程と、  
 ゲート絶縁層が前記第2トレンチの内面を覆い、ゲート電極が前記第2トレンチ内に配置され、n型の第1領域が前記ゲート絶縁層に接し、p型のボディ領域が前記注入領域から分離されるとともに前記第1領域の下側で前記ゲート絶縁層に接するように、前記ゲート絶縁層、前記ゲート電極、前記第1領域及び前記ボディ領域を形成する工程、  
 を有する製造方法。

10

## 【請求項 2】

前記第2 SiC半導体層のn型不純物濃度が、前記第1 SiC半導体層のn型不純物濃度よりも高く、  
 前記ボディ領域が、前記第1 SiC半導体層と前記第2 SiC半導体層にp型不純物を注入することによって形成される、  
 請求項1の製造方法。

20

## 【請求項 3】

前記第2 SiC半導体層のn型不純物濃度が、前記第1 SiC半導体層のn型不純物濃度よりも低く、  
 前記ボディ領域が、前記第1 SiC半導体層と前記第2 SiC半導体層にp型不純物を注入することによって形成される、  
 請求項1の製造方法。

## 【請求項 4】

前記第2トレンチを形成する工程では、前記第1トレンチを前記第2 SiC半導体層で埋め込み、その後、前記第2 SiC半導体層をエッチングすることによって前記第2トレンチを形成する請求項1～3の何れか一項の製造方法。

## 【請求項 5】

前記第2トレンチが、前記第1トレンチの側面に前記第2 SiC半導体層を堆積させることによって前記第1トレンチの幅を狭めることによって形成される請求項1～3の何れか一項の製造方法。

30

## 【請求項 6】

絶縁ゲート型スイッチング装置であって、  
 表面にトレンチが形成されている SiC半導体基板と、  
 前記トレンチの内面を覆っているゲート絶縁層と、  
 前記トレンチ内に配置されているゲート電極、  
 を有しており、  
 前記 SiC半導体基板が、  
 前記ゲート絶縁層に接しているn型の第1領域と、  
 前記第1領域の下側で前記ゲート絶縁層に接しているp型のボディ領域と、  
 前記ボディ領域の下側で前記ゲート絶縁層に接しており、前記ボディ領域によって前記第1領域から分離されているn型の第2領域と、  
 前記トレンチの下部に配置されており、前記第2領域によって前記ボディ領域から分離されており、前記トレンチよりも幅が広いp型の電界緩和領域、  
 を有しており、  
 前記ボディ領域が、前記ゲート絶縁層に隣接する第1部分と、前記ゲート絶縁層の反対側で前記第1部分に隣接する第2部分を有しており、  
 前記第1部分のn型不純物濃度が、前記第2部分のn型不純物濃度よりも高く、

40

50

前記第 1 部分の下端が、前記第 2 部分の下端よりも上側に位置する、絶縁ゲート型スイッチング装置。

【請求項 7】

絶縁ゲート型スイッチング装置であって、  
表面にトレンチが形成されている SiC 半導体基板と、  
前記トレンチの内面を覆っているゲート絶縁層と、  
前記トレンチ内に配置されているゲート電極、  
を有しており、

前記 SiC 半導体基板が、

前記ゲート絶縁層に接している n 型の第 1 領域と、

前記第 1 領域の下側で前記ゲート絶縁層に接している p 型のボディ領域と、

前記ボディ領域の下側で前記ゲート絶縁層に接しており、前記ボディ領域によって前記第 1 領域から分離されている n 型の第 2 領域と、

前記トレンチの下部に配置されており、前記第 2 領域によって前記ボディ領域から分離されており、前記トレンチよりも幅が広い p 型の電界緩和領域、

を有しており、

前記ボディ領域が、前記ゲート絶縁層に隣接する第 1 部分と、前記ゲート絶縁層の反対側で前記第 1 部分に隣接する第 2 部分を有しており、

前記第 1 部分の n 型不純物濃度が、前記第 2 部分の n 型不純物濃度よりも低く、

前記第 1 部分の下端が、前記第 2 部分の下端よりも下側に位置する、

絶縁ゲート型スイッチング装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書が開示する技術は、絶縁ゲート型スイッチング装置とその製造方法に関する。

【背景技術】

【0002】

MOSFET や IGBT 等の絶縁ゲート型スイッチング装置が知られている。絶縁ゲート型スイッチング装置がオフしているときには、ゲート絶縁膜に電界が印加される。ゲート絶縁膜に印加される電界がゲート絶縁膜の絶縁耐量を超えると、ゲート絶縁膜を貫通して電流が流れ、問題となる。したがって、ゲート絶縁膜に印加される電界を緩和する技術が必要となる。

【0003】

特許文献 1 には、SiC 半導体基板に形成されている絶縁ゲート型スイッチング装置が開示されている。この絶縁ゲート型スイッチング装置は、トレンチ型のゲート電極を有し、トレンチの下側に p 型の電界緩和領域が形成されている。絶縁ゲート型スイッチング装置がオフするときに、電界緩和領域からその周囲のドリフト領域 (n 型領域) に空乏層が広がる。電界緩和領域からドリフト領域に空乏層が広がることによって、ゲート絶縁層に印加される電界が緩和される。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2013 - 191734 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 の絶縁ゲート型スイッチング素子の製造方法では、SiC 半導体基板の表面にトレンチが形成され、その後、トレンチの底面に p 型不純物が注入される。これによって、トレンチの下側に p 型の電界緩和領域が形成される。その後、トレンチ内にゲート絶縁層とゲート電極が形成される。ここで、SiC 半導体基板中における p 型不純物の拡散

10

20

30

40

50

係数は小さい。このため、特許文献1の製造方法では、電界緩和領域を形成する際にSiC半導体基板に注入されたp型不純物が注入された領域からあまり拡散せず、電界緩和領域の大部分がトレンチの下側の領域に形成される。したがって、電界緩和領域がトレンチの下部においてトレンチの側面から横方向に突出する部分の幅（以下、突出量という）が小さくなる。電界緩和領域の突出量が小さいと、ゲート絶縁層への印加電界を抑制する効果が小さくなってしまふ。したがって、本明細書では、電界緩和領域の突出量を大きくすることができる絶縁ゲート型スイッチング装置の製造方法を提供する。

【課題を解決するための手段】

【0006】

本明細書が開示する絶縁ゲート型スイッチング装置の製造方法は、第1トレンチ形成工程、p型不純物注入工程、第2トレンチ形成工程を有する。前記第1トレンチ形成工程では、n型の第1SiC半導体層の表面に第1トレンチを形成する。前記p型不純物注入工程では、前記第1トレンチの底面に、p型不純物を注入する。前記第2トレンチ形成工程では、前記p型不純物の注入後に、前記第1トレンチの内面にn型の第2SiC半導体層を堆積させることによって、前記p型不純物の注入領域の上部に前記第1トレンチよりも幅が狭い第2トレンチを形成する。また、この製造方法は、ゲート絶縁層、ゲート電極、n型の第1領域及びp型のボディ領域を形成する工程をさらに有する。この工程では、ゲート絶縁層が前記第2トレンチの内面を覆い、ゲート電極が前記第2トレンチ内に配置され、第1領域が前記ゲート絶縁層に接し、ボディ領が前記注入領域から分離されるとともに前記第1領域の下側で前記ゲート絶縁層に接するように、ゲート絶縁層、ゲート電極、第1領域及びボディ領域を形成する。

10

20

【0007】

なお、第2トレンチを形成する工程では、第1トレンチを第2SiC半導体層で埋め込み、その後第2SiC半導体層をエッチングすることによって第2トレンチを形成してもよい。また、第2トレンチを形成する工程では、第1トレンチの側面に第2SiC半導体層を堆積させて第1トレンチの幅を狭めることで第2トレンチを形成してもよい。また、ゲート絶縁層、ゲート電極、第1領域及びボディ領域の形成順序は制約されない。第1領域及びボディ領域を、ゲート絶縁層及びゲート電極の形成前（例えば、第2トレンチの形成前）に形成してもよいし、第1領域及びボディ領域を、ゲート絶縁層及びゲート電極の形成後に形成してもよい。また、絶縁ゲート型スイッチング装置には、ユニポーラ型スイッチング装置（例えば、MOSFET）とバイポーラ型スイッチング装置（例えば、IGBT）が存在する。ユニポーラ型スイッチング装置では第1領域がソース領域であり、バイポーラ型スイッチング装置では第1領域がエミッタ領域である。

30

【0008】

この製造方法では、まず、第1SiC半導体層の表面に第1トレンチを形成し、その第1トレンチの底面にp型不純物を注入する。p型不純物が注入された領域に、p型の電界緩和領域が形成される。したがって、p型不純物の注入領域（すなわち、電界緩和領域）の幅は、第1トレンチの幅と同じがそれより少し広がる。p型不純物の注入後に、第1トレンチの内面に第2SiC半導体層を堆積させる。これによって、p型不純物の注入領域の上部に、第1トレンチよりも幅が狭い第2トレンチが形成される。第2トレンチの幅が第1トレンチの幅よりも狭いので、第2トレンチの幅はp型不純物の注入領域の幅よりも狭い。したがって、p型不純物の注入領域が、第2トレンチの側面よりも横方向に大きく突出している構造が得られる。その後、ゲート絶縁層とゲート電極が第2トレンチ内に形成されると、p型不純物の注入領域が第2トレンチの側面のゲート絶縁層よりも横方向に大きく突出している構造が得られる。このように、この製造方法によれば、p型不純物の注入領域（すなわち、電界緩和領域）の突出量を大きくすることができる。このため、ゲート絶縁層への印加電界をより効果的に緩和することができる。

40

【0009】

また、本明細書は、新たな絶縁ゲート型スイッチング装置を提供する。本明細書が開示する第1の絶縁ゲート型スイッチング装置は、表面にトレンチが形成されているSiC半

50

導体基板と、前記トレンチの内面を覆っているゲート絶縁層と、前記トレンチ内に配置されているゲート電極を有している。前記SiC半導体基板が、第1領域と、ボディ領域と、第2領域と、電界緩和領域を有している。前記第1領域は、前記ゲート絶縁層に接しているn型の領域である。前記ボディ領域は、前記第1領域の下側で前記ゲート絶縁層に接しているp型の領域である。前記第2領域は、前記ボディ領域の下側で前記ゲート絶縁層に接しており、前記ボディ領域によって前記第1領域から分離されているn型の領域である。前記電界緩和領域は、前記トレンチの下部に配置されており、前記第2領域によって前記ボディ領域から分離されており、前記トレンチよりも幅が広いp型の領域である。前記ボディ領域が、前記ゲート絶縁層に隣接する第1部分と、前記ゲート絶縁層の反対側で前記第1部分に隣接する第2部分を有している。前記第1部分のn型不純物濃度が、前記第2部分のn型不純物濃度よりも高い。前記第1部分の下端が、前記第2部分の下端よりも上側に位置する。

10

#### 【0010】

なお、前記ボディ領域（すなわち、第1部分及び第2部分）は、p型不純物とn型不純物の両方を含んでおり、p型不純物濃度がn型不純物濃度よりも高いためにp型となっている。第1部分と第2部分でp型不純物濃度が同様に分布していると、n型不純物濃度が高い第1部分の下端が、n型不純物濃度が低い第2部分の下端よりも上側に配置される。

#### 【0011】

この絶縁ゲート型スイッチング装置では、電界緩和領域の幅がトレンチの幅よりも広いので、トレンチの側面のゲート絶縁層から横方向に電界緩和領域が突出している。したがって、ゲート絶縁層に高い電界が印加され難い。また、この絶縁ゲート型スイッチング装置では、ボディ領域の第1部分の下端が第2部分の下端よりも上側に位置する。ゲート絶縁層に接する部分である第1部分の下端が上側に位置するので、チャンネル長が短くなっている。このため、この絶縁ゲート型スイッチング装置は、チャンネル抵抗が小さい。また、第2部分の下端が下側に位置しているので、絶縁ゲート型スイッチング装置がオフするときに第2領域からボディ領域に伸びる空乏層が、ボディ領域の上端まで伸び難い。すなわち、空乏層がボディ領域を貫通する状態（いわゆる、パンチスルー）が生じ難い。

20

#### 【0012】

なお、第1部分と第2部分のn型不純物濃度の関係は、逆であってもよい。つまり、本明細書が開示する第2の絶縁ゲート型スイッチング装置では、ボディ領域の第1部分のn型不純物濃度が、ボディ領域の第2部分のn型不純物濃度よりも低い。前記第1部分の下端が、前記第2部分の下端よりも下側に位置する。

30

#### 【0013】

この絶縁ゲート型スイッチング装置では、電界緩和領域の幅がトレンチの幅よりも広いので、トレンチの側面のゲート絶縁層から横方向に電界緩和領域が突出している。したがって、ゲート絶縁層に高い電界が印加され難い。また、この絶縁ゲート型スイッチング装置では、ボディ領域の第1部分の下端が第2部分の下端よりも下側に位置する。このため、第2領域とゲート絶縁層とが接する領域が少ない。これによって、ゲート絶縁層に印加される電界をより効果的に抑制することができる。

40

#### 【図面の簡単な説明】

#### 【0014】

- 【図1】実施例1のMOSFET10の縦断面図。
- 【図2】実施例1のMOSFET10の製造方法の説明図。
- 【図3】実施例1のMOSFET10の製造方法の説明図。
- 【図4】実施例1のMOSFET10の製造方法の説明図。
- 【図5】実施例1のMOSFET10の製造方法の説明図。
- 【図6】実施例1のMOSFET10の製造方法の説明図。
- 【図7】実施例1のMOSFET10の製造方法の説明図。
- 【図8】実施例1のMOSFET10の製造方法の説明図。
- 【図9】実施例1のMOSFET10の製造方法の説明図。

50

【図10】実施例1のMOSFET10の製造方法の説明図。

【図11】実施例2のMOSFETの縦断面図。

【図12】実施例2のMOSFETの製造方法の説明図。

【図13】実施例2のMOSFETの製造方法の説明図。

【図14】実施例2のMOSFETの製造方法の説明図。

【図15】実施例2のMOSFETの製造方法の説明図。

【図16】図15のA-A線及びB-B線における不純物濃度分布を示す図。

【図17】実施例3のMOSFETの縦断面図。

【図18】実施例4のMOSFETの縦断面図。

【図19】実施例4のMOSFETの第1の製造方法の説明図。

10

【図20】実施例4のMOSFETの第2の製造方法の説明図。

【図21】第1変形例の製造方法の説明図。

【図22】第2変形例の製造方法の説明図。

【図23】第3変形例の製造方法の説明図。

【図24】第3変形例の製造方法の説明図。

【図25】第3変形例の製造方法の説明図。

【図26】第3変形例の製造方法の説明図。

【発明を実施するための形態】

【実施例1】

【0015】

20

図1に示す実施例1のMOSFET10は、SiC半導体基板12を有している。SiC半導体基板12の表面12aには、ソース電極80が形成されている。SiC半導体基板12の裏面12bには、ドレイン電極84が形成されている。

【0016】

SiC半導体基板12の表面12aには、複数のゲートトレンチ34が形成されている。各ゲートトレンチ34は、図1の紙面に対して垂直な方向に長く伸びている。各ゲートトレンチ34内には、ゲート絶縁層38と、ゲート電極40が形成されている。ゲート絶縁層38は、底部絶縁層38bと側部絶縁膜38aを有している。底部絶縁層38bは、ゲートトレンチ34の底部に形成された厚い絶縁層である。ゲートトレンチ34の側面34aのうちの底部絶縁層38bよりも上側の部分は、側部絶縁膜38aによって覆われている。側部絶縁膜38aは、底部絶縁層38bと繋がっている。ゲート電極40は、底部絶縁層38bの上側のゲートトレンチ34内に配置されている。ゲート電極40は、側部絶縁膜38a及び底部絶縁層38bによって、SiC半導体基板12から絶縁されている。ゲート電極40の上面は、層間絶縁層36によって覆われている。ゲート電極40は、層間絶縁層36によってソース電極80から絶縁されている。

30

【0017】

SiC半導体基板12内には、ソース領域22、ボディ領域26、ドリフト領域28、バッファ領域29、ドレイン領域30及び電界緩和領域32が形成されている。

【0018】

ソース領域22は、SiC半導体基板12中に複数個形成されている。ソース領域22は、n型領域である。ソース領域22は、SiC半導体基板12の表面12aに露出する範囲に形成されている。ソース領域22は、ソース電極80に対してオーミック接触している。ソース領域22は、側部絶縁膜38aに接している。

40

【0019】

ボディ領域26は、ソース領域22の側方及び下側に形成されており、ソース領域22に接している。ボディ領域26は、p型領域であり、コンタクト領域26aと、低濃度ボディ領域26bを有している。コンタクト領域26aのp型不純物濃度は、低濃度ボディ領域26bのp型不純物濃度よりも高い。コンタクト領域26aは、ソース領域22の側方に形成されており、SiC半導体基板12の表面12aに露出している。コンタクト領域26aは、ソース電極80に対してオーミック接触している。低濃度ボディ領域26b

50

は、ソース領域 2 2 及びコンタクト領域 2 6 a の下側に形成されている。低濃度ボディ領域 2 6 b は、ソース領域 2 2 の下側で側部絶縁膜 3 8 a に接している。

【 0 0 2 0 】

ドリフト領域 2 8 は、低濃度に n 型不純物を含む n 型領域である。ドリフト領域 2 8 の n 型不純物濃度は、ソース領域 2 2 の n 型不純物濃度よりも低い。ドリフト領域 2 8 は、低濃度ボディ領域 2 6 b の下側に形成されている。ドリフト領域 2 8 は、低濃度ボディ領域 2 6 b の下端の位置から、ゲートトレンチ 3 4 の底面 3 4 b よりも下側まで広がっている。ドリフト領域 2 8 は、ボディ領域 2 6 によってソース領域 2 2 から分離されている。ドリフト領域 2 8 は、低濃度ボディ領域 2 6 b の下側で側部絶縁膜 3 8 a 及び底部絶縁層 3 8 b に接している。

10

【 0 0 2 1 】

上述したソース領域 2 2、低濃度ボディ領域 2 6 b 及びドリフト領域 2 8 は、側部絶縁膜 3 8 a を介してゲート電極 4 0 に対向している。

【 0 0 2 2 】

電界緩和領域 3 2 は、p 型領域である。電界緩和領域 3 2 は、各ゲートトレンチ 3 4 の底面 3 4 b に露出する位置に形成されている。電界緩和領域 3 2 は、底面 3 4 b の全域において底部絶縁層 3 8 b に接している。電界緩和領域 3 2 の周囲は、ドリフト領域 2 8 に囲まれている。ドリフト領域 2 8 によって、各電界緩和領域 3 2 は、互いから分離されている。電界緩和領域 3 2 は、ドリフト領域 2 8 によってボディ領域 2 6 から分離されている。電界緩和領域 3 2 は、いずれの電極にも接続されていない。このため、電界緩和領域 3 2 の電位は浮遊電位とされている。電界緩和領域 3 2 の幅は、ゲートトレンチ 3 4 の幅よりも広い。なお、ゲートトレンチ 3 4 の幅は、SiC 半導体基板 1 2 の表面 1 2 a を平面視したときにおけるゲートトレンチ 3 4 の短手方向の寸法を意味する。また、電界緩和領域 3 2 の幅は、ゲートトレンチ 3 4 の幅の測定方向と同じ方向における電界緩和領域 3 2 の寸法を意味する。電界緩和領域 3 2 の幅がゲートトレンチ 3 4 の幅よりも広いので、電界緩和領域 3 2 は、ゲートトレンチ 3 4 の直下に位置する主要部 3 2 a と、主要部 3 2 a からゲートトレンチ 3 4 の側面 3 4 a (すなわち、側部絶縁膜 3 8 a) よりも横方向に突出している突出部 3 2 b を輸している。突出部 3 2 b は、低濃度ボディ領域 2 6 b の直下に位置している。

20

【 0 0 2 3 】

バッファ領域 2 9 は、ドリフト領域 2 8 よりも高濃度に n 型不純物を含む n 型領域である。バッファ領域 2 9 は、ドリフト領域 2 8 の下側に形成されており、ドリフト領域 2 8 に接している。

30

【 0 0 2 4 】

ドレイン領域 3 0 は、バッファ領域 2 9 よりも高濃度に n 型不純物を含む n 型領域である。ドレイン領域 3 0 は、バッファ領域 2 9 の下側に形成されており、バッファ領域 2 9 に接している。ドレイン領域 3 0 は、SiC 半導体基板 1 2 の裏面 1 2 b に露出する範囲に形成されている。ドレイン領域 3 0 は、ドレイン電極 8 4 に対してオーミック接触している。

40

【 0 0 2 5 】

次に、MOSFET 1 0 の動作について説明する。ドレイン電極 8 4 には、ソース電極 8 0 よりも高い電位が印加される。また、ゲート電極 4 0 に閾値以上の電位を印加すると、側部絶縁膜 3 8 a に隣接する範囲の低濃度ボディ領域 2 6 b が n 型に反転し、そこにチャンネルが形成される。すると、ソース電極 8 0 から、ソース領域 2 2、チャンネル、ドリフト領域 2 8、バッファ領域 2 9 及びドレイン領域 3 0 を経由して、ドレイン電極 8 4 に向かって電子が流れる。すなわち、MOSFET 1 0 がオンする。

【 0 0 2 6 】

ゲート電極 4 0 の電位を閾値未満の電位に低下させると、チャンネルが消失し、MOSFET 1 0 がオフする。すると、ボディ領域 2 6 とドリフト領域 2 8 の境界部の pn 接合 4 2 からボディ領域 2 6 内及びドリフト領域 2 8 内に空乏層が広がる。pn 接合 4 2 からド

50

リフト領域 28 内に伸びる空乏層は、電界緩和領域 32 に到達する。すると、電界緩和領域 32 からその周囲のドリフト領域 28 内に空乏層が広がる。すなわち、電界緩和領域 32 によって、ドリフト領域 28 内への空乏層の伸展が促進される。電界緩和領域 32 によってゲートトレンチ 34 近傍への空乏層の伸展が促進されるため、ゲート絶縁層 38 に高い電界が印加されることが抑制される。特に、電界緩和領域 32 が突出部 32b を有しているため、突出部 32b とボディ領域 26 に挟まれている部分のドリフト領域 28 で電位差が生じ難く、これによってゲート絶縁層 38 に印加される電界が効果的に抑制される。突出部 32b の突出量 L1 が大きいほど、ゲート絶縁層 38 に電界が印加され難くなる。本実施例では、突出部 32b の突出量 L1 が従来の電界緩和領域に比べて大きいので、ゲート絶縁層 38 に印加される電界を極めて小さくすることができる。このため、この MOSFET10 では、ゲート絶縁層 38 を貫通して流れる電流を抑制することができる。

10

**【0027】**

次に、MOSFET10 の製造方法について説明する。MOSFET10 は、図 2 に示す SiC 半導体基板 12 から製造される。加工前の SiC 半導体基板 12 は、その全体が n 型の SiC である第 1 SiC 半導体層 50 によって構成されている。なお、第 1 SiC 半導体層 50 は、バルク結晶であってもよいし、エピタキシャル層であってもよい。第 1 SiC 半導体層 50 の n 型不純物濃度は、ドリフト領域 28 の n 型不純物濃度と略等しい。

**【0028】**

(幅広トレンチ形成工程)

20

まず、図 3 に示すように SiC 半導体基板 12 の表面 12a に、複数の開口部 52a を有するエッチングマスク 52 を形成する。次に、ドライエッチングによって、第 1 SiC 半導体層 50 の開口部 52a 内に位置している部分をエッチングする。これによって、第 1 SiC 半導体層 50 の表面 12a に複数の幅広トレンチ 54 を形成する。幅広トレンチ 54 は、上述したゲートトレンチ 34 に対応するパターンで形成されるが、幅広トレンチ 54 の幅はゲートトレンチ 34 の幅よりも広い。エッチングマスク 52 は、幅広トレンチ 54 の形成後に除去される。

**【0029】**

(底面イオン注入工程)

30

次に、図 4 に示すように第 1 SiC 半導体層 50 の表面 12a にイオン注入マスク 56 を形成する。幅広トレンチ 54 内には、イオン注入マスク 56 は形成されない。次に、第 1 SiC 半導体層 50 の表面 12a 側 (すなわち、イオン注入マスク 56 側) から第 1 SiC 半導体層 50 にイオン化した p 型不純物 (本実施例では、アルミニウム) を注入する。第 1 SiC 半導体層 50 の表面 12a はイオン注入マスク 56 によって覆われているので、p 型不純物は幅広トレンチ 54 の底面 54a に注入される。底面 54a に p 型不純物を注入した後に、SiC 半導体基板 12 を熱処理する。これによって、底面 54a に注入された p 型不純物が活性化し、底面 54a に露出する範囲の半導体領域が p 型化する。これによって、電界緩和領域 32 が形成される。なお、SiC 半導体基板を熱処理するとき、p 型不純物はほとんど拡散しない。したがって、電界緩和領域 32 の幅は、幅広トレンチ 54 の幅と略等しい。

40

**【0030】**

(エピタキシャル成長工程)

次に、図 5 に示すように、エピタキシャル成長によって、SiC 半導体基板 12 の表面 12a と幅広トレンチ 54 の内面に n 型の SiC である第 2 SiC 半導体層 58 を成長させる。ここでは、幅広トレンチ 54 内に隙間がなくなるまで第 2 SiC 半導体層 58 を成長させる。第 2 SiC 半導体層 58 の n 型不純物濃度は、第 1 SiC 半導体層 50 の n 型不純物濃度と略等しい。したがって、第 2 SiC 半導体層 58 と第 1 SiC 半導体層 50 は、一体化した n 型半導体領域となる。第 2 SiC 半導体層 58 を形成したら、図 6 に示すように、第 2 SiC 半導体層 58 の表面 (すなわち、SiC 半導体基板 12 の表面 12a) をエッチングして平坦化する。

50



## 【0031】

(ゲートトレンチ形成工程)

次に、図7に示すように、SiC半導体基板12の表面12aに、複数の開口部55aを有するエッチングマスク55を形成する。開口部55aは、幅広トレンチ54内に形成された第2SiC半導体層58上に配置する。開口部55aの幅は、幅広トレンチ54の幅よりも狭い。また、開口部55aは、幅広トレンチ54の幅方向の中央に配置される。次に、ドライエッチングによって、第2SiC半導体層58の開口部55a内に位置している部分をエッチングする。これによって、電界緩和領域32の直上にゲートトレンチ34を形成する。より詳細には、ゲートトレンチ34は、電界緩和領域32の中央部の直上に形成される。また、ゲートトレンチ34は、電界緩和領域32に達するように形成される。また、ゲートトレンチ34の幅は、幅広トレンチ54の幅よりも狭くなる。すなわち、ゲートトレンチ34の幅は、電界緩和領域32の幅よりも狭くなる。したがって、電界緩和領域32は、ゲートトレンチ34の直下に位置する主要部32aと、主要部32aからゲートトレンチ34の側面34aよりも横方向に突出する突出部32bを有するようになる。突出部32bは、主要部32aの両側に形成される。突出部32bの突出量L1は、幅広トレンチ54の幅とゲートトレンチ34の幅の差によって決まる。したがって、この方法によれば、p型不純物の拡散係数が小さいSiC半導体基板12を用いる場合でも、突出量L1が大きい電界緩和領域32を形成することができる。

10

## 【0032】

(ゲート絶縁層形成工程・ゲート電極形成工程)

次に、図8に示すように、ゲートトレンチ34内にゲート絶縁層38とゲート電極40を形成する。なお、上述したように、第1SiC半導体層50と第2SiC半導体層58は一体化しているので、図8及び後述する図9、10では第1SiC半導体層50と第2SiC半導体層58の境界を図示していない。この工程では、まず、ゲートトレンチ34内に隙間なく絶縁層を成長させる。次に、成長させた絶縁層をエッチングして、ゲートトレンチ34の底部近傍にのみ絶縁層を残存させる。残存した絶縁層が、底部絶縁層38bとなる。次に、底部絶縁層38bよりも上側のゲートトレンチ34の側面34aに、薄く絶縁膜を成長させて、側部絶縁膜38aを形成する。これによって、ゲート絶縁層38が完成する。ゲート絶縁層38を形成したら、ゲートトレンチ34内に隙間なくゲート電極40(すなわち、ポリシリコン)を成長させる。

20

30

## 【0033】

(ボディ領域・ソース領域形成工程)

次に、表面12a側からSiC半導体基板12にp型不純物を注入することで、図9に示すように低濃度ボディ領域26bを形成する。次に、表面12a側から選択的にn型不純物及びp型不純物を注入することによって、図10に示すように、ソース領域22及びコンタクト領域26aを形成する。これらの領域に対して不純物を注入したら、SiC半導体基板12を熱処理して、注入した不純物を活性化させる。

## 【0034】

その後、MOSFET10の表面12a側のその他の構造(すなわち、層間絶縁層36、ソース電極80等)を形成する。次に、MOSFET10の裏面12b側の構造(すなわち、バッファ領域29、ドレイン領域30及びドレイン電極84等)を形成する。以上の工程を実施することで、図1に示すMOSFET10が完成する。

40

## 【0035】

以上に説明したように、この方法によれば、電界緩和領域32の突出量L1が大きいMOSFET10を製造することができる。すなわち、ゲート絶縁層38に電界が印加され難いMOSFET10を製造することができる。

## 【0036】

また、上述したエピタキシャル成長工程において第1SiC半導体層50よりも結晶性が高い(すなわち、結晶欠陥が少ない)第2SiC半導体層58を形成すれば、MOSFET10のチャンネルが形成される領域(すなわち、ゲート絶縁層38に隣接する範囲の低

50

濃度ボディ領域 26 b) の結晶性を向上させることができる。これによって、チャネル抵抗を低減し、MOSFET 10 のオン抵抗を低減することができる。第 2 SiC 半導体層 58 の結晶成長条件を調整することで、第 2 SiC 半導体層 58 の結晶欠陥を少なくすることができる。

【実施例 2】

【0037】

図 11 に示す実施例 2 の MOSFET では、低濃度ボディ領域 26 b) のうちのゲート絶縁層 38 に接するゲート隣接部分 27 a) の n 型不純物濃度が、ゲート絶縁層 38 から離れているゲート非隣接部分 27 b) の n 型不純物濃度よりも高い。なお、ゲート非隣接部分 27 b) は、ゲート絶縁層 38 の反対側でゲート隣接部分 27 a) に隣接している。ゲート隣接部分 27 a) の下端 (すなわち、ゲート隣接部分 27 a) とドリフト領域 28 の境界の pn 接合 42 a) は、ゲート非隣接部分 27 b) の下端 (すなわち、ゲート非隣接部分 27 b) とドリフト領域 28 の境界の pn 接合 42 b) よりも上側に位置している。また、ドリフト領域 28 のうちのゲート絶縁層 38 に接する部分 28 a) の n 型不純物濃度が、その部分 28 a) に対してゲート絶縁層 38 の反対側で接する部分 28 b) の n 型不純物濃度よりも高い。ゲート隣接部分 27 a) とドリフト領域 28 の部分 28 a) は、電界緩和領域 32 (より詳細には、突出部 32 b) の直上に位置している。実施例 2 の MOSFET のその他の構成は、実施例 1 の MOSFET 10 と等しい。

10

【0038】

MOSFET がオンするときに、チャネルは、ゲート絶縁層 38 に接する位置の低濃度ボディ領域 26 b) に形成される。すなわち、実施例 2 の MOSFET では、チャネルが、ゲート隣接部分 27 a) 内に形成される。上述したように、実施例 2 の MOSFET では、ゲート隣接部分 27 a) の下端が、ゲート非隣接部分 27 b) の下端よりも上側に位置している。このため、実施例 2 の MOSFET では、チャネル長が短くなっている。このように、実施例 2 の MOSFET は、チャネル長が短いため、チャネル抵抗が小さい。したがって、実施例 2 の MOSFET は、オン抵抗が小さい。

20

【0039】

また、通常の使用状態では、MOSFET がオフしているときに pn 接合 42 からボディ領域 26 内に伸びる空乏層は、ソース領域 22 までには到達しない。しかしながら、MOSFET 10 が接続されている回路の動作状態によっては、ドレイン電極 84 の電位が極めて高くなる場合がある。このように極めて高い電位がドレイン電極 84 に印加されると、pn 接合 42 からボディ領域 26 内に伸びる空乏層がソース領域 22 に到達する場合がある。すなわち、パンチスルーが生じる。実施例 2 の MOSFET 10 では、ゲート非隣接部分 27 b) の下端がゲート隣接部分 27 a) の下端よりも下側に存在するので、ゲート非隣接部分 27 b) の下端からソース領域 22 までの距離が長く確保されている。このため、パンチスルーが生じ難く、実施例 2 の MOSFET のパンチスルー電圧は高い。

30

【0040】

このように、ゲート隣接部分 27 a) の下端をゲート非隣接部分 27 b) の下端よりも上側に配置することで、低いチャネル抵抗と、高いパンチスルー電圧を実現することができる。

40

【0041】

次に、実施例 2 の MOSFET の製造方法について説明する。まず、実施例 1 と同様にして、幅広トレンチ形成工程 (図 3) と底面イオン注入工程 (図 4) を実施する。次に、エピタキシャル成長工程を実施する。実施例 2 のエピタキシャル成長工程では、図 12 に示すように、第 1 SiC 半導体層 50 よりも n 型不純物濃度が高い第 2 SiC 半導体層 58 を成長させる。第 2 SiC 半導体層 58 の n 型不純物濃度が高い点を除いて、実施例 2 のエピタキシャル成長工程は、実施例 1 のエピタキシャル成長工程と等しい。次に、図 13 に示すように、SiC 半導体基板 12 の表面をエッチングして平坦化する。次に、図 14 に示すように、実施例 1 と同様にして、ゲートトレンチ形成工程、ゲート絶縁層形成工程及びゲート電極形成工程を実施する。次に、表面 12 a) 側から SiC 半導体基板 12 に

50

p型不純物を注入することによって、図15に示すように、低濃度ボディ領域26bを形成する。図16は、図15のA-A線及びB-B線の位置における不純物濃度分布を示している。A-A線は、第2SiC半導体層58内の位置であり、B-B線は第1SiC半導体層50内の位置である。A-A線及びB-B線のいずれの位置でも、図16のグラフpに示すように、p型不純物濃度は表面12aから下側に向かうにしたがって低下するように分布している。また、A-A線の位置では、図16のグラフn1に示すように、n型不純物濃度が略一定の濃度で分布している。また、B-B線の位置では、図16のグラフn2に示すように、A-A線の位置のn型不純物濃度(グラフn1)よりも低い略一定の濃度でn型不純物濃度が分布している。グラフn1とグラフpの交点は、A-A線の位置における低濃度ボディ領域26bの下端(すなわち、pn接合42a)の位置を示しており、グラフn2とグラフpの交点は、B-B線の位置における低濃度ボディ領域26bの下端(すなわち、pn接合42b)の位置を示している。A-A線の位置のn型不純物濃度がB-B線の位置のn型不純物濃度よりも高いので、A-A線の位置ではB-B線の位置よりも低濃度ボディ領域26bの下端が上側に位置するようになる。したがって、図15に示すように、低濃度ボディ領域26bのうちのゲート隣接部分27aの下端が、ゲート非隣接部分27bの下端よりも上側に位置するようになる。低濃度ボディ領域26bを形成したら、その後の工程を実施例1と同様に実施する。これによって、図11に示す実施例2のMOSFETを製造することができる。

10

#### 【実施例3】

##### 【0042】

20

図17に示す実施例3のMOSFETでは、低濃度ボディ領域26bのゲート隣接部分27aのn型不純物濃度が、ゲート非隣接部分27bのn型不純物濃度よりも低い。ゲート隣接部分27aの下端(すなわち、ゲート隣接部分27aとドリフト領域28の境界のpn接合42a)は、ゲート非隣接部分27bの下端(すなわち、ゲート非隣接部分27bとドリフト領域28の境界のpn接合42b)よりも下側に位置している。また、ドリフト領域28のうちのゲート絶縁層38に接する部分28aのn型不純物濃度が、ゲート絶縁層38から離れている部分28bのn型不純物濃度よりも低い。

##### 【0043】

実施例3のMOSFETでは、ゲート隣接部分27aの下端がゲート非隣接部分27bの下端よりも下側に配置されている。このため、ゲート絶縁層38とドリフト領域28とが接触している面積が小さくなっている。この構造によれば、ゲート絶縁層38に印加される電界をより効果的に抑制することができる。

30

##### 【0044】

また、実施例3のMOSFETは、実施例2の製造方法を、第1SiC半導体層50よりもn型不純物濃度が低い第2SiC半導体層58を形成するように変更することで、製造することができる。第2SiC半導体層58のn型不純物濃度を第1SiC半導体層50のn型不純物濃度よりも低くすることで、実施例2とは反対に、ゲート隣接部分27aの下端をゲート非隣接部分27bの下端よりも下側に位置させることができる。

#### 【実施例4】

##### 【0045】

40

図18に示す実施例4のMOSFETでは、電界緩和領域32とゲートトレンチ34の底面34bの間に間隔が設けられている。その間隔には、n型のドリフト領域28が形成されている。実施例4のMOSFETのその他の構成は、実施例1のMOSFETと等しい。このように、電界緩和領域32とゲートトレンチ34の底面34bの間に間隔が設けられていても、実施例1のMOSFETと同様に、電界緩和領域32によってゲート絶縁層38に印加される電界を抑制することができる。

##### 【0046】

また、実施例4のMOSFETの製造方法では、図19に示すように、ゲートトレンチ形成工程において電界緩和領域32に達しないようにゲートトレンチ34を形成する。その他の工程は、実施例1と同様に実施する。これによって、図18に示す構造を得ること

50

ができる。

【0047】

また、実施例4のMOSFETは、別の方法によって製造することもできる。この製造方法では、図20に示すように、底面イオン注入工程において、幅広トレンチ54の底面54aに対して高エネルギーでp型不純物を注入する。これによって、p型不純物が底面54aよりもさらに下側の領域に注入され、電界緩和領域32と底面54aの間に間隔ができる。その後の工程を実施例1と同様に実施することで、図18に示す構造を得ることができる。なお、この製造方法を用いる場合には、低濃度ボディ領域26bとその下側の電界緩和領域32の間の距離を長くすることができる。この距離を長くすることで、ドリフト領域28で保持することが可能な電圧を高くすることができる。

10

【0048】

なお、上述したMOSFETの製造方法について、その変形例を以下に説明する。なお、以下に説明する変形例は、実施例1～4のMOSFETのいずれに対しても適用することができる。

【0049】

(第1変形例)

上述した製造方法では、図5等に示すように幅広トレンチ54を第2SiC半導体層58によって埋め込んだ。しかしながら、図21に示すように、幅広トレンチ54の内部に空間が残るように第2SiC半導体層58を成長させて、幅広トレンチ54の幅を狭めてもよい。そして、幅広トレンチ54の幅を狭めることで得られたトレンチを、ゲートトレンチ34として利用することができる。

20

【0050】

(第2変形例)

第1変形例では、幅広トレンチ54の内面とSiC半導体基板12の表面12aに等方的に第2SiC半導体層58を成長させた。しかしながら、図22に示すように、異方性エピタキシャル成長によって、第2SiC半導体層58を幅広トレンチ54の側面のみで成長させてもよい。この方法でも、幅広トレンチ54の幅を狭めて得られたトレンチを、ゲートトレンチ34として利用することができる。

【0051】

(第3変形例)

上述した製造方法では、低濃度ボディ領域26b、コンタクト領域26a及びソース領域22をイオン注入によって形成した。しかしながら、これらの領域を形成する際に、エピタキシャル成長を利用してもよい。第3変形例は、ソース領域22をエピタキシャル成長によって形成する製造方法である。第3変形例の製造方法では、幅広トレンチ形成工程、底面イオン注入工程及びエピタキシャル成長工程を実施した後に、図23に示すように、イオン注入によって低濃度ボディ領域26bを形成する。次に、図24に示すように、エピタキシャル成長によって、低濃度ボディ領域26b上にn型のソース領域22を形成する。次に、図25に示すように、ソース領域22に選択的にp型不純物を注入することによって、コンタクト領域26aを形成する。次に、図26に示すように、SiC半導体基板12の表面12aに、ソース領域22と低濃度ボディ領域26bを貫通するように、幅が狭いゲートトレンチ34を形成する。その後、ゲート絶縁層38、ゲート電極40等の必要な構造を形成することで、MOSFETを製造することができる。

30

40

【0052】

なお、第3変形例では、低濃度ボディ領域26bをイオン注入によって形成したが、低濃度ボディ領域26bをエピタキシャル成長によって形成してもよい。また、低濃度ボディ領域26bをエピタキシャル成長によって形成する場合には、その低濃度ボディ領域26bに対してイオン注入を行うことで、コンタクト領域26aとソース領域22を形成してもよい。

【0053】

また、上述した実施例及び変形例では、幅広トレンチ54の底面にp型不純物を注入し

50

た直後に、その p 型不純物を活性化させるための熱処理を行った。また、低濃度ボディ領域 26 b、コンタクト領域 26 a 及びソース領域 22 に対する不純物の注入を行った後に、これらの領域に注入した不純物を活性化するための熱処理を行った。しかしながら、このような不純物を活性化するための熱処理を実施するタイミングは、適宜変更することができる。また、幅広トレンチ 54 の底面に注入した不純物を活性化させるための熱処理と、低濃度ボディ領域 26 b、コンタクト領域 26 a 及びソース領域 22 に対する熱処理とをまとめて行ってもよい。

【0054】

また、上述した実施例及び変形例では、MOSFET について説明したが、IGBT に対して本明細書に開示の技術を適用してもよい。上述した MOSFET のドレイン領域 30 を p 型のコレクタ領域に置き換えれば、IGBT が得られる。

10

【0055】

また、上述した実施例及び変形例では、電界緩和領域 32 の電位が浮遊電位とされていた。しかしながら、電界緩和領域 32 が所定の固定電位に接続されていてもよい。例えば、図示しない位置に電界緩和領域 32 とソース電極 80 とを接続する導電路を設けて、電界緩和領域 32 をソース電極 80 の電位に接続してもよい。

【0056】

また、上述した実施例及び変形例では、ボディ領域 26 がコンタクト領域 26 a (すなわち、p 型不純物濃度が高く、ソース電極 80 に接している p 型領域) を有していた。しかしながら、ボディ領域 26 が、コンタクト領域 26 a を有していなくてもよい。例えば、ボディ領域 26 が、低濃度ボディ領域 26 b のみによって構成されていてもよい。

20

【0057】

上述した実施例の構成要素と請求項の構成要素との関係について説明する。実施例の幅広トレンチ 54 は、請求項の第 1 トレンチの一例である。実施例のゲートトレンチ 34 は、請求項の第 2 トレンチの一例である。実施例のソース領域 22 は、請求項の第 1 領域の一例である。実施例のドリフト領域 28 は、請求項の第 2 領域の一例である。

【0058】

本明細書が開示する技術要素について、以下に列記する。なお、以下の各技術要素は、それぞれ独立して有用なものである。

【0059】

第 2 SiC 半導体層の n 型不純物濃度が、第 1 SiC 半導体層の n 型不純物濃度よりも高くてもよい。この場合、ボディ領域が、第 1 SiC 半導体層と第 2 SiC 半導体層に p 型不純物を注入することによって形成されてもよい。

30

【0060】

この構成によれば、n 型不純物濃度が高い第 1 SiC 半導体層は、n 型不純物濃度が低い第 2 SiC 半導体層よりも浅い範囲までしか p 型化しない。つまり、第 1 SiC 半導体層に形成されるボディ領域の下端が、第 2 SiC 半導体層に形成されるボディ領域の下端よりも上側に配置される。この構成によれば、製造される絶縁ゲート型スイッチング装置において、低いチャネル抵抗と高いパンチスルー電圧を両立させることができる。

【0061】

もしくは、第 2 SiC 半導体層の n 型不純物濃度が、第 1 SiC 半導体層の n 型不純物濃度よりも低くてもよい。この場合、ボディ領域が、第 1 SiC 半導体層と第 2 SiC 半導体層に p 型不純物を注入することによって形成されてもよい。

40

【0062】

この構成によれば、第 1 SiC 半導体層に形成されるボディ領域の下端が、第 2 SiC 半導体層に形成されるボディ領域の下端よりも下側に配置される。この構成によれば、製造される絶縁ゲート型スイッチング装置において、ゲート絶縁層に印加される電界をより緩和することができる。

【0063】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を

50

限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

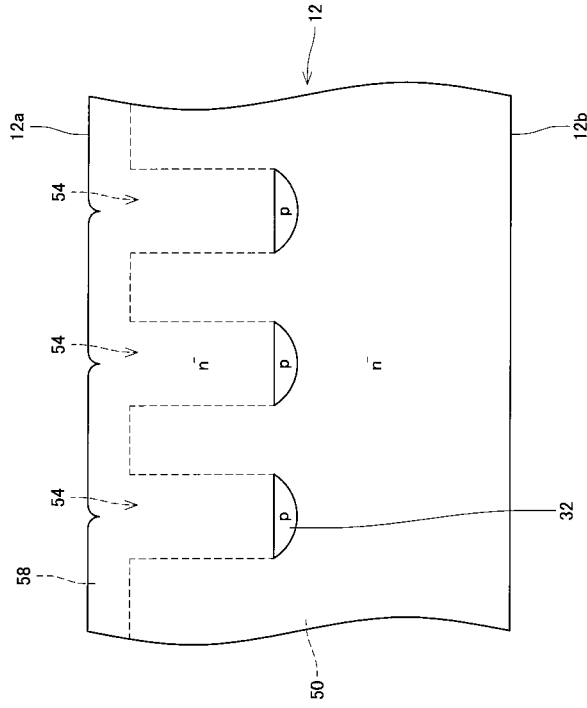
【符号の説明】

【0064】

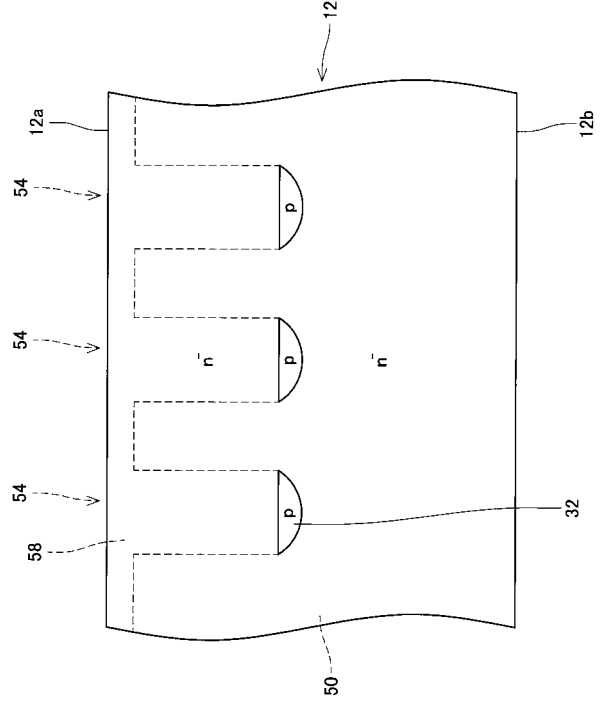
10	: MOSFET	
12	: SiC半導体基板	10
22	: ソース領域	
26	: ボディ領域	
28	: ドリフト領域	
29	: バッファ領域	
30	: ドレイン領域	
32	: 電界緩和領域	
32a	: 主要部	
32b	: 突出部	
34	: ゲートトレンチ	
36	: 層間絶縁層	20
38	: ゲート絶縁層	
40	: ゲート電極	
50	: 第1SiC半導体層	
54	: 幅広トレンチ	
58	: 第2SiC半導体層	
80	: ソース電極	
84	: ドレイン電極	



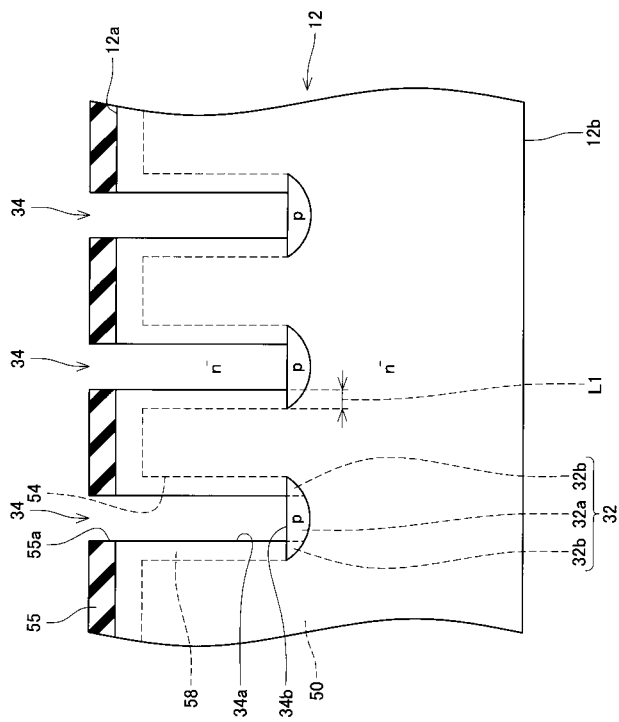
【 図 5 】



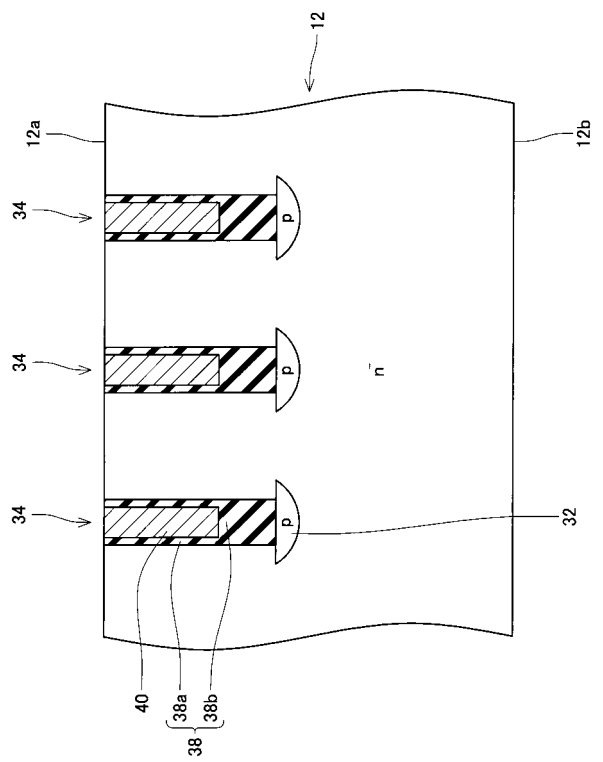
【 図 6 】



【 図 7 】



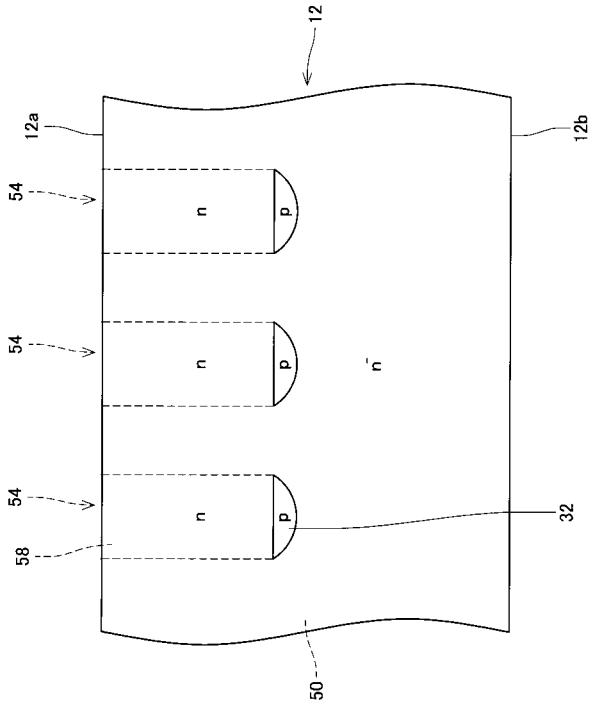
【 図 8 】



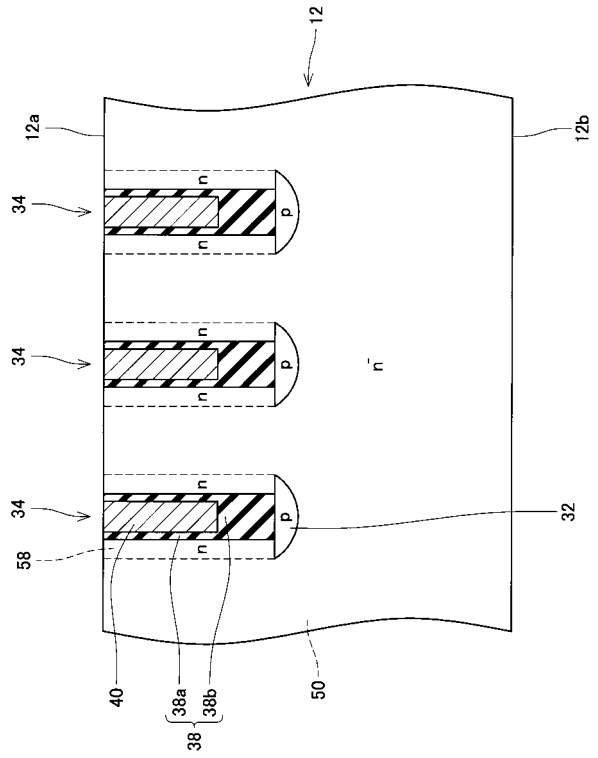




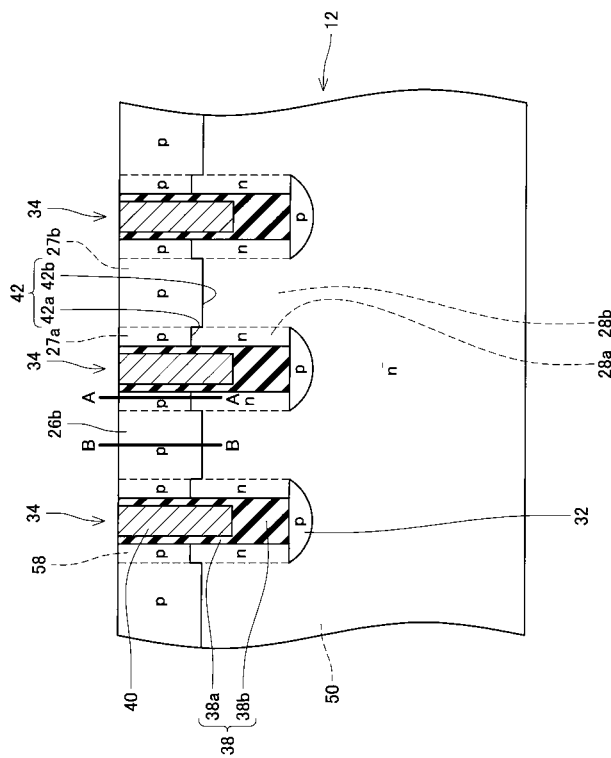
【 図 1 3 】



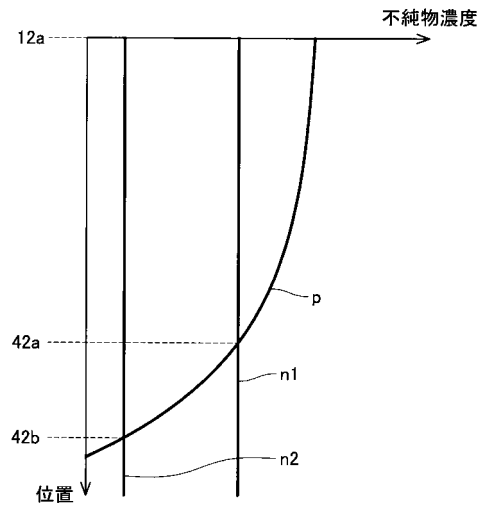
【 図 1 4 】



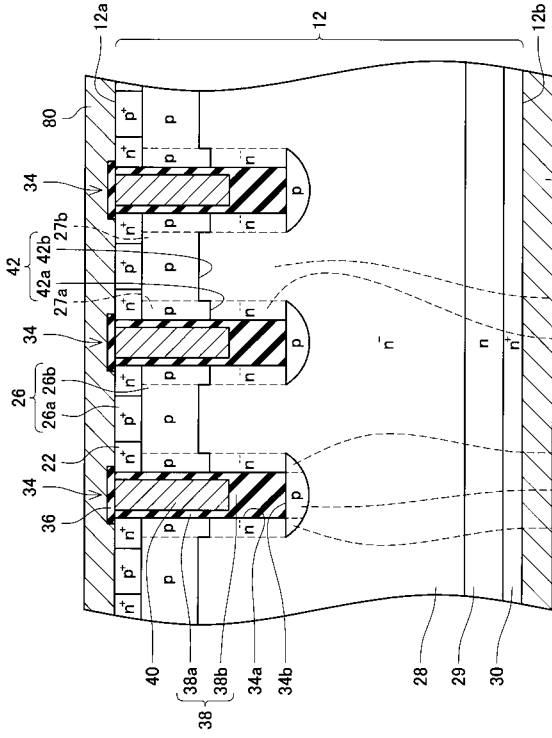
【 図 1 5 】



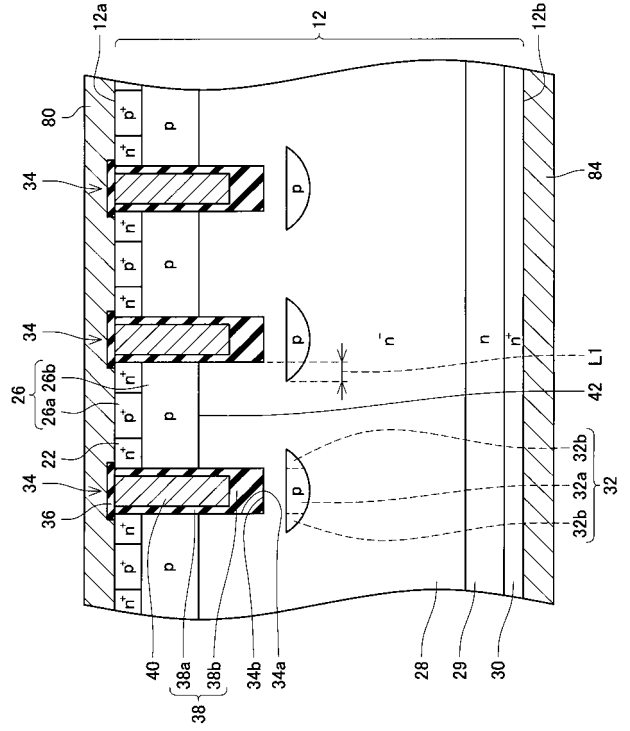
【 図 1 6 】



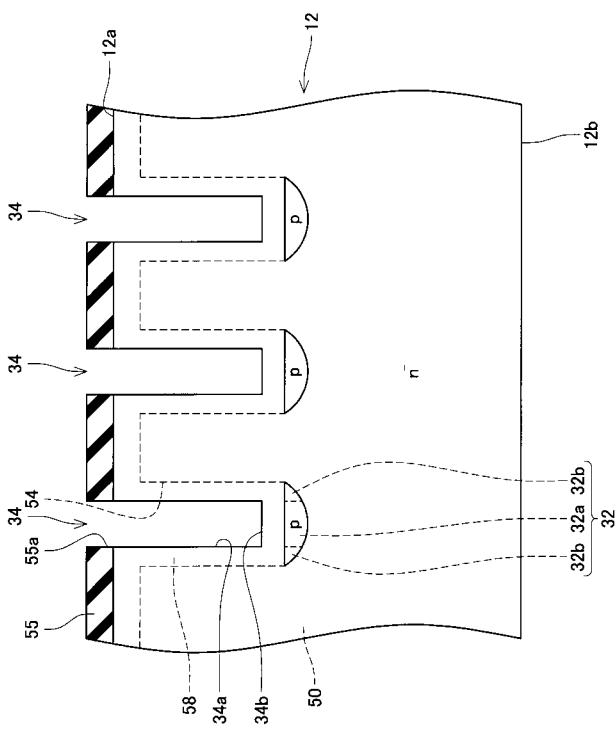
【 図 1 7 】



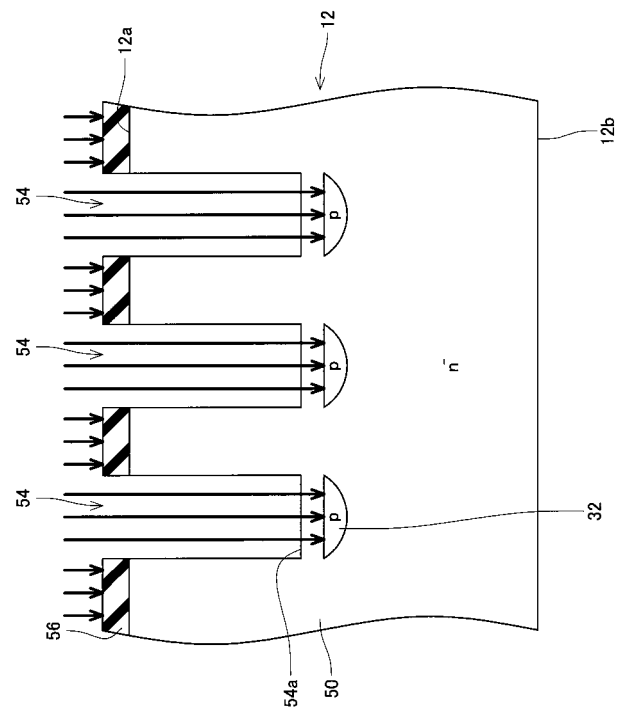
【 図 1 8 】



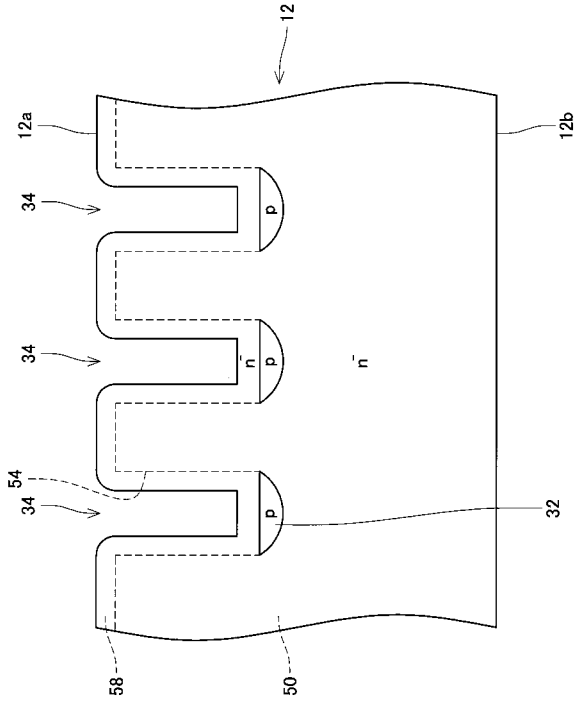
【 図 1 9 】



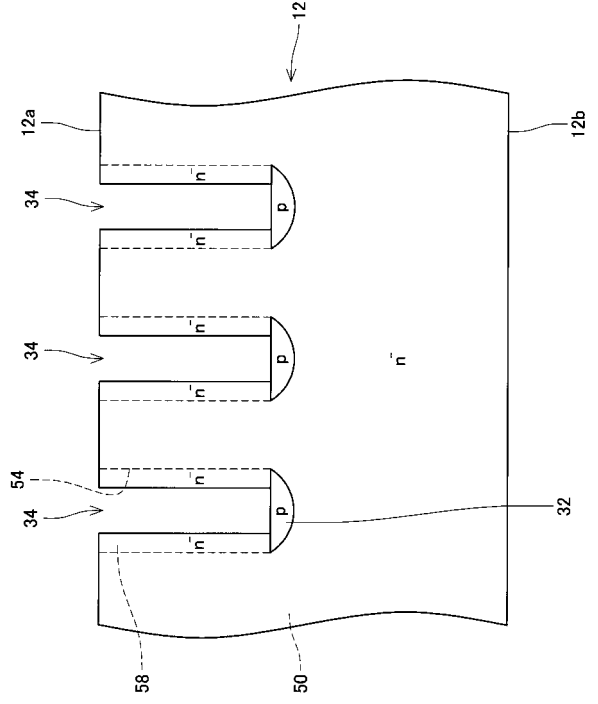
【 図 2 0 】



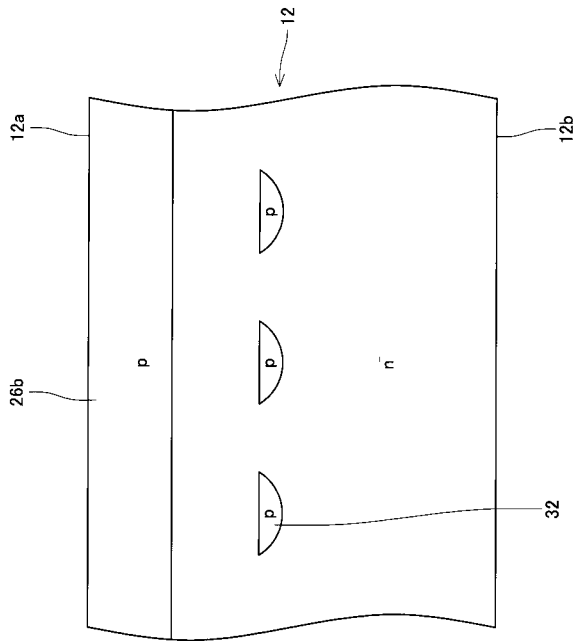
【 2 1 】



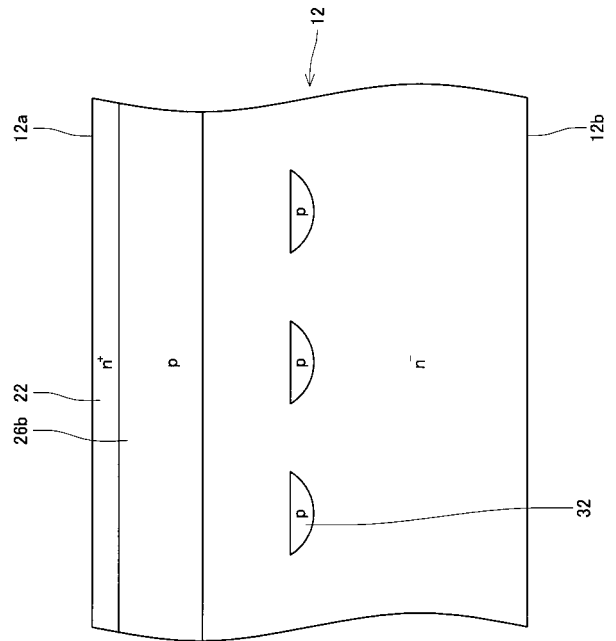
【 2 2 】



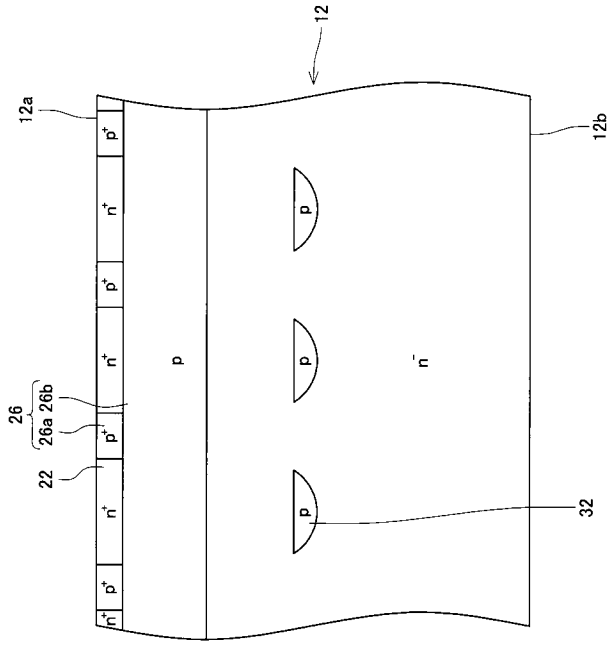
【 2 3 】



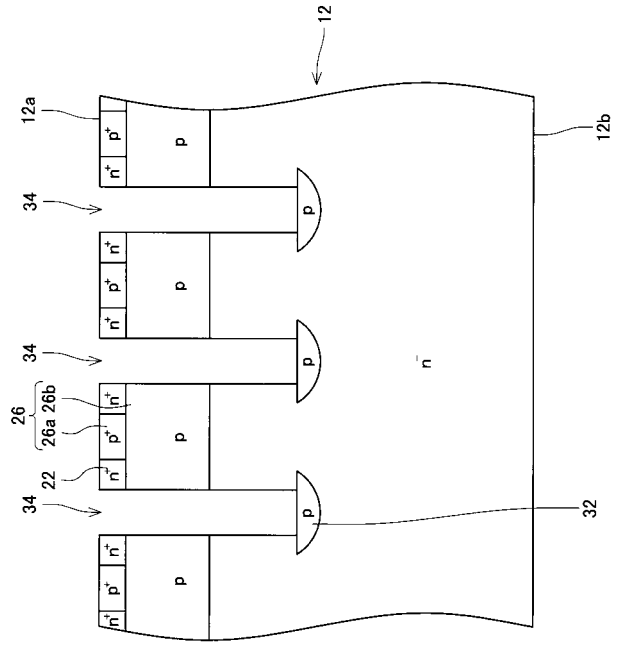
【 2 4 】



【 25 】



【 26 】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/44	S

(72)発明者 水野 祥司

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 渡辺 行彦

愛知県長久手市横道4番地の1 株式会社豊田中央研究所内

(72)発明者 青井 佐智子

愛知県長久手市横道4番地の1 株式会社豊田中央研究所内

Fターム(参考) 4M104 AA03 BB01 CC05 DD07 DD50 FF02 FF04 FF32 GG06 GG09  
HH18