

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3650008号

(P3650008)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int. Cl.⁷

F I

H O 1 L 23/58

H O 1 L 23/56

C

H O 1 L 29/78

H O 1 L 29/78

6 5 7 G

請求項の数 20 (全 19 頁)

(21) 出願番号	特願2000-266709 (P2000-266709)	(73) 特許権者	000001889
(22) 出願日	平成12年9月4日(2000.9.4)		三洋電機株式会社
(65) 公開番号	特開2002-76340 (P2002-76340A)		大阪府守口市京阪本通2丁目5番5号
(43) 公開日	平成14年3月15日(2002.3.15)	(74) 代理人	100091605
審査請求日	平成14年2月21日(2002.2.21)		弁理士 岡田 敬
		(74) 代理人	100107906
			弁理士 須藤 克彦
		(72) 発明者	坂本 則明
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	小林 義幸
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 MOS F E Tを用いた保護回路装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

2個のMOSFETを接続し、コントロールICで前記両MOSFETのスイッチングを行うMOSFETを用いた保護回路装置において、絶縁基板上に所望のパターンの導電路を設け、所望の該導電路に前記両MOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極をフリップチップ法で直接固着し、前記MOSFETチップの裏面に設けた共通ドレイン電極上に導電金属板を固着してMOSFETのオン抵抗を引き下げることを特徴とするMOSFETを用いた保護回路装置。

【請求項2】

前記MOSFETチップの各々のゲート電極と各々のソース電極とはそれぞれチップの中心線に対して線対称に配置されることを特徴とする請求項1記載のMOSFETを用いた保護回路装置。

【請求項3】

前記MOSFETチップの各々のゲート電極と各々のソース電極は金バンプで形成されることを特徴とする請求項1または請求項2記載のMOSFETを用いた保護回路装置。

【請求項4】

前記導電金属板は銅で形成されることを特徴とする請求項1記載のMOSFETを用いた保護回路装置。

【請求項5】

2個のMOSFETを接続し、コントロールICで前記両MOSFETのスイッチング

10

20

を行うMOSFETを用いた保護回路装置において、絶縁性樹脂に埋め込まれた所望のパターンの導電路を設け、所望の該導電路に前記両MOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極をフリップチップ法で直接固着し、前記MOSFETチップの裏面に設けた共通ドレイン電極上に導電金属板を固着してMOSFETのオン抵抗を引き下げることとを特徴とするMOSFETを用いた保護回路装置。

【請求項6】

前記MOSFETチップの各々のゲート電極と各々のソース電極とはそれぞれチップの中心線に対して線対称に配置されることを特徴とする請求項5記載のMOSFETを用いた保護回路装置。

10

【請求項7】

前記MOSFETチップの各々のゲート電極と各々のソース電極は金バンプで形成されることを特徴とする請求項5または請求項6記載のMOSFETを用いた保護回路装置。

【請求項8】

前記導電金属板は銅で形成されることを特徴とする請求項5記載のMOSFETを用いた保護回路装置。

【請求項9】

導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、

所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

20

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

【請求項10】

導電箔を用意し、該導電箔表面の少なくとも導電路となる領域に耐食性の導電被膜を形成する工程と、

少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、

30

所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

【請求項11】

導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して多数の搭載部を有する導電路を形成する工程と、

40

各搭載部の所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、

前記絶縁性樹脂を切断して各搭載部毎に分離する工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

【請求項12】

50

導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、

所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を裏面より一様に除去し前記導電路の裏面と前記分離溝間の前記絶縁性樹脂とを実質的に平坦面にする工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

10

【請求項13】

導電箔を用意し、少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して多数の搭載部を有する導電路を形成する工程と、

各搭載部の所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を裏面より一様に除去し前記導電路の裏面と前記分離溝間の前記絶縁性樹脂とを実質的に平坦面にする工程と、

20

前記絶縁性樹脂を切断して各搭載部毎に分離する工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

【請求項14】

前記導電箔は銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項9から請求項13のいずれかに記載されたMOSFETを用いた保護回路装置の製造方法。

【請求項15】

前記導電被膜はニッケル、金あるいは銀メッキ形成されることを特徴とする請求項10に記載されたMOSFETを用いた保護回路装置の製造方法。

【請求項16】

前記導電箔に選択的に形成される前記分離溝は化学的あるいは物理的エッチングにより形成されることを特徴とする請求項9から請求項13のいずれかに記載されたMOSFETを用いた保護回路装置の製造方法。

30

【請求項17】

前記導電被膜を前記分離溝形成時のマスクの一部として使用することを特徴とする請求項15に記載されたMOSFETを用いた保護回路装置の製造方法。

【請求項18】

前記導電材料は導電金属板あるいは導電口ウ材で形成されることを特徴とする請求項9から請求項13のいずれかに記載されたMOSFETを用いた保護回路装置の製造方法。

【請求項19】

前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項9から請求項13のいずれかに記載されたMOSFETを用いた保護回路装置の製造方法。

40

【請求項20】

少なくとも導電路と成る領域を除いた導電箔に、前記導電箔の厚みよりも浅い分離溝が形成されることにより導電路が凸状に現れている導電箔を用意する工程と、

所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、

前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

50

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とするMOSFETを用いた保護回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMOSFETを用いた保護回路装置およびその製造方法、特に二次電池に内蔵できるバッテリーマネージメントを行うMOSFETを用いた保護回路装置およびその製造方法に関する。

【0002】

【従来の技術】

携帯端末の普及に伴い小型で大容量のリチウムイオン電池が求められるようになってきた。このリチウムイオン電池の充放電のバッテリーマネージメントを行う保護回路基板は携帯端末の軽量化のニーズにより、より小型で負荷ショートにも十分に耐えうるものでなくてはならない。かかる保護回路装置はリチウムイオン電池の容器内に内蔵されるために小型化が求められ、チップ部品を多用したCOB(Chip on Board)技術が駆使され、小型化の要求に应运ってきた。しかし一方ではリチウムイオン電池に直列にスイッチング素子を接続するのでこのスイッチング素子のオン抵抗も極めて小さくするニーズがあり、これが携帯電話では通話時間や待機時間を長くするために不可欠の要素である。

10

【0003】

図19に具体的なバッテリーマネージメントを行う保護回路を示す。リチウムイオン電池LiBに直列に2個のパワーMOSFETQ1、Q2を接続し、リチウムイオン電池LiBの電圧をコントロールICで検知しながら2個のパワーMOSFETQ1、Q2のオンオフ制御を行って過充電、過放電あるいは負荷ショートからリチウムイオン電池LiBを保護している。2個のパワーMOSFETQ1、Q2はドレイン電極Dを共通接続し、両端にそれぞれのソース電極Sが配置され、各々のゲート電極GはコントロールICに接続されている。

20

【0004】

充電時には両端に電源が接続され、リチウムイオン電池LiBに充電電流が矢印の方向に供給され充電を行う。リチウムイオン電池LiBが過充電になるとコントロールICで電圧の検出をして、パワーMOSFETQ2のゲート電圧がH(ハイレベル)からL(ローレベル)になり、パワーMOSFETQ2がオフして回路を遮断してリチウムイオン電池LiBの保護をする。

30

【0005】

放電時には両端は負荷に接続され、所定の電圧までは携帯端末の動作を行う。しかしリチウムイオン電池LiBが過放電となるとコントロールICで電圧を検知して、パワーMOSFETQ1のゲート電圧をHからLにしてパワーMOSFETQ1をオフして回路を遮断してリチウムイオン電池LiBの保護を行う。

【0006】

更に負荷ショート時あるいは過電流が流れた時はパワーMOSFETQ1、Q2に大電流が流れ、パワーMOSFETQ1、Q2の両端電圧が急激に上昇するので、この電圧をコントロールICで検出して放電時と同様にパワーMOSFETQ1をオフして回路を遮断してリチウムイオン電池LiBの保護を行う。しかし保護回路が動作するまでの短期間に大電流が流れるため、パワーMOSFETQ1、Q2に対してせん頭ドレイン電流の大電流化が要求される。

40

【0007】

またかかる保護回路ではリチウムイオン電池LiBに直列に2個のNチャンネル型のパワーMOSFETQ1、Q2が接続されるので、この2個のパワーMOSFETQ1、Q2の低オン抵抗($R_{DS(on)}$)が最も要求される項目である。このためにチップを製造する上で微細加工によりセル密度を上げる開発が進められてきた。

50

【0008】

具体的には、チャンネルが半導体基板表面に形成されるプレーナー構造ではセル密度は740万個/平方インチで、オン抵抗が27mΩであったが、チャンネルをトレンチの側面に形成するトレンチ構造の第1世代ではセル密度は2500万個/平方インチと大幅に向上し、オン抵抗が17mΩに低減できた。さらにトレンチ構造の第2世代ではセル密度は7200万個/平方インチで、オン抵抗が12mΩまで低減できた。しかし微細化にも限度があり、オン抵抗をさらに飛躍的に低減するには限界が見えてきた。

【0009】

図20はかかるセル密度を改良したパワーMOSFETを実装した保護回路装置を説明する平面図である。実際には図19に示した回路部品が搭載されているが、図面上は全てを示していない。絶縁基板1には両面に銅箔よりなる導電路2が形成され、所望の個所でスルーホール(図示せず)を介して上面と下面の導電路2は接続された多層配線となっている。パワーMOSFET3、4は表面実装用のSOP8の外形に樹脂モールドされ、一方の側にドレイン電極と接続された2本の端子5、5を出し、対向する側にはゲート電極と接続されたゲート端子7とソース電極に接続されたソース端子8が出ている。9はコントロールICであり、10は図19のC1からC3に対応するチップコンデンサであり、11は図19のR1およびR2に対応するチップ抵抗である。12、13は外部端子であり、図19のLP2、LP3と対応する。この外部端子は導電路2の一部で形成されたパッド14に半田で固着される。この保護回路装置はリチウムイオン電池のケース内に収納されるために、その形状に応じた形に形成されるが、基本的なニーズとして小型であることが最大の課題である。

10

20

【0010】

図21はパワーMOSFET3、4の断面構造を示す。NK-202(銅97.6% 錫2%)を素材とした打ち抜きフレームであり、このフレームのヘッダー21上に半田あるいは銀ペーストよりなるプリフォーム材22でパワーMOSFETのベアチップ23が固着される。パワーMOSFETのベアチップ23の下面は金の裏張り電極(図示せず)によりドレイン電極が形成され、上面にはアルミニウムの蒸着によりゲート電極とソース電極が形成される。フレームのドレイン端子はヘッダー21と連結されているので、ドレイン電極と直結され、ゲート電極およびソース電極は金のボンディング細線24を用いたボールボンディングによりゲート端子7およびソース端子8と電氣的に接続される。従って、オン抵抗を減少させるためにはフレーム材料、プリフォーム材、ボンディング細線24の材料、チップ上面のソース電極の電極材料の持つ抵抗もパワーMOSFETのオン抵抗に影響を及ぼしている。

30

【0011】

図22および図23はボンディング細線に工夫をしてオン抵抗を引き下げた従来の技術を説明する平面図である。図22はソース電極とソース端子8を接続するボンディング細線24を4本に増やし、電流容量を改善したものである。また図22はソース電極とソース端子8を接続するボンディング細線24を短い2本と長い2本の4本に増やし、電流容量を改善し、さらにソース電極へのボンディング個所を広げることによりソース電極の持つ抵抗を減少させたものである。

40

【0012】

図18に従来のパワーMOSFETの実装構造によるオン抵抗の違いを表にまとめた。サンプルAおよびサンプルBが従来のSOP8外形のモールド構造のものであり、サンプルAが図22の構造と対応し、サンプルBが図23と対応する。これからボンディング細線を短い4本から短い2本と長い2本と組み合わせた場合はオン抵抗は13.43mΩから12.10mΩと1.33mΩの減少が実現されるが、プリフォーム材の半田と銀ペーストとの変更では大きなオン抵抗の減少は図れないことが示されている。

【0013】

【発明が解決しようとする課題】

しかしながら、携帯端末の小型化、軽量化および内蔵電池の使用時間の長寿命化という要

50

求はさらに強く求められているのが現状である。この中でパワーMOSFETを用いた保護回路装置の実装構造を打破して、低オン抵抗を実現し且つMOSFETを用いた保護回路装置の小型化を実現できる有効な解決手段が見出せていない問題点がある。

【0014】

【課題を解決するための手段】

本発明はかかる問題点の正面より見つめてなされ、2個のMOSFETを直列接続し、コントロールICで前記両MOSFETのスイッチングを行うMOSFETを用いた保護回路装置において、絶縁基板上に所望のパターンの導電路を設け、所望の該導電路に前記両MOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、前記MOSFETチップの裏面に設けた共通ドレイン電極上に導電材料を載置したことを特徴とし、MOSFETチップをフリップチップ方式で導電路に固着し且つ共通ドレイン電極の配線も無くすることで低オン抵抗と小型化を実現している。

10

【0015】

また、本発明では2個のMOSFETを接続し、コントロールICで前記両MOSFETのスイッチングを行うMOSFETを用いた保護回路装置において、絶縁性樹脂に埋め込まれた所望のパターンの導電路を設け、所望の該導電路に前記両MOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着し、前記MOSFETチップの裏面に設けた共通ドレイン電極上に導電材料を載置したことを特徴とし、更に支持機能を持つ絶縁基板も排除して更に小型化および薄型化を実現している。

【0016】

更に、本発明では、導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に2個のMOSFETを1チップに集積したMOSFETチップの各々のゲート電極と各々のソース電極を固着する工程と、該MOSFETチップの共通ドレイン電極上に導電材料を付着する工程と、前記MOSFETチップを被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程から、MOSFETを用いた保護回路装置の効率的な製造方法も実現している。

20

【0017】

【発明の実施の形態】

本発明の実施の形態を図1から図19を参照して詳細に説明する。

30

【0018】

図1は本発明を採用した保護回路装置の平面図を示す。この保護回路装置には図19に示した回路が実現されるように回路部品が搭載されているが、図面上は全てを示していない。絶縁基板31には両面に銅箔よりなる導電路32が形成され、所望の個所でスルーホール(図示せず)を介して上面と下面の導電路32は接続された多層配線となっている。なお、図20と同一符号の回路部品は同じ回路部品を示している。

【0019】

本発明の特徴はスイッチング素子であるパワーMOSFETQ1、Q2を1チップに集積化したMOSFETチップ33をベアチップのままフリップチップ法で実装することにある。

40

【0020】

図2に、MOSFETチップ33の具体的な構造を示す。図2(A)はその平面図であり、図2(B)は図2(A)のX-X線断面図である。

【0021】

MOSFETチップ33はドレイン領域となるN⁺型/N型半導体基板334と、P型のチャネル領域335と、チャネル領域335を貫通して設けたトレンチ336と、トレンチ336にゲート酸化膜337を介して埋め込まれたポリシリコンより成るゲート電極338と、トレンチ336に隣接して設けたN⁺型のソース領域339と、ソース領域339に隣接して設けた基板ダイオードを形成するP⁺型のボディ領域340とを有する。半

50

導体基板 334 の絶縁膜 341 上にはソース領域 339 とボディ領域 340 にコンタクトしたアルミニウムのスパッタで形成された下地ソース電極 342 と、ゲート電極 338 に接続された下地ゲート電極 343 が設けられる。この下地ソース電極 342 と下地ゲート電極 343 上には Pd/Ti あるいは Au/TiW のバリアメタル層 344 を設け、この上に約 25 μm の高さに金メッキ層で形成した金バンプのソース電極 331 とゲート電極 332 を設けられる。また、半導体基板 334 の裏面全体には Au/Cr 等の蒸着でドレイン電極 333 が設けられている。

【0022】

パワー MOSFET Q1、Q2 のソース電極 331 およびゲート電極 332 は図 2 (A) より明白なように、チップの中心線 Y-Y に対して線対称に配置され、半導体基板 334 の大部分にソース電極 331 が設けられ、ゲート電極 332 は半導体基板 334 のコーナ一部分に大きく離間して線対称に設けられている。これはフリップチップ法で対応する導電路に固着し易くするためである。

10

【0023】

なお、ソース電極 331 とゲート電極 332 としては導電ボールに半田等の口ウ材を付着した半田電極で形成しても良いし、また導電路 32 が既に電氣的に分離されているので、ソース電極 221 とゲート電極 222 としては突起電極で無くても半田付け可能な通常の平坦な電極でも良い。

MOSFET を用いた保護回路装置を説明する第 1 の実施の形態

まず本発明の MOSFET を用いた保護回路装置について図 3 を参照しながらその構造について説明する。

20

【0024】

図 3 には、ガラスエポキシ基板やセラミック基板等で形成される絶縁基板 31 に図 19 に示した回路が実現されるように所望の銅箔や導電ペーストで形成される導電路 32 を設け、この導電路 32 上には MOSFET チップ 33 が固着され、前記絶縁性樹脂 34 で少なくとも MOSFET チップ 33 を被覆した実装構造が示されている。

【0025】

本実装構造では、MOSFET チップ 33 の 2 個のソース電極 331 と 2 個のゲート電極 332 を複数の導電路 32A、32B、32C、32D に当接させて、半田あるいは導電ペースト 35 で固着されている。MOSFET チップ 33 のドレイン電極 333 上には銅等の導電金属板 36 が半田あるいは導電ペースト 35 で固着されている。なお、この導電金属板 36 は MOSFET チップ 33 の直列接続されたパワー MOSFET Q1、Q2 のオン抵抗を引き下げる目的で設けられており、且つ放熱特性も良好にする目的も兼ねている。従って、導電金属板 36 の代わりに半田あるいは導電ペースト 35 のみで形成されてもオン抵抗を引き下げる目的は達成できる。

30

【0026】

絶縁性樹脂 34 としては、エポキシ樹脂等の熱硬化性樹脂、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂を用いることができる。また絶縁性樹脂は、金型を用いて固める樹脂、ディップ、塗布をして被覆できる樹脂であれば、全ての樹脂が採用できる。

40

【0027】

本実装構造では、MOSFET チップ 33 をフリップチップ法で導電路 32 に固着できるので、MOSFET チップ 33 のドレイン電極 333 の引き出しを不要にでき、ボンディングワイヤを用いない薄型で安価な特徴を有する。

【0028】

また、本実装構造での大きな特徴は、従来用いていたボンディングワイヤを用いないで、フリップチップ方式で特にソース電極 331 から導電路 21B、21C へ直接取り出せるのである。このために図 18 から明らかなように、本発明ではサンプル C のオン抵抗は 8.67 mΩ、サンプル D のオン抵抗は 8.74 mΩ となり、いずれにしても従来のワイヤボンディングによるサンプル B のオン抵抗 12.10 mΩ に比べて約 30% もの改善が

50

図れた。同時に、ボンディングワイヤに必要なループがなくなり、その分絶縁性樹脂 20 を薄くできて薄型化も実現できる。

MOSFETを用いた保護回路装置を説明する第2の実施の形態

本発明のMOSFETを用いた保護回路装置の第2の実施の形態について、図4を参照しながらその実装構造について説明する。

【0029】

図4には、絶縁性樹脂40に埋め込まれた導電路41を有し、前記導電路41上にはMOSFETチップ33が固着され、前記絶縁性樹脂40で導電路41を支持して成る実装構造が示されている。

【0030】

本実装構造は、MOSFETチップ33、複数の導電路41A、41B、41C、41Dと、導電金属板36と、この導電路41A、41B、41C、41Dを埋め込む絶縁性樹脂40の4つの材料で構成され、導電路41間には、この絶縁性樹脂40で充填された分離溝42が設けられる。そして絶縁性樹脂40により前記導電路41が支持されている。

【0031】

絶縁性樹脂40としては、エポキシ樹脂等の熱硬化性樹脂、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂を用いることができる。また絶縁性樹脂は、金型を用いて固める樹脂、ディップ、塗布をして被覆できる樹脂であれば、全ての樹脂が採用できる。

【0032】

また、導電路41としては、Cuを主材料とした導電箔、Alを主材料とした導電箔、またはFe-Ni等の合金から成る導電箔等を用いることができる。もちろん、他の導電材料でも可能であり、特にエッチングできる導電材、レーザーで蒸発する導電材が好ましい。

【0033】

更に、パワーMOSFETQ1、Q2を1チップに集積化したMOSFETチップ33は、表面にソース電極331とゲート電極332を有し、裏面には全面にドレイン電極333を有する半導体ベアチップである。MOSFETチップ33の詳細な構造は図2に詳しく述べたので、ここでは省略する。

【0034】

更に、MOSFETチップ33の接続は、表面に設けたソース電極331とゲート電極332は半田等のろう材、Agペースト等の導電ペースト35等で所定の導電路41A、41B、41C、41Dに固着され、裏面のドレイン電極333には半田等のろう材、Agペースト等の導電ペースト35等で導電金属板36が固着される。なお、この導電金属板36はMOSFETチップ33の直列接続されたパワーMOSFETQ1、Q2のオン抵抗を引き下げる目的で設けられており、且つ放熱特性も良好にする目的も兼ねている。従って、導電金属板36の代わりに半田あるいは導電ペースト35のみで形成されてもオン抵抗を引き下げる目的は達成できる。また導電金属板36は他の導電路41への接続は不要である。

【0035】

本実装構造では、導電路41を封止樹脂である絶縁性樹脂40で支持しているため、支持基板が不要となり、導電路41、MOSFETチップ33、導電金属板36および絶縁性樹脂40で構成され、必要最小限の構成要素で構成でき、薄型で安価となる特徴を有する。

【0036】

また本実装構造では、絶縁性樹脂40がMOSFETチップ33を被覆し且つ前記導電路41間の前記分離溝42に充填されて一体に支持する機能を有しているため、導電路41間は絶縁性樹脂40でお互いの絶縁がはかれるメリットを有する。

【0037】

更に本実装構造での大きな特徴は、従来用いていたボンディングワイヤを用いなくて、フリップチップ方式で特にソース電極331から導電路41B、41Cへ直接取り出せるの

10

20

30

40

50

である。このために図18から明らかなように、本発明の実装構造ではサンプルC（半田で取り出す場合）のオン抵抗は 8.67 m 、サンプルD（銀ペーストで取り出す場合）のオン抵抗は 8.74 m となり、いずれにしても従来のワイヤーボンディングによるサンプルBのオン抵抗 12.10 m に比べて約30%もの改善が図れた。同時に、ボンディングワイヤに必要なループがなくなり、その分絶縁性樹脂40を薄くできて薄型化も実現できる。

【0038】

また本実装構造では、分離溝42に充填された絶縁性樹脂40の表面と導電路41の表面は、実質一致している構造となっている。このために本実装構造をプリント基板に実装するときに、半田等のロウ材の表面張力で浮き上がり水平に移動できるので自動的にセルフアラインできる特徴を有する。

MOSFETを用いた保護回路装置を説明する第3の実施の形態

次に本発明の第3のMOSFETを用いた保護回路装置の実装構造について図12を参照しながらその構造について説明する。

【0039】

本実装構造は、導電路41の表面に導電被膜37が形成されており、それ以外は、図4の構造と実質同一である。よってこの導電被膜37について説明する。

【0040】

第1の特徴は、導電路や回路装置の反りを防止するために導電被膜37を設ける点である。

【0041】

一般に、絶縁性樹脂と導電路材料（以下第1の材料と呼ぶ。）の熱膨張係数の差により、実装構造自身が反ったり、また導電路が湾曲したり剥がれたりする。また導電路41の熱伝導率が絶縁性樹脂の熱伝導率よりも優れているため、導電路41の方が先に温度上昇して膨張する。そのため、第1の材料よりも熱膨張係数の小さい第2の材料を被覆することにより、導電路の反り、剥がれ、実装構造の反りを防止することができる。特に第1の材料としてCuを採用した場合、第2の材料としてはAu、NiまたはPt等が良い。Cuの膨張率は、 16.7×10^{-6} （10のマイナス6乗）で、Auは、 14×10^{-6} 、Niは、 12.8×10^{-6} 、Ptは、 8.9×10^{-6} である。

【0042】

第2の特徴は、第2の材料によりアンカー効果を持たせている点である。第2の材料によりひさし38が形成され、しかも導電路41と被着したひさし38が絶縁性樹脂40に埋め込まれているため、アンカー効果を発生し、導電路41の抜けを防止できる構造となる。

MOSFETを用いた保護回路装置の製造方法を説明する第1の実施の形態

次に図5～図11および図4を参照して第1のMOSFETを用いた保護回路装置の製造方法について説明する。

【0043】

まず図5の如く、シート状の導電箔50を用意する。この導電箔50は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0044】

導電箔の厚さは、後のエッチングを考慮すると $10\text{ }\mu\text{m}$ ～ $300\text{ }\mu\text{m}$ 程度が好ましく、ここでは $70\text{ }\mu\text{m}$ （2オンス）の銅箔を採用した。しかし $300\text{ }\mu\text{m}$ 以上でも $10\text{ }\mu\text{m}$ 以下でも基本的には良い。後述するように、導電箔50の厚みよりも浅い分離溝42が形成できればよい。

【0045】

尚、シート状の導電箔50は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する

10

20

30

40

50

各工程に搬送されても良い。

【0046】

続いて、少なくとも導電路41となる領域を除いた導電箔50を、導電箔50の厚みよりも薄く除去する工程がある。そしてこの除去工程により形成された分離溝42および導電箔50に絶縁性樹脂40を被覆する工程がある。

【0047】

まず、Cu箔50の上に、ホトレジスト(耐エッチングマスク)PRを形成し、導電路41となる領域を除いた導電箔50が露出するようにホトレジストPRをパターンニングする(以上図6を参照)。そして、前記ホトレジストPRを介してエッチングすればよい(以上図7を参照)。

10

【0048】

エッチングにより形成された分離溝42の深さは、例えば50μmであり、その側面は、粗面となるため絶縁性樹脂40との接着性が向上される。

【0049】

またこの分離溝42の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチングが採用できる。ウェットエッチングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッチングは、一般に非異方性にエッチングされるため、開口部より内部の分離溝42が広がり、分離溝42の側面はサイドエッチング

20

【0050】

またドライエッチングの場合は、異方性、非異方性でエッチングが可能である。現在では、Cuを反応性イオンエッチングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッチングできる。

【0051】

なお、図6に於いて、ホトレジストの代わりにエッチング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被着すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。この導電被膜として考えられる材料は、Ag、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

30

【0052】

続いて、図8の如く、分離溝42で分離された導電箔50より成る導電路41にMOSFETチップ33を実装する工程がある。

【0053】

MOSFETチップ33は、表面にソース電極331とゲート電極332を有し、裏面には全面にドレイン電極333を有する半導体ペアチップである。MOSFETチップ33はソース電極331とゲート電極332を下側に向けてチップマウンタ装置でパターン認識をして、それぞれを導電路41B、41Cと41A、41Dに当接させて半田等のロウ材または導電ペースト35でフリップチップ法で固着される。

40

【0054】

また、MOSFETチップ33の裏面に設けたドレイン電極333には銅より成る導電金属板36を半田等のロウ材または導電ペースト25で固着される。MOSFETチップ33の裏側はすべてドレイン電極333のみしかないので、この導電金属板36は他の電極とショートする恐れもなく、また導電金属板36は導電路41とも接続が不要であるので、異形部品マウンタを用いてラフな位置合わせで容易にマウント可能である。

【0055】

更に、図9に示すように、前記導電箔50および分離溝42に絶縁性樹脂40を付着する

50

工程がある。これは、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0056】

本実施の形態では、導電箔50表面に被覆された絶縁性樹脂40の厚さは、回路素子の最頂部から約100 μ m程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0057】

本工程の特徴は、絶縁性樹脂40を被覆するまでは、導電路41となる導電箔50が支持基板となることである。従来では支持基板を用いて導電路を形成していたが、本発明では、支持基板となる導電箔50は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

10

【0058】

また分離溝42は、導電箔の厚みよりも浅く形成されているため、導電箔50が導電路41として個々に分離されていない。従ってシート状の導電箔50として一体で取り扱え、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0059】

続いて、導電箔50の裏面を化学的および/または物理的に除き、導電路41として分離する工程がある。ここでこの工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

20

【0060】

実験では研磨装置または研削装置により全面を30 μ m程度削り、分離溝42から絶縁性樹脂40を露出させている。この露出される面を図9では点線で示している。その結果、約40 μ mの厚さの導電路41となって分離される。また絶縁性樹脂40が露出する手前まで、導電箔50を全面ウェットエッチングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂40を露出させても良い。更に、導電箔50を点線の位置まで全面ウェットエッチングし、絶縁性樹脂40を露出させても良い。

【0061】

この結果、絶縁性樹脂40に導電路41の表面が露出する構造となる。そして導電箔50が削られ、図4の分離溝42となる。(以上図9参照)

30

最後に、絶縁性樹脂40の裏面に露出した導電路41には半田等の導電材を被着し、本実装構造を完成する。

【0062】

尚、導電路41の裏面に導電被膜を被着する場合、図5の導電箔の裏面に、前もって導電被膜を形成しても良い。この場合、導電路に対応する部分を選択的に被着すれば良い。被着方法は、例えばメッキである。またこの導電被膜は、エッチングに対して耐性がある材料がよい。またこの導電被膜を採用した場合、研磨をせずにエッチングだけで導電路41として分離できる。

40

【0063】

なお、上述した本製造方法の説明では、回路部品としてMOSFETチップ33を重点に記載したが、実際には図10に示す導電箔50上にはMOSFETチップ33を含み本発明の保護回路装置に必要な回路部品が多数行列状に実装される。

【0064】

図10に、分離溝42を形成した後の導電箔50の基板の平面図を示す。この基板は大きさが45mm \times 60mmであり、黒い部分が導電路41を形成しており、白い部分は分離溝42を形成している。従って、実装構造と成る部分は3列8行にマトリックス状に配列され、周辺には位置合わせマーク511や、製造中に使用するインデックス孔512等が設けられている。たとえば、ダイシングライン51は両端に設けた2本線の位置合わせマ

50

ーク511の中央を規定されている。

【0065】

図11は図10の1つの導電箔50の基板の拡大平面図である。左側に示した導電路41A、41B、41C、41DにMOSFETチップ33をフリップチップ法で固着される。また中央部にはコントロールIC9が導電路41に固着され、その周辺の導電路41には図19のC1からC3に対応するチップコンデンサ10と図19のR1およびR2に対応するチップ抵抗11とがチップマウンタ装置を用いて固着されている。

【0066】

また、四隅にLP1、LP2、LP3、LP4で示した外部端子は図19に示した端子LP1、LP2、LP3、LP4と対応している。

10

【0067】

従って、図10に示す導電箔50の基板に多数個形成された本発明の保護回路装置は、一点鎖線で示すダイシングライン51上の分離溝42の絶縁性樹脂40の部分でダイシング装置でX軸およびY軸方向に切断して個々に分離すると、個別のMOSFETを用いた保護回路装置になる。かかる本発明の保護回路装置は導電路41の裏面をプリント基板の導電路に半田等のロウ材で接続されて使用に供せられる。

【0068】

以上の製造方法によって、絶縁性樹脂40に導電路41が埋め込まれ、絶縁性樹脂40の裏面と導電路41の裏面が一致する平坦なMOSFETを用いた保護回路装置の実装構造が実現できる。

20

【0069】

本製造方法の特徴は、絶縁性樹脂40を支持基板として活用し導電路41の分離作業ができることにある。絶縁性樹脂40は、導電路41を埋め込む材料として必要な材料であり、従来の製造方法のように、支持基板を必要としない。従って、最小限の材料で製造でき、コストの低減が実現できる特徴を有する。

【0070】

なお、導電路41表面からの絶縁性樹脂の厚さは、前工程の絶縁性樹脂の付着の時に調整できる。本発明ではMOSFETチップ33をフリップチップ方式で導電路41に固着するので、ボンディングワイヤを排除できた。従って実装されるMOSFETチップ33の厚みにより違ってくるが、実装構造としての厚さは、極めて薄くできる特徴を有する。ここでは、約400 μ m厚の絶縁性樹脂40に40 μ m厚の導電路41と約200 μ m厚のMOSFETチップ33が埋め込まれた実装構造になる。(以上図4を参照)

30

MOSFETを用いた保護回路装置の製造方法を説明する第2の実施の形態

次に図13～図17、図12を参照して、ひさし38を有するMOSFETを用いた保護回路装置の実装構造の製造方法について説明する。尚、ひさしとなる第2の材料60が被着される以外は、第1の実施の形態と実質同一であるため、詳細な説明は省略する。

【0071】

まず図13の如く、第1の材料から成る導電箔50の上にエッチングレートの小さい第2の材料60が被覆された導電箔50を用意する。

【0072】

40

例えばCu箔の上にNiを被着すると、塩化第二鉄または塩化第二銅でCuとNiが一度にエッチングでき、エッチングレートの差によりNiがひさし38と成って形成されるため好適である。太い実線がNiから成る導電被膜60であり、その膜厚は1～10 μ m程度が好ましい。またNiの膜厚が厚い程、ひさし38が形成されやすい。

【0073】

また第2の材料は、第1の材料と選択エッチングできる材料を被覆しても良い。この場合、まず第2の材料から成る被膜を導電路41の形成領域に被覆するようにパターンニングし、この被膜をマスクにして第1の材料から成る被膜をエッチングすればひさし38が形成できるからである。第2の材料としては、Al、Ag、Au等が考えられる。(以上図13を参照)

50

続いて、少なくとも導電路41となる領域を除いた導電箔50を、導電箔50の厚みよりも薄く取り除く工程がある。

【0074】

Ni60の上に、ホトレジストPRを形成し、導電路41となる領域を除いたNi60が露出するようにホトレジストPRをパターンングし、前記ホトレジストを介してエッチングすればよい。

【0075】

前述したように塩化第二鉄、塩化第二銅のエッチャント等を採用しエッチングすると、Ni60のエッチングレートがCu50のエッチングレートよりも小さいため、エッチングが進むにつれてひさし38がでてくる。

【0076】

なお、前記分離溝42が形成された導電箔50にMOSFETチップ33を実装する工程(図16)、前記導電箔50および分離溝42に絶縁性樹脂40を被覆し、導電箔40の裏面を化学的および/または物理的に除き、導電路41として分離する工程(図17)、および導電路裏面に導電被膜を形成して完成までの工程(図12)は、前述した製造方法と同一であるためその説明は省略する。

【0077】

【発明の効果】

以上の説明から明らかなように、本発明では、パワーMOSFETQ1、Q2を1チップに集積したMOSFETチップ、導電路、導電金属板および絶縁性樹脂の必要最小限で構成され、資源に無駄のないMOSFETを用いた保護回路装置の実装構造となる。よって完成するまで余分な構成要素が無く、コストを大幅に低減できるMOSFETを用いた保護回路装置の実装構造を実現できる。

【0078】

また、MOSFETチップをフリップチップ方式で導電路に直接固着するので、特にソース電極から導電路までの取り出し抵抗を無くすることができ、オン抵抗を従来の実装構造のものに比べて30%も低減できる。またMOSFETチップの共通ドレイン電極の引き回しも不要にでき、極めて簡単な実装構造を実現できる。

【0079】

また、本発明のMOSFETを用いた保護回路装置の実装構造ではボンディングワイヤを不要にでき、絶縁性樹脂の被覆膜厚、導電箔の厚みを最適値にすることにより、高さが0.5mm以下の非常に薄型化が図れ、同時に小型軽量化された実装構造を実現できる。

【0080】

また、導電路の裏面のみを絶縁性樹脂から露出しているため、導電路の裏面が直ちに外部との接続に供することができ、従来構造で必要とされた裏面電極およびスルーホールを不要にできる利点を有する。

【0081】

また本実装構造は、分離溝の表面と導電路の表面は、実質一致している平坦な表面を有する構造となっており、狭ピッチQFP実装時には回路装置自身を半田の表面張力でそのまま水平に移動できるので、リードずれの修正が極めて容易となる。

【0082】

また導電路の表側に第2の材料を形成しているため、熱膨張係数の違いにより実装基板の反り、特に細長い配線の反りまたは剥離を抑制することができる。

【0083】

また導電路の表面に第2の材料から成る被膜を形成することにより、導電路に被着されたひさしが形成できる。よってアンカー効果を発生させることができ、導電路の反り、抜けを防止することができる。

【0084】

また本発明のMOSFETを用いた保護回路装置の製造方法では、導電路の材料となる導電箔自体を支持基板として機能させ、分離溝の形成時あるいはMOSFETチップの実装

10

20

30

40

50

、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を各導電路として分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、M O S F E Tチップ、導電箔、絶縁性樹脂の必要最小限で製造できる。また支持基板が不要であること、導電路が絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能で且つボンディングワイヤを不要とすることにより、非常に薄いM O S F E Tを用いた保護回路装置の実装構造が実現できるメリットもある。

【0085】

次に導電箔の厚みよりも薄く取り除く工程（例えばハーフエッチング）までは、導電路を個々に分離せずに取り扱えるため、極めて小さい基板に多くのM O S F E Tチップを集積して製造するので、作業性が向上する特徴も有する。

10

【0086】

また導電路と絶縁性樹脂で同一平面を形成するため、実装された場合、実装基板上の導電路側面に当たることなくずらすことができる。特に位置ずれして実装された場合、水平方向にずらして配置し直すことができる。また実装後、ロウ材が溶けていれば、ずれて実装された装置は、溶けたロウ材の表面張力により、導電路上部に自ら戻ろうとし、装置自身による再配置が可能となる。

【図面の簡単な説明】

【図1】本発明のM O S F E Tを用いた保護回路装置を説明する平面図である。

【図2】本発明のM O S F E Tを用いた保護回路装置に用いるM O S F E Tチップの(A)平面図および(B)X-X線断面図である。

20

【図3】本発明のM O S F E Tを用いた保護回路装置の第1の実施の形態を説明する断面図である。

【図4】本発明のM O S F E Tを用いた保護回路装置の第2の実施の形態を説明する断面図である。

【図5】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する断面図である。

【図6】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する断面図である。

【図7】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する断面図である。

30

【図8】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する断面図である。

【図9】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する断面図である。

【図10】本発明のM O S F E Tを用いた保護回路装置の製造方法の第1の実施の形態を説明する平面図である。

【図11】図10のパターンの拡大平面図である。

【図12】本発明のM O S F E Tを用いた保護回路装置の第3の実施の形態を説明する断面図である。

【図13】本発明のM O S F E Tを用いた保護回路装置の製造方法の第2の実施の形態を説明する断面図である。

40

【図14】本発明のM O S F E Tを用いた保護回路装置の製造方法の第2の実施の形態を説明する断面図である。

【図15】本発明のM O S F E Tを用いた保護回路装置の製造方法の第2の実施の形態を説明する断面図である。

【図16】本発明のM O S F E Tを用いた保護回路装置の製造方法の第2の実施の形態を説明する断面図である。

【図17】本発明のM O S F E Tを用いた保護回路装置の製造方法の第2の実施の形態を説明する断面図である。

【図18】本発明および従来のM O S F E Tチップの特性を説明する特性図である。

50

【図19】本発明に適用するMOSFETを用いた保護回路装置の回路図である。

【図20】従来のMOSFETを用いた保護回路装置を説明する平面図である。

【図21】従来のMOSFETの実装構造を説明する断面図である。

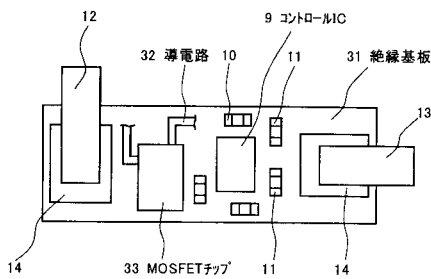
【図22】従来のMOSFETの実装構造を説明する平面図である。

【図23】従来のMOSFETの実装構造を説明する平面図である。

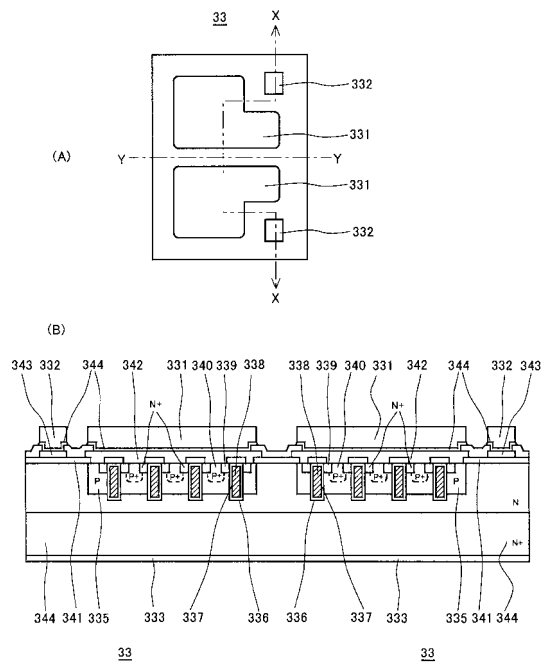
【符号の説明】

- 40 絶縁性樹脂
- 41 導電路
- 33 MOSFETチップ
- 42 分離溝
- 38 ひさし

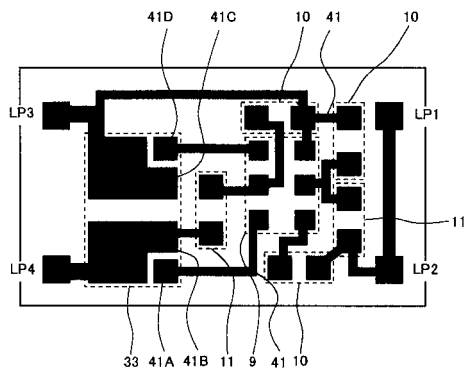
【図1】



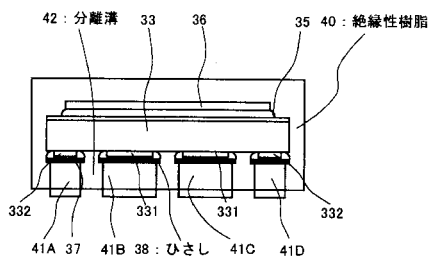
【図2】



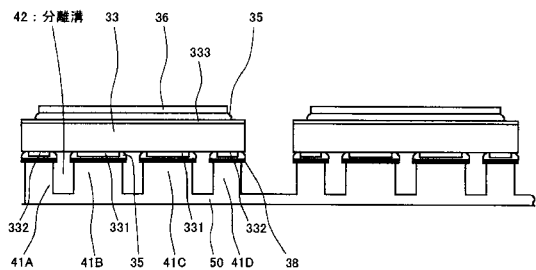
【図11】



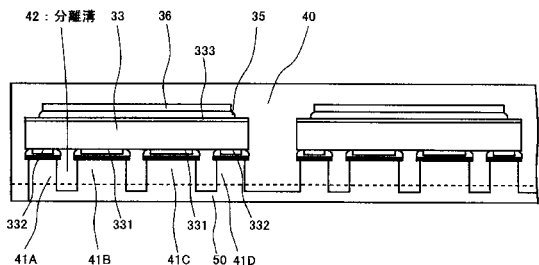
【図12】



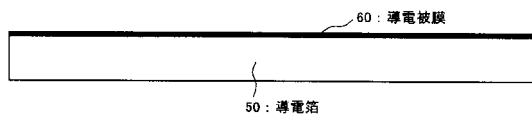
【図16】



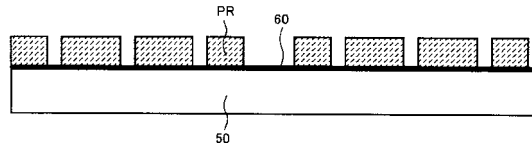
【図17】



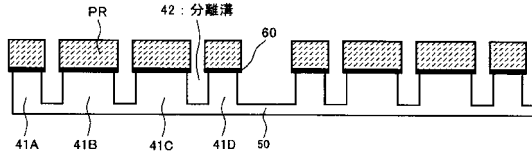
【図13】



【図14】



【図15】



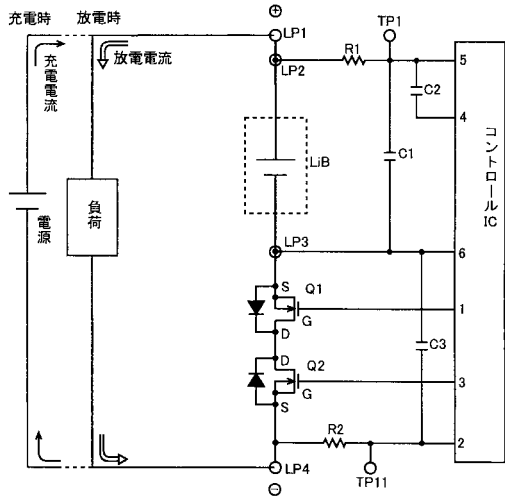
【図18】

従来	本発明	材料特性(体積抵抗率ρ)
A	銅	5.74 × 10 ⁻⁸ Ω · cm
B	銅	2.4 × 10 ⁻⁸ Ω · cm
C	導電金属板	1.95 × 10 ⁻⁵ Ω · cm
D	導電金属板	1.0 × 10 ⁻⁴ Ω · cm

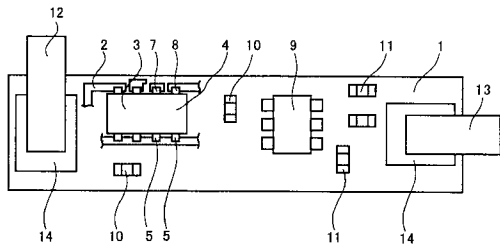
材料特性(体積抵抗率ρ)

チップ表面電極	接続材料(製剤)	チップ表面電極	Ros(ohm), V _{res} =4V(mΩ)	備考
Al	Au線、短ワイヤ4本	Al	13.43	S制、短ワイヤ4本
Al	Au線、従来ワイヤ外	Al	12.10	S制、長ワイヤ2本、短ワイヤ2本
Au/Sn/P	導電路/半田	Au/Sn/P	8.67	
Au/Ag/P	導電路/Agペースト	Au/Ag/P	8.74	

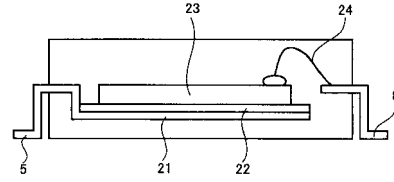
【図19】



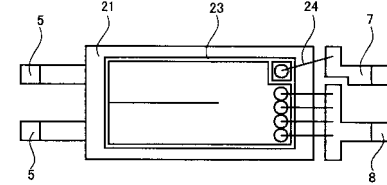
【図20】



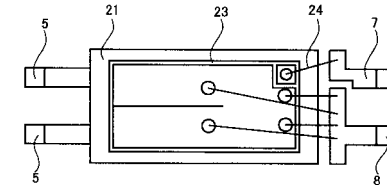
【図21】



【図22】



【図23】



フロントページの続き

- (72)発明者 福田 浩和
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 江藤 弘樹
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 高橋 幸嗣
群馬県伊勢崎市喜多町29番地 関東三洋電子株式会社内

審査官 今井 拓也

- (56)参考文献 特開平10-012282(JP,A)
特開平10-117443(JP,A)
特開昭63-311418(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 23/58
H01L 23/62
H01L 29/78
H02H 7/18