

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1999년04월 15일

(11) 등록번호 특0183764

(24) 등록일자 1998년 12월 16일

(21) 출원번호 특1995-046907
(22) 출원일자 1995년 12월 05일

(65) 공개번호 특1997-052198
(43) 공개일자 1997년 07월 29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 심상필
경기도 수원시 팔달구 매탄4동 810-3 삼성1차아파트 5동 301호
(74) 대리인 이영필, 권석흠, 노민식

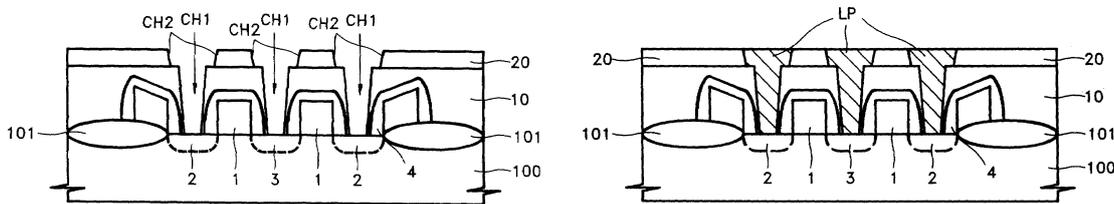
심사관 : 권인희

(54) 랜딩 패드 형성방법

요약

본 발명은 랜딩 패드 형성방법에 관한 것으로, 이는, 반도체기판에 정보전달용 트랜지스터를 형성하는 단계, 트랜지스터가 형성된 결과물 전면에 제1절연막 및 제2절연막에 대해 식각율이 큰 제2절연막을 차례로 형성하는 단계, 제1절연막 및 제2절연막의 소정부위를 식각하여 콘택 홀을 형성하되, 그 상부의 사이즈가 하부의 사이즈보다 크도록 형성하는 단계 및 상기 콘택 홀 내부에 도전층을 채우는 공정을 구비하여 이루어진 것을 특징으로 한다. 따라서, 랜딩 패드 형성을 위한 콘택 홀의 형성시에 등방성 식각과 이방성 식각을 함께 실시함으로써 상기 콘택 홀의 상부의 사이즈가 하부의 사이즈 보다 크게 되어, 고집적화에 따른 사진식각공정을 극복할 수 있을 뿐만 아니라, 패드 폴리가 형성될 부위에 절연막을 식각해 낸 후 패드 폴리를 채워넣기 때문에 하부층(즉 게이트전극)토폴로지에 의한 μ -브리지 발생영역이 없는 장점이 있다.

대표도



명세서

[발명의 명칭]

랜딩 패드 형성방법

[도면의 간단한 설명]

제1a도 및 제1b도는 종래방법에 의해 형성된 랜딩 패드를 나타낸 단면도 및 측면도이다.

제2a도 내지 제2d도는 본 발명에 따른 랜딩 패드 형성방법의 실시예를 나타낸 공정순서도이다.

제3a도 및 제3b도는 본 발명에 따른 랜딩 패드 형성방법의 다른 실시예를 나타낸 공정순서도이다.

[발명의 상세한 설명]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 메모리소자의 정보전달용 트랜지스터와 정보저장을 위한 캐패시터의 연결을 위한 랜딩 패드의 형성방법에 관한 것이다.

고집적 DRAM 제품에서 BC 콘택(Buried Contact)과 워드라인(word line)과의 단락방지 및 DC 콘택(Direct Contact)의 원활한 형성을 위하여 랜딩 패드(landing pad)를 이용하고 있다. 그러나, 다음과 같은 몇가지의 이유 때문에 랜딩 패드 공정 자체가 점점 마아진(margin)이 없는 어려운 공정이 되고 있다.

첫째, 랜딩 패드 공정의 디자인 룰(design rule)이 가장 엄격한 공정중의 하나이기 때문에 사진식각공정이 어렵다. 액티브 피팅(active pitting)을 방지하고 후속 콘택(BC, DC)과의 오버랩 마진(overlap margin)을 확보하려면 셀 피치(cell pitch)가 $\sim 0.6\mu\text{m}$ 인 256M급의 메모리에서 패드 대 패드(pad to pad)의 간격(제1a도에서 @로 표시된 부분)은 $\sim 0.2\mu\text{m}$ 가 필요하기 때문에 현재의 사진공정 기술로 이 정도의 간격을 형성하기는 매우 어렵다.

둘째, 랜딩 패드의 식각시 하부층(under layer)인 워드라인 즉 게이트전극의 단차가 높기 때문에 워드라인

과 워드라인 사이의 골짜기에 식각의 불완전에 기인하여 발생하는 μ -브리지(bridge)를 제거하기가 어렵다. 예를 들어, 게이트전극으로 금속 실리사이드(silicide)를 사용하는 256M급에서는 워드라인의 단차가 $\sim 4000\text{\AA}$ 이상이기 때문에 워드라인과 워드라인 사이의 골짜기(제1b도에서 ㉔로 표시된 부분)에 μ -브리지가 발생하기 쉽고 발생하더라도 이를 검출하기도 어렵다.

따라서 본 발명의 목적은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여 랜딩 패드가 형성될 부분의 절연막의 식각시에 등방성식각과 이방성식각을 함께 실시함으로써 사진식각공정의 디자인룰을 완화시켜줄 수 있는 랜딩 패드의 형성방법을 제공하는데 있다.

상기한 목적을 달성하기 위하여 본 발명의 방법은, 반도체기판에 정보전달용 트랜지스터를 형성하는 공정; 상기 트랜지스터가 형성된 결과물 전면에 제1절연막 및 상기 제1절연막에 대해 식각율이 큰 제2절연막을 차례로 형성하는 공정; 상기 제1절연막 및 제2절연막의 소정부위를 식각하여 콘택 홀을 형성하되, 그 상부의 사이즈가 하부의 사이즈보다 크도록 형성하는 공정; 및 상기 콘택 홀 내부에 도전층을 채우는 공정을 구비하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하기로 한다. 여기서, 상기 제1a도 및 제1b도는 종래방법에 의해 형성된 랜딩 패드를 나타낸 단면도 및 측면도를 각각 나타낸 것으로, 이하 본 발명을 설명할 때 사용되는 도면과 동일한 부분에는 동일 참조부호를 사용하였다.

제2a도 내지 제2d도는 본 발명에 따른 랜딩 패드 형성방법의 일실시예를 나타낸 공정순서도이다.

제2a도는 제1절연막(10) 및 제2절연막(20)의 형성공정을 도시한 것으로, 먼저 제1전도층의 반도체기판(100)에 소자형성을 위한 액티브영역과 이 액티브영역을 분리시켜 주기 위한 필드산화막(101)을 통상적인 방법을 이용하여 형성한 후, 상기 액티브영역상에 게이트절연막(도시되지 않음)이 개재된 게이트전극(1), 소오스영역(2) 및 드레인영역(3)으로 이루어지는 정보전달용 트랜지스터를 형성한다. 계속해서 결과물 전면에 제1절연막(10) 및 제2절연막(20)을 차례로 형성한다. 이때 상기 제1절연막(10)은 후속되는 등방성식각에 대해 식각율이 제2절연막(20)에 비해 낮은 특성을 갖도록 한다. 예를 들어 상기 제1절연막은 질화막으로 하고 제2절연막은 산화막으로 하거나, 제1절연막(10)은 고온산화막(HTO : High Temperature Oxide)으로 하고 제2절연막(20)은 BPSG(Boro-Phosphor Silicate Glass) 혹은 PSG(Phosphor Silicate Glass) 등의 불순물이 주입된 산화막으로 할 경우, CHF_4+O_2 혹은 CF_4 가스 등을 이용한 등방성 플라즈마 식각에 대해 선택비를 갖게 할 수 있으며, 또는 HF 희석용액을 이용한 습식식각 혹은 HF 가스를 이용한 등방성식각에 대해서도 선택비를 갖게 할 수 있다. 통상 질화막과 산화막의 경우 플라즈마 식각의 경우 5 : 1~10 : 1의 선택비를 갖게 할 수 있으며, HF를 이용한 습식식각의 경우 10 : 1 이상의 높은 선택비를 갖게 할 수 있다. 여기서, 미설명부호 4는 상기 게이트전극을 보호하기 위한 절연막을 나타낸다.

제2b도는 제1콘택 홀(CH1)의 형성공정을 도시한 것으로, 먼저 상기 제2절연막(20)위에 포토레지스트 도포, 마스크 노광 및 현상등의 공정을 거쳐 랜딩 패드의 도전층이 형성될 부위의 제2절연막이 노출되도록 포토레지스트 패턴(도시되지 않음)을 형성한 후, 이 포토레지스트 패턴을 적용하여 상기 제1절연막(10) 및 제2절연막(20)을 이방성 식각한다. 이때, 상기 제1콘택 홀(CH1)은 후속되는 랜딩 패드의 형성에 문제가 없을 정도로 작게 형성한다.

제2c도는 제2콘택 홀(CH2)의 형성공정을 도시한 것으로, 상기 제2b도 공정후 결과물 전면에 대하여, 상기에서 설명한 바와 같이, 상기 제1절연막(10) 및 제2절연막(20)간에 식각율이 다른 등방성식각을 실시함으로써 도시된 바와 같은 제2콘택 홀(CH2)을 형성한다. 이때, 상기 제1절연막:제2절연막의 식각 선택비가 10 : 1 이상일 경우 상기 제1콘택 홀(CH1)의 크기에 거의 영향을 주지 않으면서 수백~수천 \AA 이 더 큰 제2콘택 홀(CH2)을 형성할 수 있다.

제2d도는 상기 포토레지스트 패턴의 제거후 결과물 전면에 공정폴리(pad poly)용 도전층 예컨대 불순물이 도우핑된 다결정실리콘을 침적하고, 이 도전층 전면에 대하여 에치 백(etch back) 공정을 실시함으로써 상기 제1 및 제2콘택 홀내에 도전층을 채워 랜딩 패드(LP)를 형성하는 공정을 나타낸다. 이때, 상기 에치 백 공정 대신에 CMP(Chemical Mechanical Polishing) 공정을 적용할 수도 있다.

제3a도 및 제3b도는 본 발명에 따른 랜딩 패드 형성방법의 다른 실시예를 나타낸 공정순서도이다.

제3a도는 절연막(30), 콘택 홀(CH) 및 포토레지스트 패턴(PR)의 형성공정을 도시한 것으로, 먼저 제1전도층의 반도체기판(100)에 소자형성을 위한 액티브영역과 이 액티브영역을 분리시켜 주기 위한 필드산화막(101)을 통상적인 방법을 이용하여 형성한 후, 상기 액티브영역상에 게이트절연막(도시되지 않음)이 개재된 게이트전극(1), 소오스영역(2) 및 드레인영역(3)으로 이루어지는 정보전달용 트랜지스터를 형성한다. 계속해서 결과물 전면에 소정두께 예컨대 수백 \AA ~수천 \AA 의 두께로 절연막(30)을 형성하고, 이 절연막(30)위에 포토레지스트 도포, 마스크노광 및 현상 등의 공정을 거쳐 랜딩 패드의 도전층이 형성될 부위의 절연막이 노출되도록 포토레지스트 패턴(PR)을 형성한 후, 이 포토레지스트 패턴(PR)을 적용하여 상기 절연막(30)을 1차로 등방성 식각함으로써 언더컷(undercut)이 되도록 한 후 2차로 이방성 식각을 실시함으로써 언더컷이 된 콘택 홀(CH)을 형성한다. 이와 같이 형성된 콘택 홀(CH)의 상부는 등방성식각에 의해 사이즈(size)가 크고 하부(45)는 이방성식각만 되기 때문에 사이즈를 작게 할 수 있다. 여기서, 상기 등방성 식각전에 약간의 이방성 식각을 할 수도 있다. 미설명부호 4는 상기 게이트전극을 보호하기 위한 절연막을 나타낸다.

제3b도는 상기 포토레지스트 패턴의 제거후 결과물 전면에 패드 폴리용 도전층 예컨대 불순물이 도우핑된 다결정실리콘을 침적하고, 이 도전층 전면에 대하여 에치 백 공정을 실시함으로써 상기 콘택 홀내에 도전층을 채워 랜딩 패드(LP)를 형성하는 공정을 나타낸다. 이때, 상기 에치 백 공정 대신에 CMP 공정을 적용할 수도 있다.

이상에서 살펴본 바와 같이 본 발명에서는 랜딩 패드 형성을 위한 콘택 홀의 형성시에 등방성 식각과 이방성 식각을 함께 실시함으로써 상기 콘택 홀의 상부의 사이즈가 하부의 사이즈 보다 크게 되어, 고집적화에 따른 사진식각공정을 극복할 수 있을 뿐만 아니라, 패드폴리가 형성될 부위에 절연막을 식각해 낸 후 패드 폴리를 채워넣기 때문에 하부층(즉 게이트전극) 토포그래피(topography)에 의한 μ -브리지 발생영

려가 없는 장점이 있다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

반도체기판에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 결과물 전면에 제1절연막 및 상기 제1절연막보다 특정 등방성 식각에 대해 식각율이 큰 제2절연막을 차례로 형성하는 단계; 상기 제2절연막 위에 포토레지스트 패턴을 형성하는 공정; 상기 포토레지스트 패턴을 적용하여 상기 제1절연막 및 제2절연막을 이방성 식각하는 공정; 상기 이방성 식각후 제1절연막 및 제2절연막간에 식각률이 다른 등방성 식각을 실시하여 콘택홀을 완성하되, 제2절연막에 형성된 콘택홀이 제1절연막에 형성된 콘택홀보다 큰 것을 특징으로 하는 공정; 및 상기 콘택 홀 내부에 도전층을 채우는 단계를 구비하여 이루어진 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 2

제1항에 있어서, 상기 제1절연막 및 제2절연막은 질화막, 산화막, 고온산화막 및 불순물이 주입된 산화막 중 어느 하나인 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 3

제1항에 있어서, 상기 콘택 홀 내부에 도전층을 채우는 단계는 상기 콘택 홀이 형성된 결과물 전면에 도전층을 형성하는 공정과, 상기 도전층에 대하여 에치 백 공정을 실시하는 공정으로 이루어지는 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 4

제3항에 있어서, 상기 도전층에 에치 백 공정 대신에 CMP 공정을 적용하는 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 5

반도체기판에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 결과물 전면에 절연막을 형성하는 단계; 상기 절연막위에 포토레지스트 패턴을 형성하는 공정; 상기 포토레지스트 패턴을 적용하여 상기 절연막의 일부분을 등방성 식각하는 공정; 및 상기 등방성 식각후 상기 절연막의 나머지 부분을 이방성 식각하여 콘택 홀을 형성하되, 그 상부의 사이즈가 하부의 사이즈보다 크도록 형성하는 단계; 및 상기 콘택 홀 내부에 도전층을 채우는 단계를 구비하여 이루어진 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 6

제5항에 있어서, 상기 콘택 홀 형성을 위한 등방성 식각전에 이방성 식각을 더 구비하는 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 7

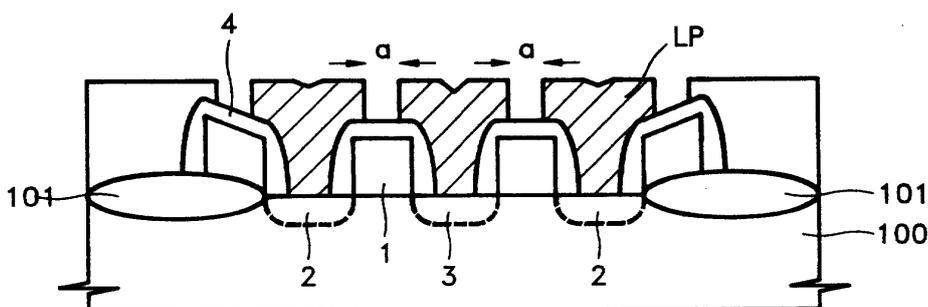
제5항에 있어서, 상기 콘택 홀 내부에 도전층을 채우는 단계는 상기 콘택 홀이 형성된 결과물 전면에 도전층을 형성하는 공정과, 상기 도전층에 대하여 에치 백 공정을 실시하는 공정으로 이루어진 것을 특징으로 하는 랜딩 패드 형성방법.

청구항 8

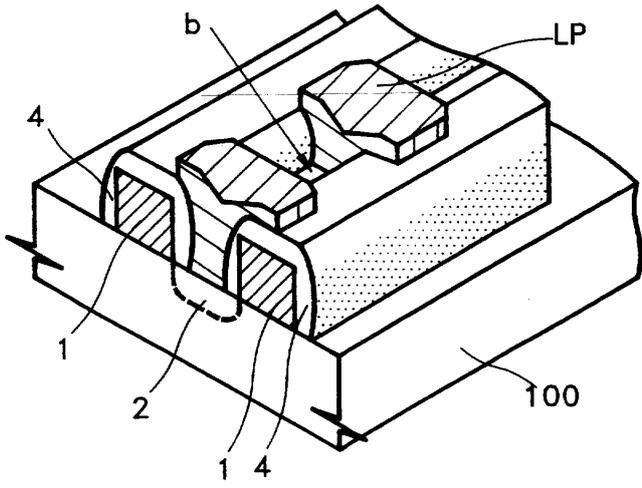
제7항에 있어서, 상기 도전층에 대한 에치 백 공정 대신에 CMP 공정을 적용하는 것을 특징으로 하는 랜딩 패드 형성방법.

도면

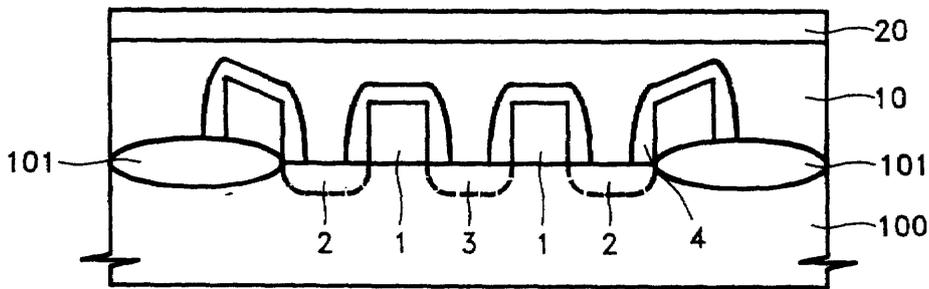
도면 1a



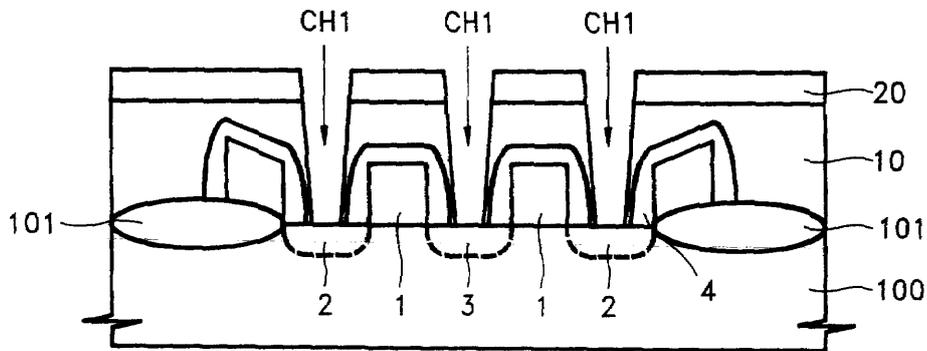
도면1b



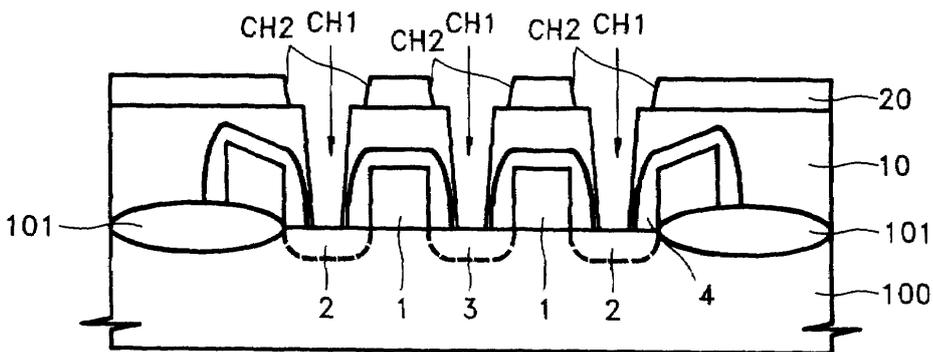
도면2a



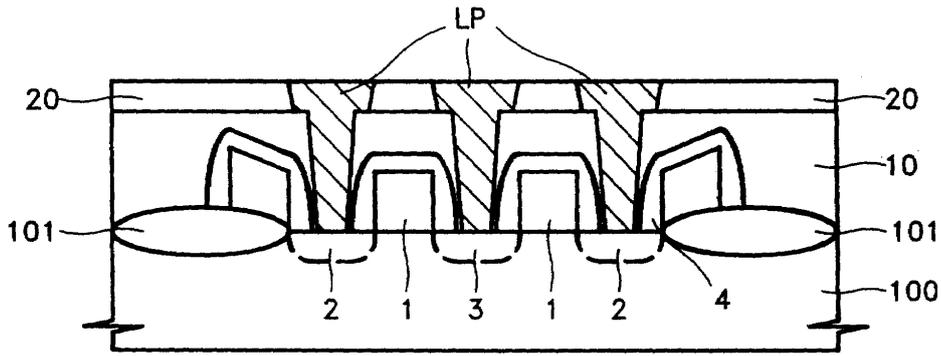
도면2b



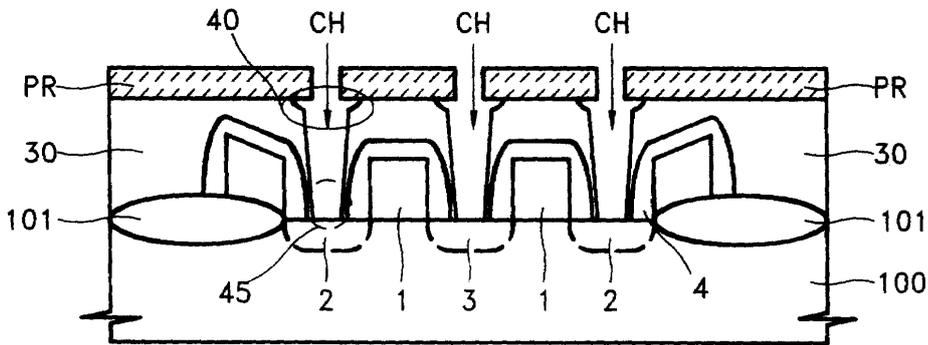
도면2c



도면2d



도면3a



도면3b

