



(12) 发明专利

(10) 授权公告号 CN 108170367 B

(45) 授权公告日 2021.04.20

(21) 申请号 201611114129.0

(22) 申请日 2016.12.07

(65) 同一申请的已公布的文献号
申请公布号 CN 108170367 A

(43) 申请公布日 2018.06.15

(73) 专利权人 瑞昱半导体股份有限公司
地址 中国台湾新竹市

(72) 发明人 张雅阁

(74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240

代理人 梁丽超 陈鹏

(51) Int. Cl.

G06F 3/06 (2006.01)

(56) 对比文件

CN 104079295 A, 2014.10.01

CN 103608782 A, 2014.02.26

US 2012226370 A1, 2012.09.06

审查员 孙阳丹

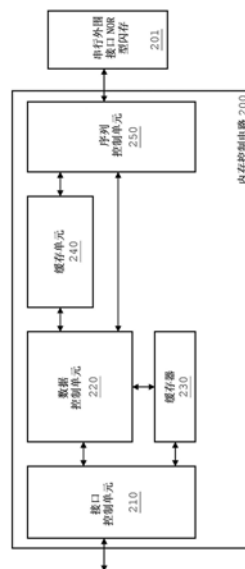
权利要求书2页 说明书4页 附图7页

(54) 发明名称

内存控制电路及其方法

(57) 摘要

一种内存控制电路及其方法。内存控制方法包括：传送第一频率至串行外围接口NOR型闪存；传输一读取指令至该串行外围接口NOR型闪存；等待一读取等待时间，其中该读取等待时间是与该串行外围接口NOR型闪存的规格及该第一频率的周期有关；等待一延迟时间，其中该延迟时间是与一延迟设定值及一第二频率的周期有关，该第一频率不等于该第二频率；接收该串行外围接口NOR型闪存所回传的一读取数据；以及依据该读取数据是否正确调整该延迟时间。本发明提升串行外围接口NOR型闪存的读取操作的稳定度，而且具有电路简单及可弹性调整等优点。



1. 一种内存控制电路,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该内存控制电路包括:

一接口控制单元,用来接收一第二频率;

一序列控制单元,耦接该接口控制单元且根据该第二频率动作,用来传送该第一频率及一读取指令至该串行外围接口NOR型闪存,并且接收一读取数据;以及

一数据控制单元,耦接该接口控制单元及该序列控制单元,用来根据一延迟设定值控制该序列控制单元于接收该读取数据前等待一预设时间;

其中,该预设时间包含一延迟时间及该串行外围接口NOR型闪存所要求的一读取等待时间,该读取等待时间为该第一频率的周期的倍数,该延迟时间为该第二频率的周期的倍数,且该第一频率不等于该第二频率。

2. 如权利要求1所述的内存控制电路,其中该第二频率的频率是该第一频率的N倍,N为大于等于二的整数。

3. 如权利要求2所述的内存控制电路,其中该第一频率是由外部提供,或由该接口控制单元根据该第二频率产生。

4. 如权利要求1所述的内存控制电路,其中该接口控制单元还接收一预期读取数据长度,该数据控制单元是根据该预期读取数据长度判断该读取数据是否已接收完毕。

5. 一种内存控制方法,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该方法包括:

接收一第二频率;

传送该第一频率及一读取指令至该串行外围接口NOR型闪存;

在接收一读取数据前,根据一延迟设定值等待一预设时间;以及

接收该读取数据;

其中,该预设时间包含一延迟时间及该串行外围接口NOR型闪存所要求之一读取等待时间,该读取等待时间为该第一频率的周期的倍数,该延迟时间为该第二频率的周期的倍数,该第一频率不等于该第二频率。

6. 如权利要求5所述的方法,还包括:

根据该第二频率产生该第一频率,其中该第二频率的频率是该第一频率的N倍,N为大于等于二的整数。

7. 如权利要求5所述的方法,还包括:

根据一预期读取数据长度判断该读取数据是否已接收完毕。

8. 一种内存控制方法,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该方法包括:

传送该第一频率至该串行外围接口NOR型闪存;

传输一读取指令至该串行外围接口NOR型闪存;

等待一读取等待时间,其中该读取等待时间是与该串行外围接口NOR型闪存的规格及该第一频率的周期有关;

等待一延迟时间,其中该延迟时间是与一延迟设定值及一第二频率的周期有关,该第一频率不等于该第二频率;

接收该串行外围接口NOR型闪存所回传的一读取数据;以及

调整该延迟时间。

9. 如权利要求8所述的方法,还包括:

根据该第二频率产生该第一频率,其中该第二频率的频率是该第一频率的N倍,
N为大于等于二的整数。

10. 如权利要求8所述的方法,还包括:

接收一预期读取数据长度;以及

根据该预期读取数据长度判断该读取数据是否已接收完毕。

内存控制电路及其方法

技术领域

[0001] 本发明是关于内存控制电路,尤其是关于串行外围接口(serial peripheral interface,SPI)NOR型闪存(NOR flash)的控制电路及方法。

背景技术

[0002] 图1为已知串行外围接口NOR型闪存的一种应用电路的示意图。系统单芯片30及串行外围接口NOR型闪存20设置于电路板10上。系统单芯片30利用内存控制电路31存取串行外围接口NOR型闪存20的数据。因为系统单芯片30与串行外围接口NOR型闪存20之间的绕线41可能导致数据延迟,所以系统单芯片30还包括中介电路32来解决因为电路板上的绕线41所产生的数据不同步的问题。如此一来,设计系统单芯片30时只需要考虑芯片内的绕线42所引起的数据延迟。然而中介电路32却可能造成系统单芯片30的电路面积增大及成本增加等额外负担。

发明内容

[0003] 鉴于现有技术的不足,本发明之一目的在于提供一种内存控制电路及其方法,以克服串行外围接口NOR型闪存的读取延迟。

[0004] 本发明公开了一种内存控制电路,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该内存控制电路包括:一接口控制单元,用来接收一第二频率;一序列控制单元,耦接该接口控制单元且根据该第二频率动作,用来传送该第一频率及一读取指令至该串行外围接口NOR型闪存,并且接收一读取数据;以及一数据控制单元,耦接该接口控制单元及该序列控制单元,用来根据一延迟设定值控制该序列控制单元在接收该读取数据前等待一预设时间;其中,该预设时间包含一延迟时间及该串行外围接口NOR型闪存所要求之一读取等待时间,该读取等待时间为该第一频率的周期的倍数,该延迟时间为该第二频率的周期的倍数,且该第一频率不等于该第二频率。

[0005] 本发明还公开了一种内存控制方法,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该方法包括:接收一第二频率;传送该第一频率及一读取指令至该串行外围接口NOR型闪存;在接收一读取数据前,根据一延迟设定值等待一预设时间;以及接收该读取数据;其中,该预设时间包含一延迟时间及该串行外围接口NOR型闪存所要求之一读取等待时间,该读取等待时间为该第一频率的周期的倍数,该延迟时间为该第二频率的周期的倍数,该第一频率不等于该第二频率。

[0006] 本发明还公开了一种内存控制方法,用来控制一串行外围接口NOR型闪存,该串行外围接口NOR型闪存根据一第一频率动作,该方法包括:传送该第一频率至该串行外围接口NOR型闪存;传输一读取指令至该串行外围接口NOR型闪存;等待一读取等待时间,其中该读取等待时间是与该串行外围接口NOR型闪存的规格及该第一频率的周期有关;等待一延迟时间,其中该延迟时间是与一延迟设定值及一第二频率的周期有关,该第一频率不等于该第二频率;接收该串行外围接口NOR型闪存所回传之一读取数据;以及依据该读取数据是否

正确调整该延迟时间。

[0007] 本发明的内存控制电路及其方法能够适应性决定一延迟时间,以补偿电路板上及/或芯片内部的绕线所造成的信号延迟。相较于习知方法,本发明不需额外的电路即可提升串行外围接口NOR型闪存的读取操作的稳定度,而且具有电路简单及可弹性调整等优点。

[0008] 有关本发明的特征、实际操作与功效,将配合附图作实施例详细说明如下。

附图说明

[0009] 图1为已知串行外围接口NOR型闪存的一种应用电路的示意图;

[0010] 图2为本发明内存控制电路的一实施例的功能框图;

[0011] 图3为对应数据读取操作的时序图;

[0012] 图4为本发明的内存控制方法的校正流程的一实施例的流程图;

[0013] 图5为本发明的内存控制方法的校正流程的另一实施例的流程图;

[0014] 图6为本发明的内存控制方法的一般操作流程的一实施例的流程图;以及

[0015] 图7为本发明的内存控制方法的一般操作流程的另一实施例的流程图。

具体实施方式

[0016] 以下说明内容的技术用语是参照本技术领域的习惯用语,如本说明书对部分用语有加以说明或定义,该部分用语的解释是以本说明书的说明或定义为准。

[0017] 本发明的公开内容包括内存控制电路及其方法。由于本发明的内存控制电路所包括的部分组件单独而言可能为已知组件,因此在不影响该装置发明的充分公开及可实施性的前提下,以下说明对于已知组件的细节将予以节略。此外,本发明的内存控制方法的部分或全部流程可以是软件及/或固件的形式,并且可借由本发明的内存控制电路或其等效装置来执行,在不影响该方法发明的充分公开及可实施性的前提下,以下方法发明的说明将着重于步骤内容而非硬件。

[0018] 图2为本发明所提出的内存控制电路的一实施例的功能框图,其中内存控制电路200可执行校正流程及一般操作流程。图3为对应图2的数据读取操作的时序图。图4为本发明的内存控制方法的校正流程之一实施例的流程图。内存控制电路200包括接口控制单元210、数据控制单元220、缓存器230、缓存单元240以及序列控制单元250。请一并参阅图2、图3及图4,接口控制单元210接收工作频率BUS_CLK(步骤S410)。工作频率BUS_CLK例如是由内存控制电路200所在的系统单芯片的锁相回路产生。接口控制单元210、数据控制单元220及序列控制单元250依据工作频率BUS_CLK动作。序列控制单元250依据工作频率BUS_CLK产生串行外围接口NOR型闪存201所需的内存频率SPI_CLK(步骤S420),并将内存频率SPI_CLK传送至串行外围接口NOR型闪存(步骤S430)。详言之,序列控制单元250包括除频电路(图未示),该除频电路将工作频率BUS_CLK除以N(N大于等于2)以得到内存频率SPI_CLK。串行外围接口NOR型闪存201依据内存频率SPI_CLK动作。接下来数据控制单元220决定一延迟设定值(步骤S440),此延迟设定值可以是数据控制单元220以软件/固件的方式自行产生,或是使用者输入(经由接口控制单元210储存至缓存器230)。接下来数据控制单元220通过序列控制单元250传送读取指令(经由SPI_SI信号)至串行外围接口NOR型闪存201(步骤S450)。如图3所示,数据控制单元220于时间T1发送读取命令Read_cmd,并且于读取指令传送完毕

后(时间T2)立即发送读取地址Addr(读取命令Read_cmd及读取地址Addr合称为读取指令)。读取地址Addr于时间T3传送完毕。

[0019] 依据串行外围接口NOR型闪存201规格的定义,于传送完读取指令后,根据特定指令,内存控制电路200需等待一读取等待时间310后才能够开始接收串行外围接口NOR型闪存201所传送的读取数据SPI_S0(步骤S462),因此理想上内存控制电路200在读取等待时间310结束(时间T4)时即可收到读取数据SPI_S0。举例来说,串行外围接口NOR型闪存201的规格可能规范读取等待时间310为内存频率SPI_CLK的周期的K倍,K为整数。然而因为电路板上及/或芯片内部的信号延迟,延迟后的读取数据SPI_S0_delay于时间T5之后才到达。为了克服数据延迟,数据控制单元220依据延迟设定值及工作频率BUS_CLK控制序列控制单元250额外等待一段延迟时间320(步骤S464)。也就是说,序列控制单元250于传送完读取指令后,共等待了一预设时间(等于读取等待时间310与延迟时间320的总和)(步骤S460)才开始接收读取数据。序列控制单元250以位为单位接收读取数据,并将其存放于缓存单元240,之后数据控制单元220以字节为单元从缓存单元240中取得读取数据(步骤S470)。数据控制单元220依据预期读取数据长度判断读取数据是否已接收完毕,并于接收完毕时将读取数据与正确数据做比对(步骤S480)。预期读取数据长度与读取命令Read_cmd有关。在一个实施例中,读取命令Read_cmd及预期读取数据长度由内存控制电路200的外部输入;在另一个实施例中,读取命令Read_cmd及预期读取数据长度内建于内存控制电路200中,例如读取串行外围接口NOR型闪存201的固定长度设备码(device ID)的读取命令(Read ID)。缓存单元240例如是一个先进先出缓存器,但不以此为限。

[0020] 如果读取资料正确,表示当下的延迟时间320可以克服电路板上及/或芯片内部的信号延迟,因此数据控制单元220记下对应当下的延迟时间320的延迟设定值(步骤S490),以供之后内存控制电路200在一般操作模式下使用。反之,如果读取数据不正确,则回到步骤S440决定另一延迟设定值(例如使延迟时间320增加x个工作频率BUS_CLK的周期,x为正整数),并且再次执行步骤S450~S480。以图3为例,最终数据控制单元220决定延迟时间320为工作频率BUS_CLK周期的2倍(即延迟设定值可决定为2),之后的数据读取程序于时间T6开始,以确保正确地接收数据。请注意,延迟设定值亦可决定为3,亦即之后的数据读取程序在时间T7开始。图3的信号SPI_CSN为芯片选择信号,用来选取串行外围接口NOR型闪存201的某个特定模块。

[0021] 在不同的实施例中,内存频率SPI_CLK可以由内存控制电路200的外部提供(例如同样由前述的锁相回路产生),而非由序列控制单元250除频产生,因此序列控制单元250可以省略除频电路。图5为本发明的内存控制方法的校正流程的另一实施例的流程图。内存控制电路200通过接口控制单元210接收工作频率BUS_CLK及内存频率SPI_CLK(步骤S510及S520),其余步骤与图4的流程相同,不再赘述。

[0022] 图6为本发明的内存控制方法的一般操作流程的一实施例的流程图。步骤S610~S630与步骤S410~S430相似或相同,不再赘述。在步骤S640中数据控制单元220通过序列控制单元250传送读取指令至串行外围接口NOR型闪存201。接下来数据控制单元220依据延迟设定值控制序列控制单元250于接收读取数据前等待一预设时间(步骤S650),例如通过一计数器(图未示)计数M个工作频率BUS_CLK,M即为延迟设定值。预设时间包括图3的读取等待时间310及延迟时间320。到达预设时间后,数据控制单元220控制序列控制单元250开始

接收读取数据(步骤S660)。

[0023] 图7为本发明的内存控制方法的一般操作流程的另一实施例的流程图。其是对应图5的校正流程,因此与图6的差别只在步骤S720中内存控制电路200是接收内存频率SPI_CLK,而非自行产生,其余步骤与图6相同,不再赘述。

[0024] 当内存控制电路200与串行外围接口NOR型闪存201之间的绕线长度改变时,本发明只需执行一次校正程序来找出较佳延迟设定值即可克服信号延迟。因此本发明在操作上具有弹性。再者,因为工作频率BUS_CLK的频率高于内存频率SPI_CLK的频率,且延迟时间是根据工作频率BUS_CLK产生,所以延迟时间的精准度较读取等待时间来得高。而且当工作频率BUS_CLK的频率与内存频率SPI_CLK的频率的比值愈大,前述的预设时间可以得到愈精细的调整。

[0025] 请注意,前述公开的图标中,组件的形状、尺寸、比例以及步骤的顺序等仅为示意,是供本技术领域具有通常知识者了解本发明之用,非用以限制本发明。另外,前述公开的实施例虽以单口(single port)串行外围接口NOR型闪存为例,然此并非对本发明的限制,本技术领域人士可依本发明的公开适当地将本发明应用于其它类型的串行外围接口NOR型闪存,例如多口(multi-port)串行外围接口NOR型闪存。

[0026] 虽然本发明的实施例如上所述,然而该些实施例并非用来限定本发明,本技术领域具有通常知识者可依据本发明的明示或隐含的内容对本发明的技术特征施以变化,凡此种种变化均可能属于本发明所寻求的专利保护范畴,换言之,本发明的专利保护范围须视本说明书的申请专利范围所界定者为准。

[0027] **【符号说明】**

[0028] 10 电路板

[0029] 20、201 串行外围接口NOR型闪存

[0030] 30 系统单芯片

[0031] 31 内存控制电路

[0032] 32 中介电路

[0033] 41、42 绕线

[0034] 200 内存控制电路

[0035] 210 接口控制单元

[0036] 220 数据控制单元

[0037] 230 缓存器

[0038] 240 缓存单元

[0039] 250 序列控制单元

[0040] 310 读取等待时间

[0041] 320 延迟时间

[0042] S410~S490、S510~S590、S610~S660、S710~S760 步骤。

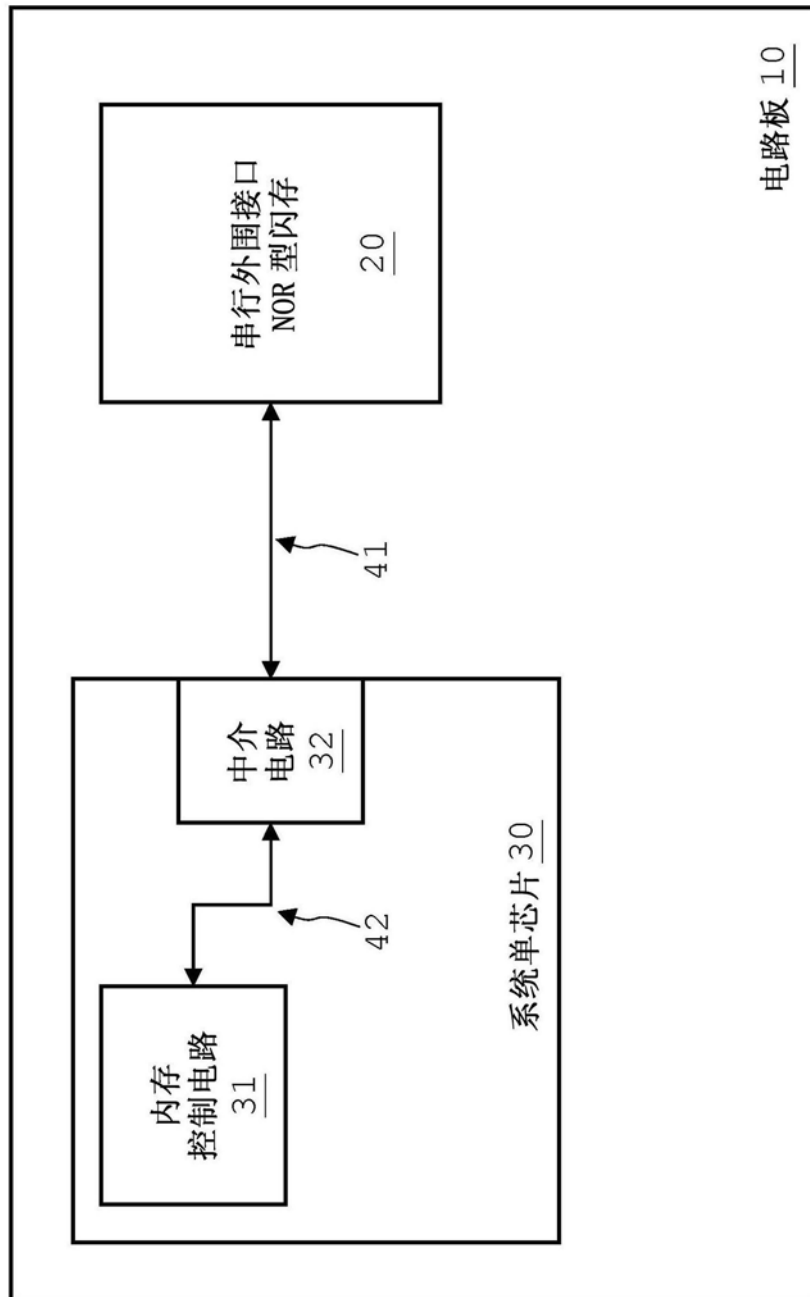


图1

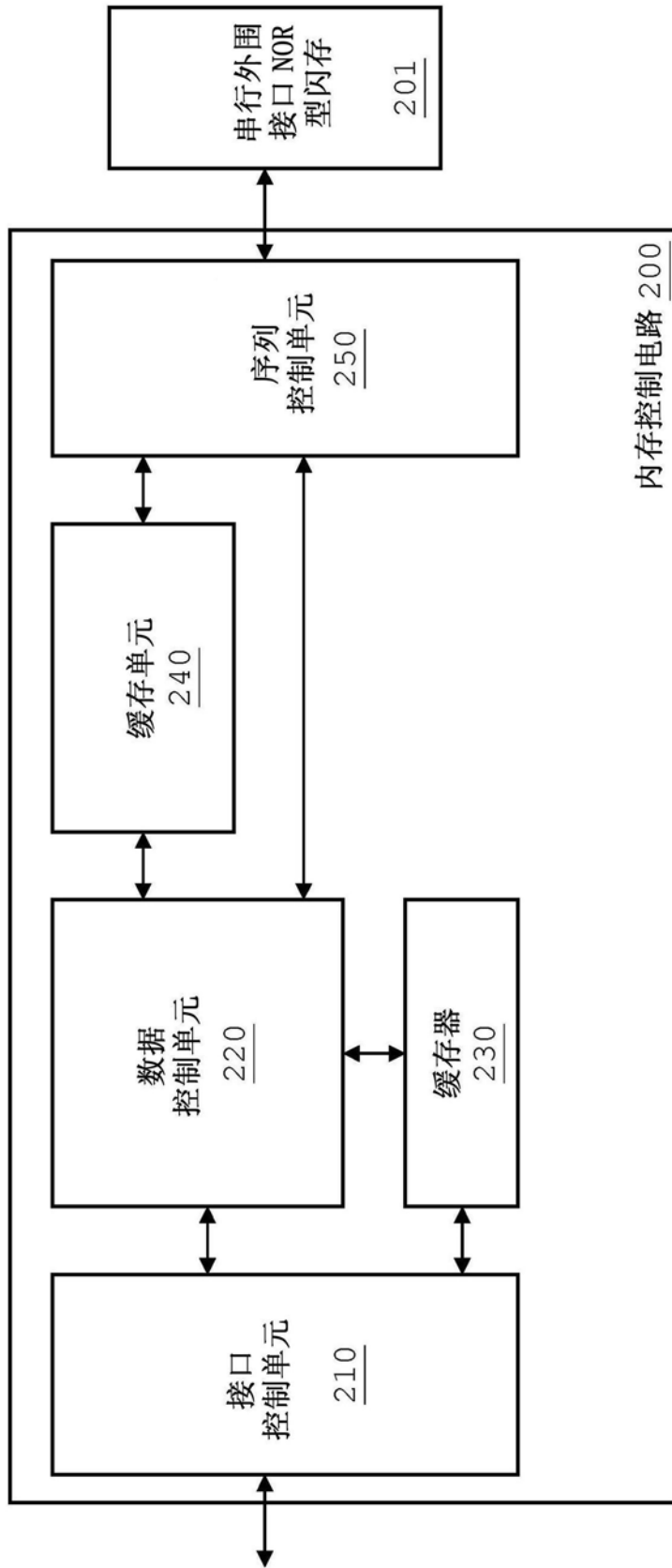


图2

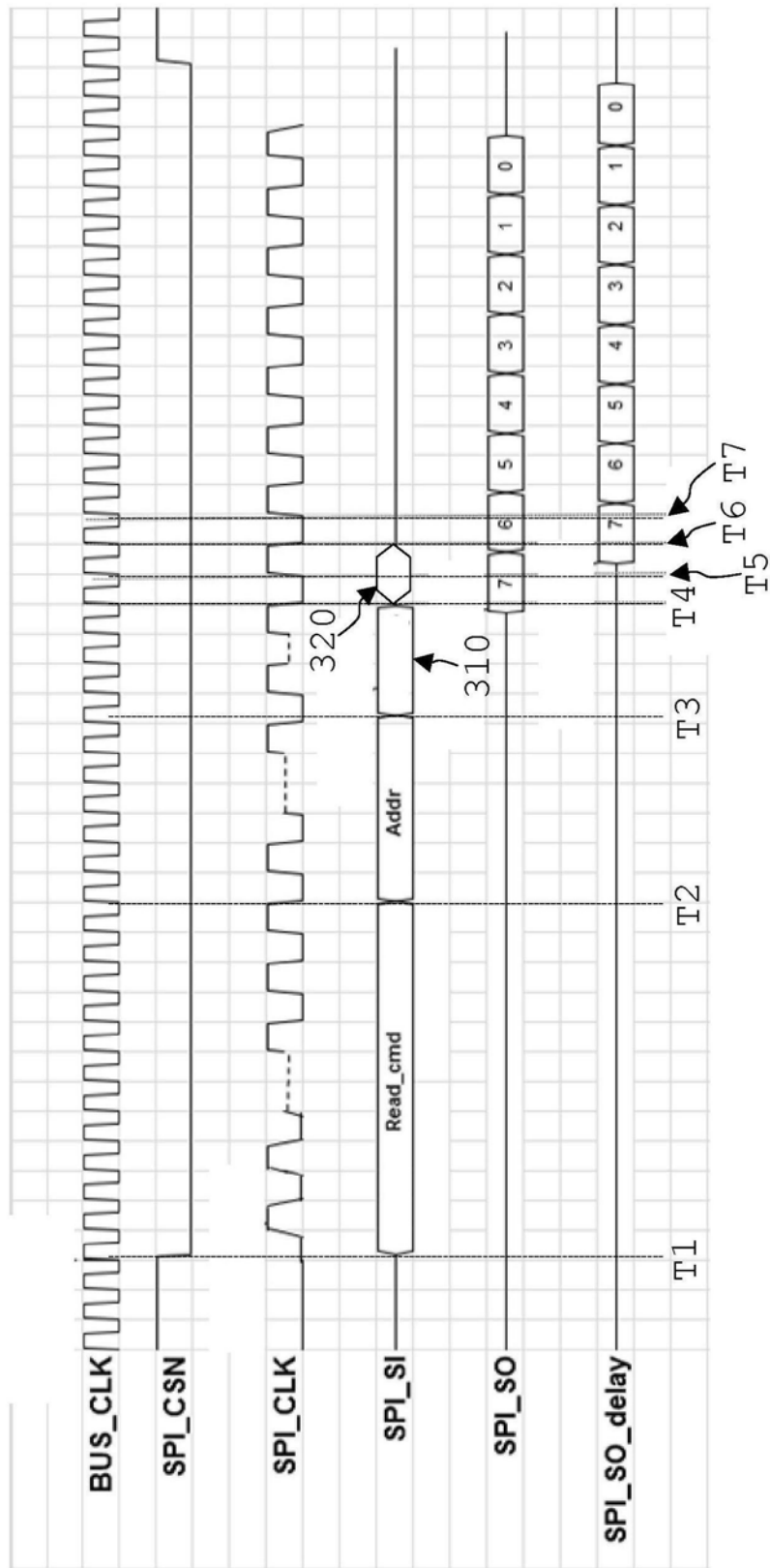


图3

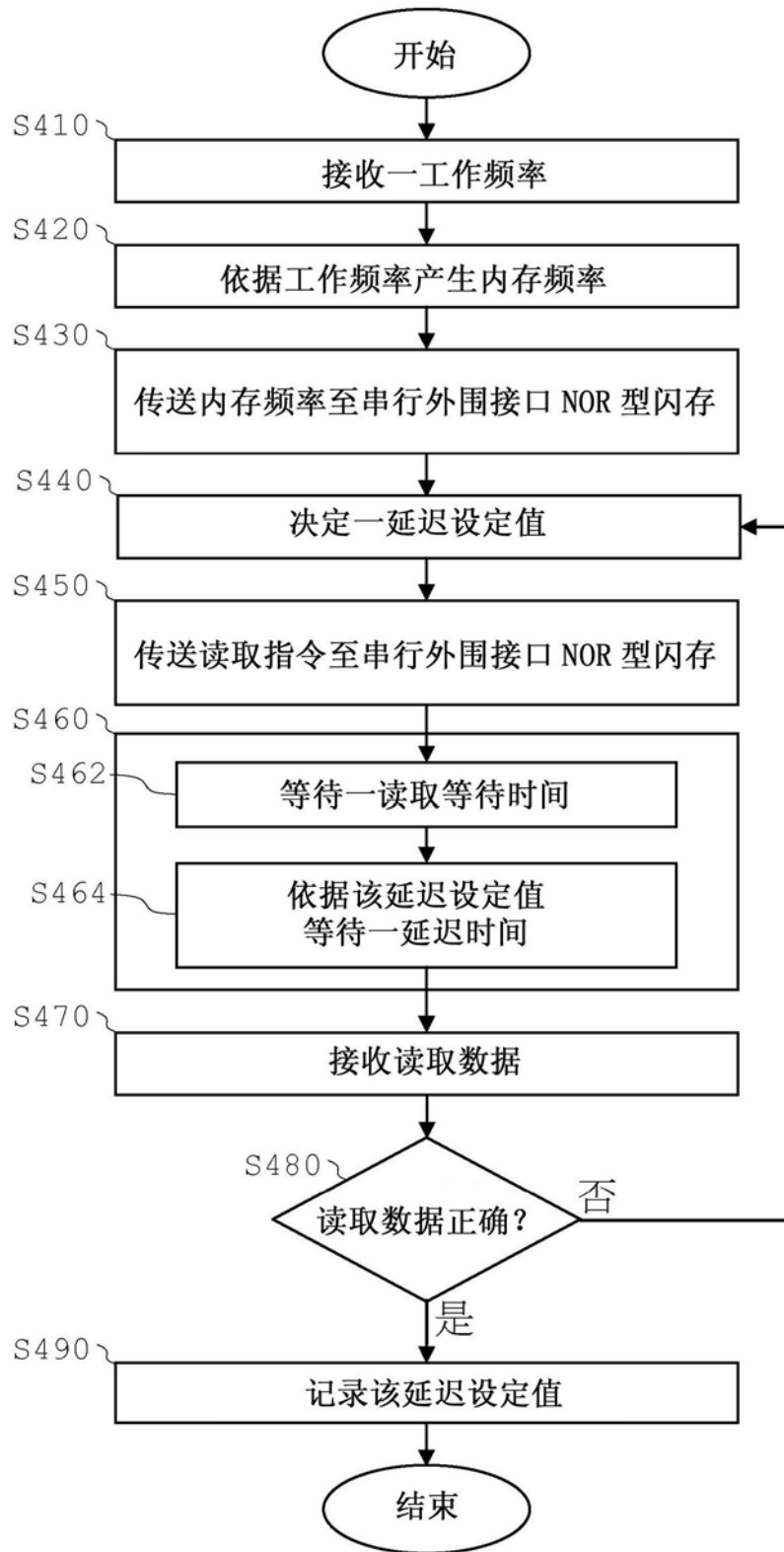


图4

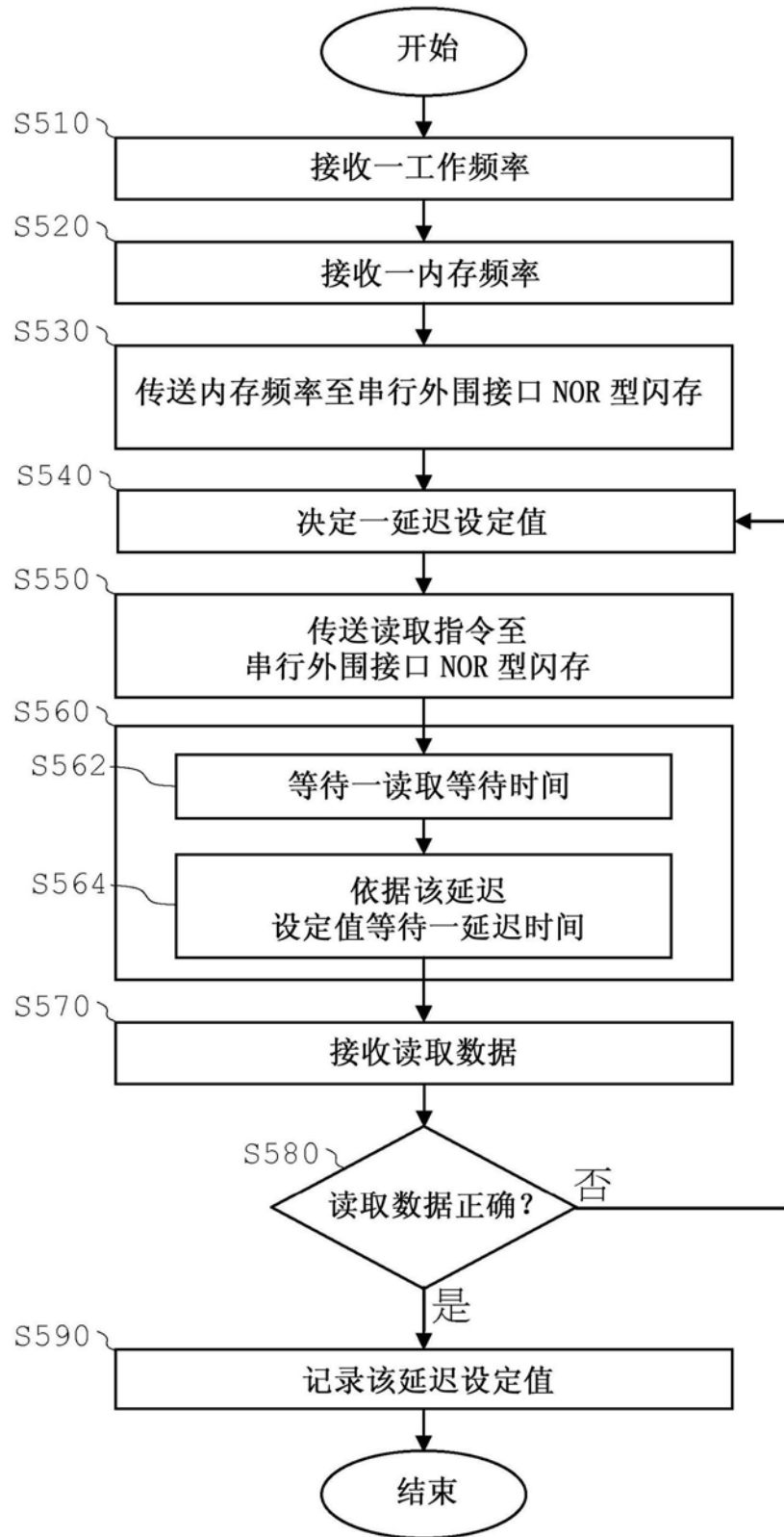


图5

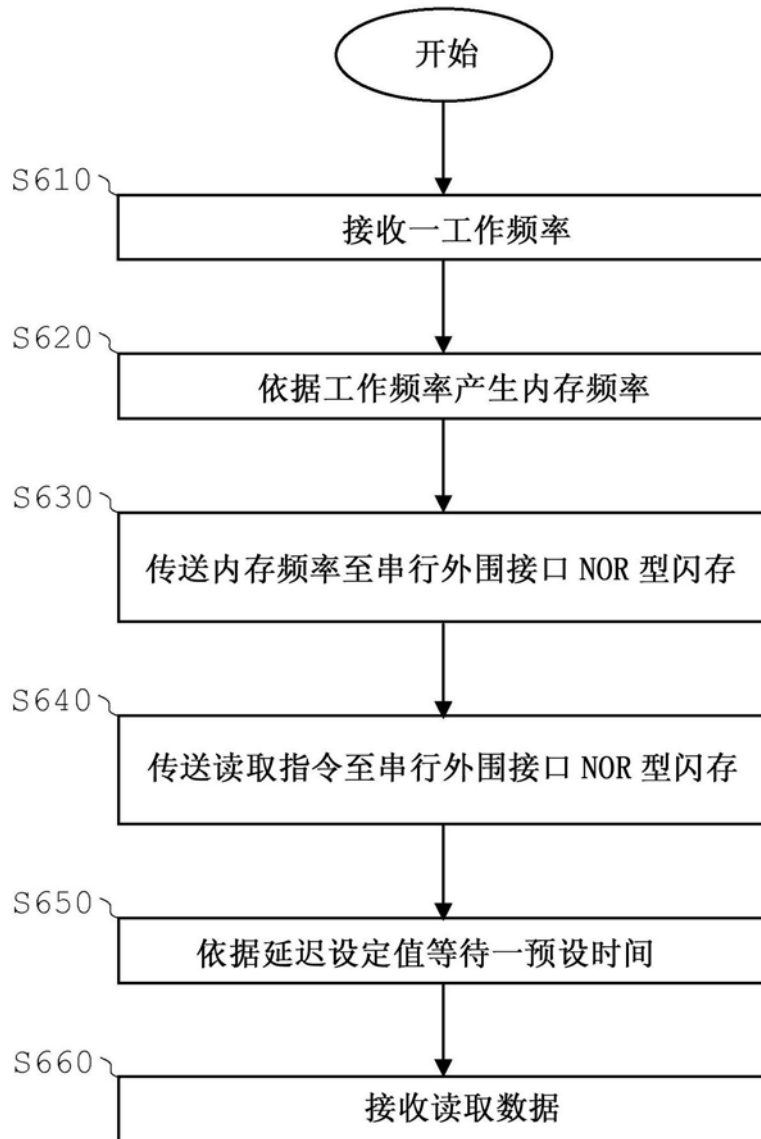


图6

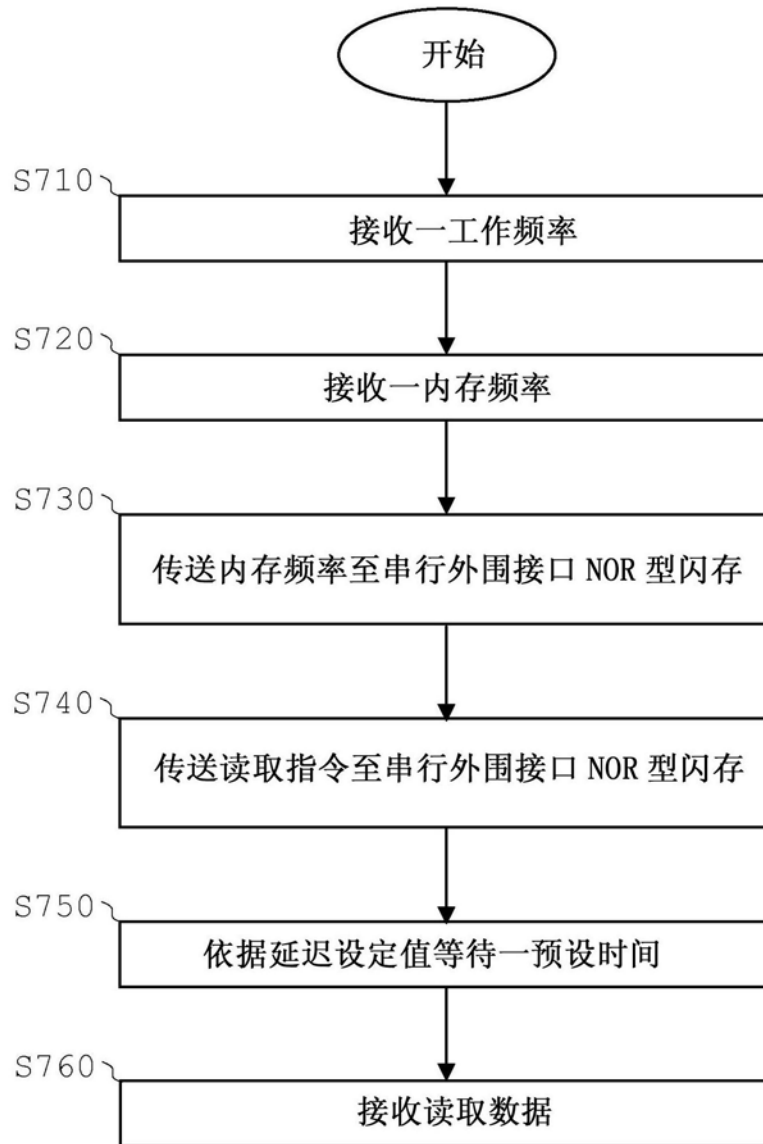


图7