

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4541421号
(P4541421)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int. Cl.

F I

| | | | | | |
|-------------|---------------|------------------|------|--------|------|
| GO2F | 1/1368 | (2006.01) | GO2F | 1/1368 | |
| GO9F | 9/30 | (2006.01) | GO9F | 9/30 | 338 |
| HO1L | 21/336 | (2006.01) | GO9F | 9/30 | 390Z |
| HO1L | 29/786 | (2006.01) | HO1L | 29/78 | 612D |
| | | | HO1L | 29/78 | 619A |

請求項の数 8 (全 34 頁)

(21) 出願番号 特願2007-557750 (P2007-557750)
 (86) (22) 出願日 平成18年12月5日(2006.12.5)
 (86) 国際出願番号 PCT/JP2006/324267
 (87) 国際公開番号 W02007/108181
 (87) 国際公開日 平成19年9月27日(2007.9.27)
 審査請求日 平成19年10月26日(2007.10.26)
 審判番号 不服2008-32119 (P2008-32119/J1)
 審判請求日 平成20年12月18日(2008.12.18)
 (31) 優先権主張番号 特願2006-71869 (P2006-71869)
 (32) 優先日 平成18年3月15日(2006.3.15)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2006-199835 (P2006-199835)
 (32) 優先日 平成18年7月21日(2006.7.21)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 津幡 俊英
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 武内 正典
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 液晶表示装置、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

1つの画素に相対的に高輝度な領域と低輝度な領域とを形成することによって中間調を表示する液晶表示装置であって、

上記画素に設けられ、トランジスタに接続される画素電極と、導電体とが絶縁膜を介して重なることで容量が形成され、

上記絶縁膜は、複数の絶縁層からなる非薄膜部と、該複数の絶縁層の少なくとも1つが除去されてなる薄膜部とを有し、該薄膜部は導電体上に形成されるとともに、該薄膜部を取り囲むように非薄膜部が形成され、かつ該非薄膜部および薄膜部それぞれと重なるように上記画素電極が形成され、

上記非薄膜部の膜厚と薄膜部の膜厚との差は、薄膜部の膜厚よりも大きく、上記容量の容量値は、上記導電体、薄膜部および画素電極の重畳部分で支配的に決定されることを特徴とする液晶表示装置。

【請求項2】

隣接する2つの画素の一方に設けられる画素電極と他方に設けられる画素電極とが、上記絶縁膜の同一の薄膜部と重なっていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

上記導電体は保持容量配線の一部であることを特徴とする請求項1に記載の液晶表示装置。

【請求項 4】

上記トランジスタは走査信号線とデータ信号線とに接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

同一トランジスタに接続される上記画素電極および走査信号線が一部重なっていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

同一トランジスタに接続される上記画素電極およびデータ信号線が一部重なっていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 7】

上記絶縁膜では、非薄膜部において S O G (スピンオンガラス) 材料からなる絶縁層が含まれる一方、薄膜部においては該 S O G 材料からなる絶縁層が除去されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えていることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置等の表示装置に用いられるアクティブマトリクス基板に関する。

【背景技術】

【0002】

従来のアクティブマトリクス基板の平面図を図 30 (特許文献 1 参照) に示す。同図に示されるように、各画素領域 750 において、その画素電極 751 の周囲を、走査信号を供給するための走査信号線 752 と、データ信号を供給するためのデータ信号線 753 とが互いに交差するように設けられている。また、これらの走査信号線 752 とデータ信号線 753 との交差部には、T F T (Thin Film Transistor : 薄膜トランジスタ) 754 が設けられている。T F T 754 のゲート電極 755 には走査信号線 752 が接続されており、走査信号が入力されることによって T F T 754 の O N / O F F が制御される。また、T F T 754 のソース電極 766 にはデータ信号線 753 が接続されており、データ信号が入力される。さらに、T F T 754 のドレイン電極 777 にはドレイン引き出し配線 756 が接続されている。

【0003】

さらに、T F T オフ時の液晶層の自己放電や T F T のオフ電流による画像信号の劣化を防止するため、画素領域 750 には、例えば環状に保持容量配線 759 が形成される。この保持容量配線 759 は、図 30 に示されるように、画素電極 751 のエッジと重畳するように設けられる。T F T 754 のドレイン電極 777 は画素電極 751 に接続され、画素電極 751 と保持容量配線 759 との間で保持容量が形成される。

【特許文献 1】日本国公開特許公報「特開平 6 - 301059 号公報 (1994 年 10 月 28 日公開) 」

【特許文献 2】日本国公開特許公報「特開平 7 - 287252 号公報 (1995 年 10 月 31 日公開) 」

【特許文献 3】日本国公開特許公報「特開 2004 - 78157 号公報 (2004 年 3 月 11 日公開) 」

【特許文献 4】日本国公開特許公報「特開平 6 - 332009 号公報 (1994 年 12 月 2 日公開) 」

【特許文献 5】日本国再公表特許「W O 97 / 00463 (1997 年 1 月 3 日国際公開) 」

【発明の開示】

10

20

30

40

50

【 0 0 0 4 】

ところで、アクティブマトリクス基板が大型化した近年では、1つの層（レイヤー）を形成するためのフォトリソグラフィ工程において、露光処理が複数回に分けて行われる。大型の基板全体を同時露光することは困難だからである。この場合、各露光処理で露光量が変化し、レジストパターンの線幅がばらつく、あるいはアライメントがずれるといった問題が生じる。レジストパターンの線幅のばらつき（例えば、保持容量配線やこれと容量を形成する電極の線幅のばらつき）は、保持容量の容量値のばらつきとなり、表示品位に影響する。図30の構成では、保持容量配線759および画素電極751の仕上がり（線幅やアライメント）がばらつくと、表示品位に影響する。

【 0 0 0 5 】

また、上記特許文献2には、図31(a)および図31(b)に示されるように、ソースライン910とゲートライン909の交差領域のみ、薄い層間絶縁膜941および厚い層間絶縁膜942の多層構造とし、他の部分は薄い層間絶縁膜941だけとする構成が開示されている。この構成においても、電荷蓄積用コンデンサの一方の電極912（もう一方の電極は画素電極911）上は、全体にわたって薄い層間絶縁膜941のみが設けられた構成となっているため、電極912の幅がばらつくと電荷蓄積用コンデンサの容量値が変化してしまう。

【 0 0 0 6 】

さらに、近年、保持容量配線の電位を外部から制御することによって1つの画素内に輝度の異なる領域（複数の副画素）を形成する構成が注目されている（例えば、上記特許文献3参照）。この構成では、保持容量を画素電極電位の制御用容量としても利用する。また、上記特許文献4・5には、複数の画素電極それぞれに、絶縁層を介して対向するコンデンサ電極を設け、各画素電極を容量結合することによって、画素電極ごとに異なる比率で電圧を印加する構成も開示されている。この構成でも、コンデンサを画素電極電位の制御用容量として利用する。これらの構成においては、保持容量あるいは画素電極の電位制御用容量の容量値ばらつきが表示品位の低下を招来する。

【 0 0 0 7 】

本発明は、上記課題に鑑みてなされたものであり、その目的は、基板に設けられる容量（例えば、保持容量や画素電極の電位制御用容量、あるいはそれらを兼用する容量）の容量値ばらつきを低減できるアクティブマトリクス基板を提供する点にある。

【 0 0 0 8 】

本発明に係るアクティブマトリクス基板は、隣り合う2つの画素領域の一方に形成され、トランジスタに接続された画素電極と、上記2つの画素領域の他方に形成され、上記トランジスタとは異なるトランジスタに接続された画素電極と、導電体とを備え、上記導電体が、これを覆う絶縁膜のみを介して上記2つの画素電極それぞれと重なることで、該導電体と各画素電極との間に容量が形成され、上記絶縁膜は、導電体上に、薄膜部と、該薄膜部を取り囲み、該薄膜部よりも膜厚の大きな非薄膜部とを有し、上記薄膜部の上面が上記2つの画素電極それぞれと接するとともに、非薄膜部の上面も上記2つの画素電極それぞれと接していることを特徴とする。

【 0 0 0 9 】

上記容量は、例えば、保持容量や画素電極電位の制御用容量あるいはこれらを兼用する容量として用いられる。

【 0 0 1 0 】

上記構成においては、上記導電体と各画素電極（容量電極）との間に配される絶縁膜に、周囲より膜厚の小さくなった薄膜部を設ける。これにより、導電体と容量電極との重畳部分全体で容量値が決定される従来の構成と異なり、上記容量の容量値を、導電体と容量電極と薄膜部との重畳部分で支配的に決定できるようになる。

【 0 0 1 1 】

ここで、上記薄膜部は、絶縁膜の導電体上領域の中に設けられるため、導電体（例えば、保持容量配線）は、薄膜部に対してずれマージンをもつことになる。したがって、導電

10

20

30

40

50

体の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部にかからない範囲であれば容量値はほとんど変化しない。

【0012】

このように、本アクティブマトリクス基板によれば、上記容量（保持容量や画素電極の電位制御用容量あるいはそれらの兼用容量等として設けられる容量）の容量値が基板内ではばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。

【0013】

本アクティブマトリクス基板においては、上記薄膜部は、導電体上領域の中央部分に局所的に形成されていることが好ましい。こうすれば、導電体の薄膜部に対するずれマージンを拡大させることができる。

10

【0014】

本アクティブマトリクス基板においては、上記導電体は保持容量配線の一部であっても良い。

【0015】

本アクティブマトリクス基板においては、上記ゲート絶縁膜は複数のゲート絶縁層からなり、上記薄膜部においては少なくとも1つのゲート絶縁層が薄く形成されていても構わない。

【0016】

本アクティブマトリクス基板においては、上記ゲート絶縁膜は複数のゲート絶縁層からなり、薄膜部において1以上のゲート絶縁層を有し、他の部分においてそれより多いゲート絶縁層を有する構成とすることもできる。この場合、有機物を含むゲート絶縁層を備えて構成しても良い。また、少なくとも1つのゲート絶縁層が平坦化膜としても良い。こうすれば、走査信号線およびデータ信号線の交差部の段差が小さくなり、データ信号線が走査信号線を乗り越える段差が軽減されるため、信号線交差部におけるデータ信号線の断線が発生し難くなる。また、例えば、ゲート絶縁層の1つにSiNx（窒化シリコン）膜を用いる場合、ゲート電極のテーパ部における緻密さがその他の領域より低下（膜質が低下）し、静電気によるSiNxの破壊が発生しやすい。ここで、複数のゲート絶縁層のいずれかに平坦化膜を用いれば、上記テーパ部においても絶縁膜の厚みを確保することができ、SiNx膜の破壊を防止できる。

20

30

【0017】

本アクティブマトリクス基板においては、上記ゲート絶縁膜が有機物を含むゲート絶縁層を備えても良い。この場合、この有機物を含むゲート絶縁層の厚みが、1.0〔 μm 〕以上5.0〔 μm 〕以下であることが好ましい。

【0018】

また、上記他の部分においては、最下層のゲート絶縁層を平坦化膜とすることが好ましい。さらに、上記平坦化膜の基板面に接する部分の厚みが、基板面に形成されるゲート電極の厚みよりも大きいことが好ましい。こうすれば、平坦化効果が向上し、各信号線間短絡の発生を一層抑制することができる。また、データ信号線の断線もより発生し難くなる。

40

【0019】

また、この最下層のゲート絶縁層を、スピノングラス（SOG）材料からなる平坦化膜（SOG膜）とすることが好ましい。こうすれば、第1ゲート絶縁層としてのSOG膜上に、第2の絶縁層、高抵抗半導体層、および低抵抗半導体層をCVD法などにより連続して成膜することができる。これにより、製造工程の短縮が可能となる。この場合、上記薄膜部ではSOG膜を抜いておき、他の部分の最下層にSOG膜を形成する構成とすることもできる。また、ゲート絶縁膜における上記薄膜部のエッジ近傍を順テーパ形状とすれば、その上層に形成される各電極が断線しにくくなる。

【0020】

また、本アクティブマトリクス基板においては、ゲート絶縁膜上にトランジスタのチャ

50

ネル部分を覆う第1の層間絶縁膜が設けられ、薄膜部以外の部分におけるゲート絶縁膜および第1の層間絶縁膜の厚みの和が、 $1.65[\mu\text{m}]$ 以上 $5.65[\mu\text{m}]$ 以下であっても良い。

【0021】

本アクティブマトリクス基板は、上記絶縁膜が、膜厚が小さくなった部分以外でSOG(スピンオンガラス)材料からなる絶縁層を含む一方で、膜厚が小さくなった部分では該SOG材料からなる絶縁層を含まない構成とすることができる。

【0022】

また、本発明の表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

10

【0023】

また、本発明のテレビジョン受像機は、上記表示装置と、テレビジョン放送を受信するチューナ部とを備えていることを特徴とする。

【0024】

以上のように、本アクティブマトリクス基板によれば、上記容量(保持容量や画素電極の電位制御用容量あるいはそれらの兼用容量等として設けられる容量)の容量値が基板内ではばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。

【発明を実施するための最良の形態】

【0025】

20

〔実施の形態1〕

本発明の実施の形態1について図1~図4および図9に基づいて説明すれば以下のとおりである。

【0026】

図1は、本実施の形態に係るアクティブマトリクス基板の概略構成を示す平面図である。同図に示されるように、本アクティブマトリクス基板はマルチピクセル駆動用であり、1つの画素領域10に、第1のTFT(薄膜トランジスタ)12a、第2のTFT12b、第1の画素電極17a、第2の画素電極17b、第1のコンタクトホール11a、および第2のコンタクトホール11bを備える。

【0027】

30

また、本アクティブマトリクス基板には、互いに直交するように図中左右方向に形成された走査信号線16および図中上下方向に形成されたデータ信号線15を備える。画素領域10内においては、上半分に第1の画素電極17aが設けられるとともに下半分に第2の画素電極17bが設けられ、中央部を走査信号線16が横切っている。この走査信号線16は、第1の画素電極17a(図1でいえば、第1の画素電極17aの下部)および第2の画素電極17b(図1でいえば、第2の画素電極17bの上部)に重畳する。また、データ信号線15は、第1および第2の画素電極(17a・17b)の左側エッジと重なるように形成されている。データ信号線15および走査信号線16の交点近傍には、第1および第2のTFT12a・12bが形成される。

【0028】

40

第1のTFT12aは、ソース電極9と第1のドレイン電極8aとを備え、そのゲート電極は走査信号線16の一部である。また、第1のTFT12bは、ソース電極9と第2のドレイン電極8bとを備え、そのゲート電極は走査信号線16の一部である。このように、第1および第2のTFT12a・12bは、ソース電極およびゲート電極を共有する。ソース電極9はデータ信号線15に接続され、第1のドレイン電極8aがコンタクトホール11aを介して画素電極17aに接続される。また、第2のドレイン電極8bがコンタクトホール11bを介して第2の画素電極17bに接続される。第1および第2の画素電極17a・17bはITO等の透明電極であり、本アクティブマトリクス基板下からの光(バックライト光)を透過させる。

【0029】

50

本アクティブマトリクス基板には、基板面上に形成され、図中左右方向に走る第1および第2の保持容量配線52a・52bを備える。第1の保持容量配線52aは、第1の画素電極17a（図1でいえば、第1の画素電極17aの上部）と重畳し、第2の保持容量配線52bは、第1の画素電極17b（図1でいえば、第2の画素電極17bの下部）と重畳している。

【0030】

そして、第1の画素電極17aは容量C1の一方電極として機能し、第1の保持容量配線52aは該容量C1の他方電極として機能する。同様に、第2の画素電極17bは容量C2の一方電極として機能し、第2の保持容量配線52bは該容量C2の他方電極として機能する。これら容量C1・C2はそれぞれ、保持容量および画素電極電位の制御用容量としての機能を兼ね備える。

10

【0031】

すなわち、本アクティブマトリクス基板では、データ信号線15からのデータ（信号電位）が、各TFT（12a・12b）の共通ソース電極9と、第1および第2のドレイン電極8a・8bとを介して、第1および第2の画素電極17a・17bそれぞれに与えられるが、第1および第2の保持容量配線52a・52bには互いに逆位相の信号電圧が印加されており、第1および第2の画素電極17a・17bそれぞれが異なる電位に制御される（後に詳述）。これにより、1つの画素10内に明るい領域と暗い領域とを形成でき、面積階調によって中間調を表現することができる。この結果、斜め視角における白浮きを改善できる等、表示品位を高められる。なお、保持容量とは、各画素電極（17a・17b）に次のデータ信号が入力されるまでの間、各画素電極（17a・17b）に書き込まれた電位を保持する補助的な容量である。

20

【0032】

アクティブマトリクス基板には走査信号線（各トランジスタのゲート電極）および保持容量配線を覆うゲート絶縁膜が設けられているため、ゲート絶縁膜は、第1の保持容量配線52aと重畳する第1の導電体上領域38aと、第2の保持容量配線52bと重畳する第2の導電体上領域38bとを有することになる。

【0033】

本実施の形態では、ゲート絶縁膜の第1の導電体上領域38a内に、周囲より膜厚の小さくなった第1の薄膜部31aを形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少なくとも1つを部分的に除去あるいは薄くすることで、第1の薄膜部31aが形成される。より詳細には、第1の薄膜部31aは、左右方向を長手方向とする長方形形状であり、第1の導電体上領域38aが第1の画素電極17aと重畳する領域の中に形成されている。すなわち、第1の薄膜部31a全体が第1の画素電極17aと重畳する。また、ゲート絶縁膜の第2の導電体上領域38b内に、膜厚の小さくなった第2の薄膜部31bを形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少なくとも1つを部分的に除去あるいは薄くすることで、第2の薄膜部31bが形成される。より詳細には、第2の薄膜部31bは、走査信号線方向を長手方向とする長方形形状であり、第2の導電体上領域38bが第2の画素電極17bと重畳する領域内に形成される。すなわち、第2の薄膜部31b全体が第2の画素電極17bと重畳する。

30

40

【0034】

なお、本実施の形態では、図1に示すように、第1および第2のTFT12a・12bの特性を向上させるため、各TFTのチャンネル下領域にも薄膜部31t（第1あるいは第2の薄膜部と同様の構成）が設けられている。

【0035】

図2は、図1に示すA1-A2線矢視断面図である。図1・2に示されるように、ガラス基板20上に第1の保持容量配線52aが形成され、（走査信号線16を覆う）ゲート絶縁膜40は、ガラス基板面および第1の保持容量配線52aを覆っている。このゲート絶縁膜40上には、第1および第2のTFT12a・12bのチャンネル部を覆う第1の層間絶縁膜25および第1の画素電極17aがこの順に形成されている。ゲート絶縁膜は、

50

SOG材料からなる第1ゲート絶縁層21と、SiNxからなる第2ゲート絶縁層22とを備えるが、第1の導電体上領域38aの一部は第1のゲート絶縁層21が除去され、第1の薄膜部31aとなっている。この第1の薄膜部31a上には、第1の層間絶縁膜25を介して第1の画素電極17aが形成される。

【0036】

このように、ゲート絶縁膜のうち、第1の保持容量配線52aと第1の画素電極17aとの間に位置する部分の一部を薄く形成する(第1の薄膜部31aを形成する)ことで、上記容量C1の容量値を、第1の保持容量配線52aおよび第1の薄膜部31aの重畳部分88aで支配的に決定できるようになる。同様に、ゲート絶縁膜のうち、第2の保持容量配線52bと第2の画素電極17bとの間に位置する部分の一部を薄く形成する(第2の薄膜部31bを形成する)ことで、上記容量C2の容量値を、第2の保持容量配線52bおよび第2の薄膜部31bの重畳部分で支配的に決定できるようになる。

10

【0037】

ここで、第1の薄膜部31a全体が、ゲート絶縁膜における第1の導電体上領域38aの中に設けられるため、第1の保持容量配線52aは、第1の薄膜部31aに対してズレマージンをもつことになる。したがって、第1の保持容量配線52aの線幅が変動しても、あるいはアライメントがずれても、そのエッジが第1の薄膜部31aにかからない範囲であれば容量C1の容量値はほとんど変化しない。

【0038】

加えて、第1の薄膜部31aは、ゲート絶縁膜が第1の画素電極17aと重畳する領域の中に設けられている(すなわち、第1の薄膜部31a全体が第1の画素電極17aと重畳する)ため、第1の画素電極17aは、第1の薄膜部31aに対してズレマージンを持つことになる。したがって、第1の画素電極17aの形成幅が変動しても、あるいはアライメントがずれても、そのエッジが第1の薄膜部31aにかからない範囲であれば容量C1はほとんど変化しない。

20

【0039】

これにより、本アクティブマトリクス基板によれば、容量C1の容量値、ひいては第1の画素電極17a電位制御量が基板内でばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。すなわち、Cs制御(保持容量配線による制御)でマルチピクセル駆動を行う表示装置に所定中間調を表示させると、(アクティブマトリクス基板製造時に、各露光処理で露光量が変化し、レジストパターンの線幅がばらつく、あるいはアライメントがずれることによって、保持容量配線と画素電極とで形成される容量の容量値が基板内でばらつき)各露光処理に対応した露光領域(表示エリア)ごとに輝度の差が生じるという問題があるが、本実施の形態によれば、容量C1の容量値が基板内でばらつくことを効果的に抑制できるため、上記問題を解消することができる。

30

【0040】

同様に、第2の薄膜部31bは、ゲート絶縁膜における第2の導電体上領域38bの中に設けられるため、第2の保持容量配線52bは、第2の薄膜部31bに対してズレマージンをもつことになる。したがって、第2の保持容量配線52bの線幅が変動しても、あるいはアライメントがずれても、そのエッジが第2の薄膜部31bにかからない範囲であれば容量C2の容量値はほとんど変化しない。

40

【0041】

加えて、第2の薄膜部31bは、ゲート絶縁膜が第2の画素電極17bと重畳する領域の中に設けられていることにもなるため、第2の画素電極17bは、第2の薄膜部31bに対してズレマージンを持つことになる。したがって、第2の画素電極17bの形成幅が変動しても、あるいはアライメントがずれても、そのエッジが第2の薄膜部31bにかからない範囲であれば容量C2はほとんど変化しない。

【0042】

以上から、本アクティブマトリクス基板によれば、容量C2の容量値、ひいては第2の

50

画素電極 17b 電位制御量が基板内でばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。すなわち、本実施の形態によれば、容量 C2 の容量値が基板内でばらつくことを効果的に抑制できるため、Cs 制御でマルチピクセル駆動を行う表示装置に所定中間調を表示させると各露光処理に対応した表示エリアごとに輝度の差が生じるという上記問題を解消することができる。

【0043】

なお、各保持容量配線 52a・52b および走査信号線 16 (ゲート電極) は、例えば、チタン、クロム、アルミニウム、モリブデン、タンタル、タンゲステン、銅等の金属またはこれら金属の合金からなる単層膜または積層膜とすることができる。この保持容量配線および走査信号線 (ゲート電極) の膜厚は、例えば、100nm ~ 300nm (1000 ~ 3000) の程度とすればよい。

10

【0044】

第1ゲート絶縁層 21 としては、絶縁性の材料 (例えば、有機物を含む材料) を用いることが可能であるが、例えば、スピノンガラス (SOG) 材料を用いることができる。SOG 材料とは、スピノコート法などの塗布法によってガラス膜 (シリカ膜) を形成し得る材料のことである。SOG 材料の中でも、例えば有機成分を含むスピノンガラス材料 (いわゆる有機 SOG 材料) を好適に用いることができる。有機 SOG 材料としては、特に、Si-O-C 結合を骨格とする SOG 材料や、Si-C 結合を骨格とする SOG 材料を好適に用いることができる。有機 SOG 材料は、比誘電率が低く、容易に厚い膜を形成することができる材料である。このため、有機 SOG 材料を用いることによって、第1ゲート絶縁層 21 の比誘電率を低くし、第1ゲート絶縁層 21 を厚く形成することが容易になるとともに平坦化も可能になる。本実施の形態では、第1ゲート絶縁層 21 の厚さを、1.5μm ~ 2.0μm 程度としている。なお、有機物を含む材料としては上記 SOG 材料のほか、アクリル系樹脂材料、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、ノボラック系樹脂などがある。

20

【0045】

なお、上記 Si-O-C 結合を有する SOG 材料としては、例えば、特開 2001-98224 号公報や特開平 6-240455 号公報に開示されている材料や、IDW'03 予稿集第 617 頁に開示されている東レ・ダウコーニング・シリコン株式会社製 DD1100 を挙げるができる。また、Si-C 結合を骨格とする SOG 材料としては、例えば、特開平 10-102003 号公報に開示されている材料を挙げるができる。

30

【0046】

また、第1ゲート絶縁層 21 に、シリカフィラーを含む有機 SOG 材料を用いることもできる。この場合、有機 SOG 材料から形成された基材中にシリカフィラーを分散させた構成とすることが好ましい。こうすれば、基板 20 が大型化しても、第1ゲート絶縁層 21 を、クラックを発生させることなく形成することができる。なお、シリカフィラーの粒径は、例えば、10nm ~ 30nm であり、その混入比率は、20体積% ~ 80体積% である。シリカフィラーを含む有機 SOG 材料としては、例えば、触媒化学社製 LNT-025 を用いることができる。

40

【0047】

第2ゲート絶縁層 22 は、第1ゲート絶縁層 21 上に形成された絶縁性の膜である。本実施の形態では、第2ゲート絶縁層 22 は窒化シリコン (SiNx) からなる膜であり、その窒化シリコン膜の厚さは 300nm ~ 500nm (3000 ~ 5000) 程度となっている。

【0048】

また、データ信号線 15、ソース電極 9、ドレイン電極 8 (図1参照) は、例えば、チタン、クロム、アルミニウム、モリブデン、タンタル、タンゲステン、銅等の金属またはこれら金属の合金からなる単層膜または積層膜とすることができる。これらの膜厚は、100nm ~ 300nm (1000 ~ 3000) の程度とすればよい。

50

【 0 0 4 9 】

また、第1の層間絶縁膜25（チャネル保護膜）としては、窒化シリコン、酸化シリコン等の無機絶縁膜または、それらの積層膜等が用いられる。本実施の形態では200nm～500nm（2000～5000）程度の膜厚の窒化シリコンを用いている。

【 0 0 5 0 】

また、第1の層間絶縁膜25上に形成される第1および第2の画素電極17a・17bは、例えば、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜からなっており、膜厚は100nm～200nm（1000～2000）程度である。

【 0 0 5 1 】

以下に、本アクティブマトリクス基板の製造方法の一例を、図2を用いて説明しておく。

10

【 0 0 5 2 】

まず、透明絶縁性基板20上にチタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属またはこれら金属の合金をスパッタリング法等の方法にて成膜する。そして、この金属膜または合金膜をフォトリソ法等にて必要な形状にパターン形成することによって、保持容量配線52aおよび走査信号線（各TFTのゲート電極）が形成される。

【 0 0 5 3 】

次いで、スピコート法を用いて、保持容量配線52aおよび走査信号線（ゲート電極）の上を覆うようにSOG材料等を塗布する。これにより、第1ゲート絶縁層21（平坦化膜）が形成される。そして、第1ゲート絶縁層21上にフォトリソを塗布した後に、フォトリソを用いて露光を行い、その後、現像を施す。次いで、ドライエッチングを行うことにより、第1ゲート絶縁層21を除去する。ドライエッチングは、例えば、四フッ化水素（CF₄）と酸素（O₂）との混合ガスを用いて行うことができる。このとき、四フッ化水素（CF₄）と酸素（O₂）との混合比率を調整することで、第1ゲート絶縁層除去部分のエッジ近傍を順テーパ形状にすることができる。

20

【 0 0 5 4 】

このように第1ゲート絶縁層21をパターニングすることで、図2の薄膜部31aを形成することができる。

【 0 0 5 5 】

本実施の形態では、（ゲート絶縁膜40の）第1の導電体上領域38a内に、第1の薄膜部31aを設けている。また、第1および第2のTFT12a・12b（図1参照）の特性を向上させるため、各TFTのチャネル下領域にも薄膜部31tを設けている。

30

【 0 0 5 6 】

続いて、第2ゲート絶縁層22、半導体層（高抵抗半導体層および低抵抗半導体層）をプラズマCVD（化学的気相成長法）等によって連続して成膜した後に、フォトリソ法等によってパターン形成する。

【 0 0 5 7 】

次いで、データ信号線、ソース電極、ドレイン電極を形成する。これらは全て同一工程により形成することができる。具体的には、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属またはこれら金属の合金をスパッタリング法等の方法にて成膜し、この金属膜または合金膜をフォトリソ法等にて必要な形状にパターニングする。

40

【 0 0 5 8 】

そして、アモルファスシリコン膜等の高抵抗半導体層（i層）、n+アモルファスシリコン膜等の低抵抗半導体層（n+層）に対して、データ信号線、ソース電極、およびドレイン電極のパターンをマスクにし、ドライエッチングにてチャネルエッチングを行う。このプロセスにてi層の膜厚が最適化され、第1および第2のTFT12a・12b（図1参照）が形成される。すなわち、データ信号線、ソース電極およびドレイン電極にて覆われていない半導体層がエッチング除去され、各TFTの能力に必要なi層膜厚が残される

50

【 0 0 5 9 】

次いで、T F Tのチャンネルを保護する（チャンネルを覆う）第1の層間絶縁膜25を形成する。本実施の形態では、プラズマCVD法等を用いて、窒化シリコン、酸化シリコン等の無機絶縁膜を成膜した。

【 0 0 6 0 】

また、コンタクトホール11a・11b（図1参照）は、例えば、感光性レジストをフォトリソグラフィ法（露光および現像）によりパターンニングし、エッチングすることによって形成できる。

【 0 0 6 1 】

さらに、第1の層間絶縁膜25上に、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜をスパッタリング法等の方法によって成膜し、これをフォトエッチング法等の方法にて必要な形状にパターンすることで、第1の画素電極17aが形成できる。これにより、本アクティブマトリクス基板が製造される。

【 0 0 6 2 】

なお、本アクティブマトリクス基板は、図3・4に示すように、第1の薄膜部41aの一部が第1の画素電極17aと重畳し、第2の薄膜部41bの一部が第2の画素電極17bと重畳する構成とすることもできる。なお他の構成は図1・2と同様である。

【 0 0 6 3 】

図3・4に示すアクティブマトリクス基板においても、第1の薄膜部41a全体が、ゲート絶縁膜における第1の導電体上領域38aの中に設けられるため、第1の保持容量配線52aは、第1の薄膜部41aに対してズレマージンをもつことになる。したがって、第1の保持容量配線52aの線幅が変動しても、あるいはアライメントがずれても、そのエッジが第1の薄膜部41aにかからない範囲であれば、第1の画素電極17aおよび第1の保持容量配線52a間に形成される容量（保持容量）Cxの容量値はほとんど変化しない。

【 0 0 6 4 】

ここで、図25に、図3・4に示すアクティブマトリクス基板において第1の保持容量配線52aの線幅が2 μ m（片側1 μ m、両側で2 μ m）ずれたときの上記容量Cxの変動をシミュレートした結果（グラフA）と、図3・4において第1の薄膜部41aがない比較構成（すなわち、第1ゲート絶縁層21がなく、第2ゲート絶縁層22のみが均一な厚さで設けられた構成）において第1の保持容量配線52aの線幅が2 μ mずれたときの容量Cx'の変動をシミュレートした結果（グラフB）とを示す。なお、上記のシミュレートでは、45型（解像度1920 \times RGB \times 1080）液晶表示装置において、第1ゲート絶縁層21の比誘電率が3.5、第1ゲート絶縁膜22（窒化シリコン）および第1層間絶縁膜25（窒化シリコン）の比誘電率がともに7.0、第1ゲート絶縁膜21の膜厚が1.2 μ m、第2ゲート絶縁膜22の膜厚が400nm、第1層間絶縁膜25の膜厚が250nmである構成を前提としている。

【 0 0 6 5 】

図25に示す各シミュレート結果から、本アクティブマトリクス基板10（第1の薄膜部41aを設けた構成）における容量Cxの変動が、比較構成（薄膜部を設けない構成）におけるCx'の変動に比して非常に小さいことがわかる。

【 0 0 6 6 】

また、容量（保持容量）Cxの変動を、中間調（ここでは表示可能階調256階調のうち110階調）表示における（第1の画素電極の）実効電位の変動に引きなおしたのが図26のグラフC（0.9mV）であり、上記容量Cx'の変動を、中間調（110階調）表示における（第1の画素電極の）実効電位の変動に引きなおしたのが図26のグラフD（3.9mV）である。

【 0 0 6 7 】

実効電位の変動が1mV以下であれば周囲との輝度差が視認されないことに鑑みると、

10

20

30

40

50

本アクティブマトリクス基板 10 では第 1 の保持容量配線 52 a の線幅が 1 μm ずれても視認可能な輝度差として現れることはないが、比較構成ではこれが視認可能な輝度差として現れ、表示品位に影響がでることがわかる。

【0068】

図 27 は、図 26 のグラフ C に関して、第 1 ゲート絶縁層 21 の膜厚 (SOG 膜厚) を変えたときに (グラフ C は膜厚が 1.2 μm のもの)、実効電位の変動がどうなるかを示すグラフである。第 1 ゲート絶縁層 21 の膜厚が 1.0 μm のときに実効電位の変動が 1.0 mV (視認可能な輝度差の閾値) となっていることから、第 1 の保持容量配線 52 a の線幅ずれが 2 μm (片側 1 μm 、両側で 2 μm) におさまるのであれば、第 1 ゲート絶縁層 21 の膜厚が 1.0 μm 以上あれば足りることがわかる。

10

【0069】

また、図 28 は、第 1 ゲート絶縁層 21 の膜厚 (SOG 膜厚) と輝度差変化量との関係を示すグラフである。同図から第 1 ゲート絶縁層 21 の膜厚が 5.0 μm 以上であれば輝度差変化量がほぼ 0 となることがわかる。なお、第 1 ゲート絶縁層 21 (SOG 膜) はスピンコート法によって塗布形成されるため、膜厚があまり大きいと膜厚が均一にならないおそれがある。そこで、第 1 ゲート絶縁層 21 の膜厚は 4.0 μm 以下にするのが好ましい。

【0070】

本アクティブマトリクス基板を図 9 のように構成することもできる。図 9 に示すアクティブマトリクス基板は、1 つの画素領域 70 に、TFT12、画素電極 17、およびコンタクトホール 11 を備える。本アクティブマトリクス基板には、互いに直交するように図中左右方向に形成された走査信号線 76 および図中上下方向に形成されたデータ信号線 15 を備える。

20

【0071】

TFT12 は、ソース電極 9 とドレイン電極 8 とを備え、そのゲート電極 6 は走査信号線 76 から引き出されている。ソース電極 9 はデータ信号線 15 に接続され、ドレイン電極 8 がコンタクトホール 11 を介して画素電極 17 に接続される。画素電極 17 はITO 等の透明電極であり、本アクティブマトリクス基板下からの光 (バックライト光) を透過させる。

【0072】

本アクティブマトリクス基板には、画素領域中央を走査信号線 76 方向に走る保持容量配線 52 が形成されている。

30

【0073】

そして、画素電極 17 は容量 C の一方電極として機能し、保持容量配線 52 は該容量 C の他方電極として機能する。この容量 C は、保持容量としての機能を備える。

【0074】

本アクティブマトリクス基板では、データ信号線 15 からのデータ (信号電位) が、TFT12 のソース電極 9 およびドレイン電極 8 を介して、画素電極 17 に与えられる。

【0075】

本アクティブマトリクス基板には走査信号線 (各トランジスタのゲート電極) および保持容量配線を覆うゲート絶縁膜が設けられているため、ゲート絶縁膜は、画素領域 70 において、保持容量配線 52 と重畳する導電体上領域 38 を有することになる。

40

【0076】

本実施の形態では、ゲート絶縁膜の導電体上領域 38 内に、膜厚の小さくなった薄膜部 31 を形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少なくとも 1 つを部分的に除去あるいは薄くすることで、薄膜部 31 が形成される。より詳細には、薄膜部 31 は、左右方向を長手方向とする長方形形状であり、導電体上領域 38 の中央部に局所的に形成される。

【0077】

図 9 の構成においても、薄膜部 31 は、ゲート絶縁膜における導電体上領域 38 の中に

50

設けられるため、保持容量配線 5 2 は、薄膜部 3 1 に対してズレマージンをもつことになる。したがって、保持容量配線 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 3 1 にかからない範囲であれば容量 C の容量値はほとんど変化しない。

【 0 0 7 8 】

加えて、薄膜部 3 1 は、ゲート絶縁膜が画素電極 1 7 と重畳する領域の中に設けられている（すなわち、薄膜部 3 1 全体が画素電極 1 7 と重畳する）ため、画素電極 1 7 は、薄膜部 3 1 に対してズレマージンを持つことになる。したがって、画素電極 1 7 の形成幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 3 1 にかからない範囲であれば容量 C はほとんど変化しない。

10

【 0 0 7 9 】

本アクティブマトリクス基板を図 1 9 のように構成することもできる。図 1 9 に示すように、アクティブマトリクス基板は、1つの画素領域に、T F T 4 1 2 と、画素電極 4 1 7（容量電極）と、保持容量配線 4 5 2（導電体）と、互いに直交するように図中左右方向に形成された走査信号線 4 1 6 および図中上下方向に形成されたデータ信号線 4 1 5 とを備える。

【 0 0 8 0 】

保持容量配線 4 5 2 は、画素電極 4 1 7 のエッジのうちデータ信号線 4 1 5 に沿うようなエッジ E 1 とこれに対向するエッジ E 2 とに重なるように H 型に形成されている。これにより、画素電極 4 1 7 および保持容量配線 4 5 2 が重畳する部分に保持容量 C が形成される。図示しないが、保持容量配線 4 5 2 上にはこれを覆うようにゲート絶縁膜が形成される。

20

【 0 0 8 1 】

本実施の形態では、図 1 9 に示すように、ゲート絶縁膜のうち導電体上に位置する領域内に、膜厚の小さくなった薄膜部 4 3 1 を形成する。薄膜部 4 3 1 は H 型に形成され、その全体が保持容量配線 4 5 2 と重畳し、その一部が画素電極 4 1 7 に重畳する。これにより、画素電極 4 1 7 および保持容量配線 4 5 2 並びに薄膜部 4 3 1 の重畳部分で上記保持容量 C が支配的に決定されることになる。

【 0 0 8 2 】

図 1 9 の構成においても、薄膜部 4 3 1 全体が、ゲート絶縁膜における導電体上領域内に設けられるため、保持容量配線 4 5 2 は、薄膜部 4 3 1 に対してズレマージンをもつことになる。したがって、保持容量配線 4 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 4 3 1 にかからない範囲であれば上記保持容量 C の容量値はほとんど変化しない。

30

【 0 0 8 3 】

さらに、薄膜部 4 3 1 は、その全体が保持容量配線 4 5 2 と重なり、かつ画素電極 4 1 7 のエッジ E 1 ・ E 2 とも重なるように形成されているため、画素電極 4 1 7 あるいは薄膜部 4 3 1 の左右方向のズレに対して画素電極 4 1 7 および薄膜部 4 3 1 の重なり部分の面積が補償され、保持容量 C の容量値が変化しにくい。また、保持容量配線 4 5 2 は、上記のとおり画素電極 4 1 7 のエッジ E 1 ・ E 2 に重なるように形成されているため、その電界遮蔽効果によって画素電極およびデータ信号線間の寄生容量を低減することもできる。

40

【 0 0 8 4 】

本アクティブマトリクス基板を図 2 0 のように構成することもできる。なお、図 2 1 は図 2 0 の B 1 - B 2 断面図である。図 2 0 に示すように、本アクティブマトリクス基板は、1つの画素領域に、T F T 3 1 2 と、画素電極 3 1 7（容量電極）と、保持容量配線 3 5 2（導電体）と、互いに直交するように図中左右方向に形成された走査信号線 3 1 6 および図中上下方向に形成されたデータ信号線 3 1 5 とを備える。

【 0 0 8 5 】

保持容量配線 3 5 2 は、画素電極 3 1 7 の周端（エッジ）と重なるように、環状に形成

50

されている。これにより、画素電極 3 1 7 および保持容量配線 3 5 2 が重畳する部分に保持容量 C が形成される。

【 0 0 8 6 】

本アクティブマトリクス基板では、図 2 1 に示すように、基板 2 0 上に保持容量配線 3 5 2 が形成されるとともに、保持容量配線 3 5 2 を覆うようにゲート絶縁膜 3 4 0 が形成され、さらにこのゲート絶縁膜 3 4 0 上に画素電極 3 1 7 が形成される。このため、このゲート絶縁膜 3 4 0 は、各画素領域において、保持容量配線 3 5 2 と重畳する導電体上領域 3 3 8 を有する。

【 0 0 8 7 】

本実施の形態では、図 2 0 ・ 2 1 に示すように、ゲート絶縁膜の導電体上領域 3 3 8 内に、膜厚の小さくなった薄膜部 3 3 1 を形成する。薄膜部 3 3 1 は環状に形成され、その全体が保持容量配線 3 5 2 と重畳し、その一部が画素電極 3 1 7 に重畳する。これにより、画素電極 3 1 7 および保持容量配線 3 5 2 並びに薄膜部 3 3 1 の重畳部分 3 8 8 で上記保持容量 C を支配的に決定できることになる。

【 0 0 8 8 】

図 2 0 の構成においても、薄膜部 3 3 1 全体が、ゲート絶縁膜における導電体上領域内中に設けられるため、保持容量配線 3 5 2 は、薄膜部 3 3 1 に対してズレマージンをもつことになる。したがって、保持容量配線 3 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 3 3 1 にかからない範囲であれば上記保持容量 C の容量値はほとんど変化しない。

【 0 0 8 9 】

さらに、薄膜部 3 3 1 は、その全体が保持容量配線 3 5 2 と重なり、かつ画素電極 3 1 7 のエッジとも重なるように形成されているため、画素電極 3 1 7 あるいは薄膜部 3 3 1 の左右方向のズレに対して画素電極 3 1 7 および薄膜部 3 3 1 の重なり部分の面積が補償され、上記保持容量 C の容量値が変化しにくい。また、保持容量配線 3 5 2 は、画素電極 3 1 7 のエッジのうちデータ信号線 3 1 5 に沿うようなエッジとこれに対向するエッジとに重なるように形成されているため、その電界遮蔽効果によって画素電極およびデータ信号線間の寄生容量を低減することもできる。

【 0 0 9 0 】

〔実施の形態 2〕

本発明の実施の形態 2 について図 5 ~ 図 8 および図 1 0 に基づいて説明すれば以下のとおりである。

【 0 0 9 1 】

図 5 は、本実施の形態に係るアクティブマトリクス基板の概略構成を示す平面図である。同図に示されるように、本アクティブマトリクス基板はマルチピクセル駆動用であり、1 つの画素領域 1 1 0 に、第 1 の T F T (薄膜トランジスタ) 1 1 2 a、第 2 の T F T 1 1 2 b、第 1 の画素電極 1 1 7 a、第 2 の画素電極 1 1 7 b、第 1 のドレイン引き出し電極 1 0 7 a、第 1 のドレイン引き出し電極 1 0 7 b、第 1 のドレイン引き出し配線 1 4 7 a、第 1 のドレイン引き出し配線 1 4 7 b、第 1 のコンタクトホール 1 1 1 a、および第 2 のコンタクトホール 1 1 1 b を備える。

【 0 0 9 2 】

また、本アクティブマトリクス基板には、互いに直交するように図中左右方向に形成された走査信号線 1 1 6 および図中上下方向に形成されたデータ信号線 1 1 5 を備える。画素領域 1 1 0 内においては、上半分に第 1 の画素電極 1 1 7 a が設けられるとともに下半分に第 2 の画素電極 1 1 7 b が設けられ、中央部を走査信号線 1 1 6 が横切っている。この走査信号線 1 1 6 は、第 1 の画素電極 1 1 7 a (図 5 でいえば、第 1 の画素電極 1 1 7 a の下部) および第 2 の画素電極 1 1 7 b (図 5 でいえば、第 2 の画素電極 1 1 7 b の上部) に重畳する。また、データ信号線 1 1 5 は、第 1 および第 2 の画素電極 (1 1 7 a ・ 1 1 7 b) の左側エッジと重なるように形成されている。データ信号線 1 1 5 および走査信号線 1 1 6 の交点近傍には、第 1 および第 2 の T F T 1 1 2 a ・ 1 1 2 b が形成される

10

20

30

40

50

【0093】

第1のTFT112aは、ソース電極109と第1のドレイン電極108aとを備え、そのゲート電極は走査信号線116の一部である。また、第1のTFT112bは、ソース電極109と第2のドレイン電極108bとを備え、そのゲート電極は走査信号線116の一部である。このように、第1および第2のTFT112a・112bは、ソース電極およびゲート電極を共有する。

【0094】

ソース電極109はデータ信号線115に接続され、第1のドレイン電極108aは、ドレイン引き出し配線147a、第1のドレイン引き出し電極107a、およびコンタクトホール111aを介して画素電極117aに接続される。また、第2のドレイン電極108bは、第2のドレイン引き出し配線147b、第2のドレイン引き出し電極107b、およびコンタクトホール111bを介して第2の画素電極117bに接続される。第1および第2の画素電極117a・117bはITO等の透明電極であり、本アクティブマトリクス基板下からの光(バックライト光)を透過させる。

【0095】

本アクティブマトリクス基板には、基板面上に形成され、図中左右方向に走る第1および第2の保持容量配線152a・152bを備える。第1の保持容量配線152aは、第1のドレイン引き出し電極107aと重畳し、第2の保持容量配線152bは、第2のドレイン引き出し電極107bと重畳している。

【0096】

そして、第1のドレイン引き出し電極107aは容量C3の一方電極として機能し、第1の保持容量配線152aは該容量C3の他方電極として機能する。同様に、第2のドレイン引き出し電極107bは容量C4の一方電極として機能し、第2の保持容量配線152bは該容量C4の他方電極として機能する。これら容量C3・C4はそれぞれ、保持容量および画素電極電位の制御用容量としての機能を兼ね備える。

【0097】

本アクティブマトリクス基板では、データ信号線115からのデータ(信号電位)が、各TFT(112a・112b)の共通ソース電極109と、第1および第2のドレイン電極108a・108bとを介して、第1および第2の画素電極117a・117bそれぞれに与えられるが、第1および第2の保持容量配線152a・152bには互いに逆位相の信号電圧が印加されており、第1および第2の画素電極117a・117bそれぞれが異なる電位に制御される(後に詳述)。これにより、1つの画素110内に明るい領域と暗い領域とを形成でき、面積階調によって中間調を表現することができる。この結果、斜め視角における白浮きを改善できる等、表示品位を高められる。なお、保持容量とは、各画素電極(117a・117b)に次のデータ信号が入力されるまでの間、各画素電極(117a・117b)に書き込まれた電位を保持する補助的な容量である。

【0098】

アクティブマトリクス基板には走査信号線(各トランジスタのゲート電極)および保持容量配線を覆うゲート絶縁膜が設けられているため、ゲート絶縁膜は、画素領域110において、第1の保持容量配線152aと重畳する第1の導電体上領域と、第2の保持容量配線152bと重畳する第2の導電体上領域とを有することになる。

【0099】

本実施の形態では、ゲート絶縁膜の第1の導電体上領域内に、膜厚の小さくなった第1の薄膜部131aを形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少なくとも1つを部分的に除去あるいは薄くすることで、第1の薄膜部131aが形成される。より詳細には、第1の薄膜部131aは、左右方向を長手方向とする長方形形状であり、第1の導電体上領域が第1の画素電極117aと重畳する領域の中に形成されている。また、ゲート絶縁膜の第2の導電体上領域内に、膜厚の小さくなった第2の薄膜部131bを形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少

10

20

30

40

50

なくとも1つを部分的に除去あるいは薄くすることで、第2の薄膜部131bが形成される。より詳細には、第2の薄膜部131bは、走査信号線方向を長手方向とする長方形形状であり、第2の導電体上領域が第2の画素電極117bと重畳する領域内に形成される。

【0100】

なお、本実施の形態では、図5に示すように、第1および第2のTF T112a・112bの特性を向上させるため、各TF Tのチャネル下領域にも薄膜部131t（第1あるいは第2の薄膜部と同様の構成）が設けられている。

【0101】

図6は、図5に示すA1 - A2線矢視断面図である。図5・6に示されるように、ガラス基板120上に第1の保持容量配線152aが形成され、（走査信号線116を覆う）ゲート絶縁膜140は、ガラス基板面および第1の保持容量配線152aを覆っている。このゲート絶縁膜140上には、第1のドレイン引き出し電極107aが形成される。そして、この第1のドレイン引き出し電極107aの一部と、第1および第2のTF T112a・112bのチャネル部とを覆うように、第1の層間絶縁膜125が形成される。さらに、この第1の層間絶縁膜125上に、第2の層間絶縁膜126を介して第1の画素電極117aが形成されている。なお、コンタクトホール111a内では、第1および第2の層間絶縁膜125・126は除去されており、ホール内にて第1のドレイン引き出し電極107aと画素電極117aとが接触している。

【0102】

なお、第1の層間絶縁膜125としては、窒化シリコン、酸化シリコン等の無機絶縁膜または、それらの積層膜等が用いられる。本実施の形態では200nm～500nm（2000～5000）程度の膜厚の窒化シリコンを用いている。第2の層間絶縁膜126としては、感光性アクリル樹脂等の樹脂膜やSOG膜でもよい。本実施の形態では2000nm～4000nm（20000～40000）程度の膜厚の感光性アクリル樹脂膜を用いている。

【0103】

ゲート絶縁膜140は、SOG材料からなる第1ゲート絶縁層121と、SiNxからなる第2ゲート絶縁層122とを備えるが、第1の導電体上領域138aの一部は第1のゲート絶縁層121が除去され、第1の薄膜部131aとなっている。この第1の薄膜部131a上には、第1のドレイン引き出し電極107aが形成され、この第1のドレイン引き出し電極107a上に第1の画素電極117aが形成される。

【0104】

このように、ゲート絶縁膜のうち、第1の保持容量配線152aと第1のドレイン引き出し電極107aとの間に位置する部分の一部を薄く形成する（第1の薄膜部131aを形成する）ことで、上記容量C3の容量値を、第1の保持容量配線152aおよび第1の薄膜部131aの重畳部分188aで支配的に決定できるようになる。同様に、ゲート絶縁膜のうち、第2の保持容量配線152bと第2のドレイン引き出し電極107bとの間に位置する部分の一部を薄く形成する（第2の薄膜部131bを形成する）ことで、上記容量C4の容量値を、第2の保持容量配線152bおよび第2の薄膜部131bの重畳部分で支配的に決定できるようになる。

【0105】

ここで、第1の薄膜部131a全体は、ゲート絶縁膜140における第1の導電体上領域138aの中に設けられるため、第1の保持容量配線152aは、第1の薄膜部131aに対してズレマージンをもつことになる。したがって、第1の保持容量配線152aの線幅が変動しても、あるいはアライメントがずれても、そのエッジが第1の薄膜部131aにかからない範囲であれば容量C3の容量値はほとんど変化しない。

【0106】

加えて、第1の薄膜部131aは、ゲート絶縁膜140が第1のドレイン引き出し電極107aと重畳する領域の中に設けられている（すなわち、第1の薄膜部131a全体が

10

20

30

40

50

第1のドレイン引き出し電極107aと重畳する)ため、第1のドレイン引き出し電極107aは、第1の薄膜部131aに対してズレマージンを持つことになる。したがって、第1のドレイン引き出し電極107aの形成幅が変動しても、あるいはアライメントがずれても、そのエッジが第1の薄膜部131aにかからない範囲であれば容量C3はほとんど変化しない。

【0107】

以上から、本アクティブマトリクス基板によれば、容量C3の容量値、ひいては第1の画素電極117aの電位制御量が基板内ではばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。すなわち、Cs制御(保持容量配線による制御)でマルチピクセル駆動を行う表示装置に所定中間調を表示させると、(アクティブマトリクス基板製造時に、各露光処理で露光量が変化し、レジストパターンの線幅がばらつく、あるいはアライメントがずれることによって、保持容量配線とドレイン引き出し電極とで形成される容量の容量値が基板内ではばらつき)各露光処理に対応した露光領域(表示エリア)ごとに輝度の差が生じるという問題があるが、本実施の形態によれば、容量C3の容量値が基板内ではばらつくことを効果的に抑制できるため、上記問題を解消することができる。

【0108】

同様に、本アクティブマトリクス基板によれば、容量C4の容量値、ひいては第2の画素電極117bの電位制御量が基板内ではばらつくことを抑制でき、本アクティブマトリクス基板を用いた表示装置において、その表示品位を向上させることができる。すなわち、本実施の形態によれば、容量C4の容量値が基板内ではばらつくことを効果的に抑制できるため、Cs制御でマルチピクセル駆動を行う表示装置に所定中間調を表示させると各露光処理に対応した表示エリアごとに輝度の差が生じるという上記問題を解消することができる。

【0109】

本実施の形態に係るアクティブマトリクス基板は、図7に示すように、第1のドレイン引き出し電極107aとゲート絶縁膜140(第2ゲート絶縁層122)との間に半導体層124を設けても構わない。こうすれば、薄膜部131aを構成する第2ゲート絶縁層122にピンホールがあったとしても、第1のドレイン引き出し電極107aと保持容量配線152aとが短絡してしまうことを防止できる。

【0110】

また、本実施の形態に係るアクティブマトリクス基板は、図8に示すように、第1のドレイン電極108aおよび第1の画素電極117aを接続するコンタクトホール111aと、第1の画素電極117aおよび第1のドレイン引き出し電極107aを接続するコンタクトホール181aとを設けることで、図5の第1のドレイン引き出し配線147aを形成しない構成とすることも可能である。こうすれば、第1のドレイン引き出し配線を形成しない分、開口率を向上させることができる。

【0111】

また、本実施の形態に係るアクティブマトリクス基板を図10のように構成することもできる。図10に示すアクティブマトリクス基板は、1つの画素領域170に、TFT112、画素電極117、ドレイン引き出し電極107、およびコンタクトホール111を備える。本アクティブマトリクス基板には、互いに直交するように図中左右方向に形成された走査信号線176および図中上下方向に形成されたデータ信号線115と、画素領域170の中央を図中左右方向に横切る保持容量配線152とを備える。

【0112】

TFT112は、ソース電極109とドレイン電極108とを備え、そのゲート電極106は走査信号線176から引き出されている。ソース電極109はデータ信号線115に接続され、ドレイン電極108がコンタクトホール111を介して画素電極117に接続される。画素電極117はITO等の透明電極であり、本アクティブマトリクス基板からの光(バックライト光)を透過させる。

10

20

30

40

50

【 0 1 1 3 】

保持容量配線 1 5 2 はドレイン引き出し電極 1 0 7 と重畳する。そして、ドレイン引き出し電極 1 0 7 は容量 c の一方電極として機能し、保持容量配線 1 5 2 は該容量 c の他方電極として機能する。この容量 c は、保持容量としての機能を備える。

【 0 1 1 4 】

本アクティブマトリクス基板では、データ信号線 1 1 5 からのデータ（信号電位）が、T F T 1 1 2 のソース電極 1 0 9 およびドレイン電極 1 0 8 を介して、画素電極 1 1 7 に与えられる。

【 0 1 1 5 】

本アクティブマトリクス基板には走査信号線（各トランジスタのゲート電極）および保持容量配線を覆うゲート絶縁膜が設けられているため、ゲート絶縁膜は、画素領域 1 7 0 において、保持容量配線 1 5 2 と重畳する導電体上領域 1 3 8 を有することになる。

10

【 0 1 1 6 】

本実施の形態では、ゲート絶縁膜の導電体上領域 1 3 8 内に、膜厚の小さくなった薄膜部 1 3 1 を形成する。ゲート絶縁膜は、複数のゲート絶縁層を備えるが、そのうちの少なくとも一つを部分的に除去あるいは薄くすることで、薄膜部 1 3 1 が形成される。より詳細には、薄膜部 1 3 1 は、左右方向を長手方向とする長方形形状であり、導電体上領域 1 3 8 の中央部に局所的に形成される。

【 0 1 1 7 】

図 1 0 の構成においても、薄膜部 1 3 1 全体が、ゲート絶縁膜における導電体上領域 1 3 8 の中に設けられるため、保持容量配線 1 5 2 は、薄膜部 1 3 1 に対してズレマージンをもつことになる。したがって、保持容量配線 1 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 1 3 1 にかからない範囲であれば容量 c の容量値はほとんど変化しない。

20

【 0 1 1 8 】

加えて、薄膜部 1 3 1 は、ゲート絶縁膜がドレイン引き出し電極 1 0 7 と重畳する領域の中に設けられている（すなわち、薄膜部 1 3 1 全体がドレイン引き出し電極 1 0 7 と重畳する）ため、ドレイン引き出し電極 1 0 7 は、薄膜部 1 3 1 に対してズレマージンを持つことになる。したがって、ドレイン引き出し電極 1 0 7 の形成幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 1 3 1 にかからない範囲であれば容量 c はほとんど変化しない。

30

【 0 1 1 9 】

〔実施の形態 3〕

本アクティブマトリクス基板を図 2 2 のように構成することもできる。図 2 3 は図 2 2 の A 1 - A 2 断面図である。図 2 2 に示すように、本アクティブマトリクス基板は、一つの画素領域に、T F T 2 1 2 と、第 1 の画素電極 2 1 7 a および第 2 の画素電極 2 1 7 b（容量電極）と、コンタクトホール 2 1 1 と、制御容量電極 2 5 2（導電体）と、互いに直交するように図中左右方向に形成された走査信号線 2 1 6 および図中上下方向に形成されたデータ信号線 2 1 5 とを備える。

【 0 1 2 0 】

制御容量電極 2 5 2 は、第 1 および第 2 の画素電極双方と重なるように、走査信号線 2 1 6 方向を長手方向とする長方形形状に形成されている。これにより、第 1 の画素電極 2 1 7 a および制御容量電極 2 5 2 がなす容量 C 1 と制御容量電極 2 5 2 および第 2 の画素電極 2 1 7 b がなす容量 C 2 とが直列に接続されることになり、第 1 および第 2 の画素電極 2 1 7 a ・ 2 1 7 b が容量結合された構成となる。

40

【 0 1 2 1 】

本アクティブマトリクス基板では、図 2 3 に示すように、基板 2 0 上にゲート絶縁膜 2 4 0 が形成されるとともにゲート絶縁膜 2 4 0 上に制御容量電極 2 5 2 が形成され、この制御容量電極 2 5 2 上にトランジスタ 2 1 2（図 2 2 参照）のチャンネル部分を覆う層間絶縁膜 2 2 5 が形成される。このため、この層間絶縁膜 2 2 5 は、各画素領域において、制

50

御容量電極 2 5 2 と重畳する導電体上領域 2 3 8 (図 2 2 参照) を有することになる。

【 0 1 2 2 】

本実施の形態では、図 2 2 ・ 2 3 に示すように、層間絶縁膜の導電体上領域 2 3 8 内に、膜厚の小くなった薄膜部 2 3 1 a ・ 2 3 1 b を形成する。層間絶縁膜 2 2 5 は、複数の絶縁層を備えるが、そのうちの少なくとも 1 つを部分的に除去あるいは薄くすることで、薄膜部 2 3 1 a ・ 2 3 1 b が形成される。具体的に説明すると、薄膜部 2 3 1 a は、左右方向を長手方向とする長方形形状であり、その全体が制御容量電極 2 5 2 および第 1 の画素電極 2 1 7 a と重畳するように形成される。

【 0 1 2 3 】

同様に、薄膜部 2 3 1 b は、左右方向を長手方向とする長方形形状であり、その全体が制御容量電極 2 5 2 および第 2 の画素電極 2 1 7 b と重畳するように形成される。これにより、第 1 の画素電極 2 1 7 a および制御容量電極 2 5 2 並びに薄膜部 2 3 1 a の重なり部分 (図 2 3 の 2 8 8) で上記容量 C 1 が支配的に決定され、第 2 の画素電極 2 1 7 b および制御容量電極 2 5 2 並びに薄膜部 2 3 1 b の重なり部分で上記容量 C 2 が支配的に決定されることになる。

【 0 1 2 4 】

図 2 2 の構成においても、薄膜部 2 3 1 a 全体が、層間絶縁膜の導電体上領域 2 3 8 の中に設けられるため、制御容量電極 2 5 2 は、薄膜部 2 3 1 a に対してズレマージンをもつことになる。したがって、制御容量電極 2 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 2 3 1 a にかからない範囲であれば容量 C 1 の容量値はほとんど変化しない。また、第 1 の画素電極 2 1 7 a のアライメント等がずれても、そのエッジが薄膜部 2 3 1 a にかからない範囲であれば容量 C 1 の容量値はほとんど変化しない。

【 0 1 2 5 】

同様に、制御容量電極 2 5 2 の線幅が変動しても、あるいはアライメントがずれても、そのエッジが薄膜部 2 3 1 b にかからない範囲であれば容量 C 2 の容量値はほとんど変化しない。また、第 2 の画素電極 2 1 7 b のアライメント等がずれても、そのエッジが薄膜部 2 3 1 b にかからない範囲であれば容量 C 2 の容量値はほとんど変化しない。

【 0 1 2 6 】

なお、図 2 2 に示すアクティブマトリクス基板を図 2 4 のように変形することもできる。すなわち、各画素領域において、薄膜部 2 3 1 を、第 1 および第 2 の画素電極 2 1 7 a ・ 2 1 7 b と重畳するように、層間絶縁膜の導電体上領域 2 3 8 の中央部に 1 つ設けることもできる。

【 0 1 2 7 】

本アクティブマトリクス基板を液晶パネル化したときの構成を図 1 1 に示す。同図に示すように、本液晶パネル 8 0 は、バックライト光源側から順に、偏光板 8 1、本アクティブマトリクス基板 1 0 0 (図 1 ・ 図 5 等参照)、配向膜 8 2、液晶層 8 3、カラーフィルタ基板 8 4、および偏光板 8 5 を備える。カラーフィルタ基板 8 4 は、液晶層 8 3 側から順に、配向膜 8 5、共通 (対向) 電極 8 6、着色層 8 7 (ブラックマトリクス 9 9 を含む)、ガラス基板 8 8 を備える。そして、この共通 (対向) 電極 8 6 に液晶分子配向制御用突起 (リブ) 8 6 x が設けられている。液晶分子配向制御用突起 8 6 x は、例えば、感光性樹脂等により形成される。リブ 8 6 x の (基板面垂直方向から見たときの) 平面形状としては、一定の周期でジグザクに屈曲した帯状 (横 V 字形状) 等が挙げられる。

【 0 1 2 8 】

ここで、液晶パネル化する際の、アクティブマトリクス基板とカラーフィルタ基板との間に液晶を封入する方法を説明しておく。液晶の封入方法については、基板周辺に液晶注入のため注入口を設けておいて真空で注入口を液晶に浸し、大気開放することによって液晶を注入した後 UV 硬化樹脂などで注入口を封止する、真空注入法などの方法で行ってもよい。しかしながら、垂直配向の液晶パネルでは、水平配向パネルに比べ注入時間が非常に長くなることから、以下に示す液晶滴下貼り合せ法を用いることが好ましい。まず、ア

10

20

30

40

50

クティブマトリクス基板の周囲にUV硬化型シール樹脂を塗布し、カラーフィルタ基板に滴下法により液晶の滴下を行う。液晶滴下法により液晶によって所望のセルギャップとなるよう最適な液晶量をシールの内側部分に規則的に滴下する。次に、上記のようにシール描画および液晶滴下を行ったカラーフィルタ基板とアクティブマトリクス基板とを貼合せするため、貼り合わせ装置内の雰囲気をも1 Paまで減圧し、この減圧下において基板の貼合せを行う。その後、雰囲気を大気圧にしてシール部分を押しつぶし、所望のセルギャップを得る。ついでUV照射によってシール樹脂を仮硬化した後、シール樹脂の最終硬化を行うためにベークを行う。この時点でシール樹脂の内側に液晶が行き渡り液晶がセル内に充填された状態となる。そして、ベーク完了後にパネル単位への分断を行い、偏光板を貼り付ける。以上により、図11に示すような液晶パネルが完成する。

10

【0129】

次に、本実施形態に係る液晶表示装置について説明する。

【0130】

図12は、本液晶表示装置509の概略構成を示すブロック図である。図12に示すように、液晶表示装置509は、Y/C分離回路500、ビデオクロマ回路501、A/Dコンバータ502、液晶コントローラ503、本アクティブマトリクス基板を有する液晶パネル504、バックライト駆動回路505、バックライト506、マイコン507、および階調回路508を備えている。

【0131】

液晶表示装置509で表示する画像信号や映像信号は、Y/C分離回路500に入力され、輝度信号および色信号に分離される。これら輝度信号および色信号は、ビデオクロマ回路501にて光の3原色であるR・G・Bに対応するアナログRGB信号に変換される。さらに、このアナログRGB信号は、A/Dコンバータ502にてデジタルRGB信号に変換され、液晶コントローラ503に入力される。

20

【0132】

この液晶コントローラ503に入力されたデジタルRGB信号は、液晶コントローラ503から液晶パネル504に入力される。液晶パネル504には、液晶コントローラ503から所定のタイミングでデジタルRGB信号が入力されると共に、階調回路508からRGB各々の階調電圧が供給される。また、バックライト駆動回路505によりバックライト506を駆動させ、液晶パネル504に光を照射する。これにより、液晶パネル504は画像や映像を表示する。また、上記各処理を含め、液晶表示装置509全体の制御はマイコン507によって行われる。

30

【0133】

上記映像信号としては、テレビジョン放送に基づく映像信号、カメラにより撮像された映像信号、インターネット回線を介して供給される映像信号など、様々な映像信号を挙げることができる。

【0134】

また、本発明の液晶表示装置509は、図13に示すように、テレビジョン放送を受信して映像信号を出力するチューナ部600と接続することにより、チューナ部600から出力された映像信号に基づいて映像(画像)表示を行うことが可能になる。この場合、液晶表示装置509とチューナ部600とでテレビジョン受信機601となる。

40

【0135】

上記液晶表示装置をテレビジョン受信機601とするとき、例えば、図14に示すように、液晶表示装置509を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801は、液晶表示装置509で表示される映像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置509の背面側を覆うものであり、該液晶表示装置509を操作するための操作用回路805が設けられるとともに、下方に支持用部材808が取り付けられている。

【0136】

次に、マルチピクセル駆動を行う(マルチピクセル駆動用のアクティブマトリクス基板

50

を備える)本液晶表示装置の一例について説明する。図15は、該液晶表示装置の構成を示す模式図である。

【0137】

液晶表示装置509は、液晶パネル504と、ソースラインS1・・・を駆動するソースドライバ540(データ信号線駆動回路)と、ゲートラインG1・・・を駆動するゲートドライバ541(走査信号線駆動回路)と、保持容量配線(信号線)Cs1・・・を駆動するCsコントロール回路543と、ソースドライバ540およびゲートドライバ541並びにCs用コントロール回路543を制御する表示制御回路542とを備えている。

【0138】

液晶パネル504の構成は図11(アクティブマトリクス基板については図1・図5等も参照)のとおりであり、図16・17に示されるように、第1の画素電極17a、対向電極(Vcom)、および両者間の液晶層によって第1副画素容量Csp1が構成され、第2の画素電極17b、対向電極(Vcom)、および両者間の液晶層によって第2副画素容量Csp2が構成される。なお、本液晶表示装置509では、ノーマリブラックとなるように偏光板が配置されているものとする。

【0139】

表示制御回路542は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取り、それらの信号Dv, HSY, VSY, Dcに基づき、そのデジタルビデオ信号Dvの表す画像を液晶パネル504に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号CLKと、表示すべき画像を表すデジタル画像信号DAと、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成し出力する。

【0140】

より詳しくは、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路542から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号CLKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル(Hレベル)となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間(1垂直走査期間)毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号Dcに基づきゲートドライバ出力制御信号GOEを生成する。

【0141】

上記のようにして表示制御回路542において生成された信号のうち、デジタル画像信号DAとデータスタートパルス信号SSPおよびデータクロック信号CLKとは、ソースドライバ540に入力され、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ541に入力される。

【0142】

ソースドライバ540は、デジタル画像信号DAとデータスタートパルス信号SSPおよびデータクロック信号CLKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号を1水平走査期間毎に順次生成し、これらのデータ信号をソースラインSにそれぞれ印加する。

【0143】

また、Csコントロール回路543には、GCKおよびGSPが入力される。Cs用コントロール回路542は、Cs信号波形の位相や幅を制御する。

【0144】

以下に、図16~図17および図1・図5等を用いて、本液晶表示装置509の駆動(マルチピクセル駆動)方法の一例を説明する。

10

20

30

40

50

【 0 1 4 5 】

本実施の形態では、第1の画素電極17aと、第2の画素電極17bとに、共通のデータ信号線から表示信号電圧を供給しておき、その後各TFT12a・12bをオフ状態にした後に第1の保持容量配線52aおよび第2の保持容量配線52bの電圧を相互に異なるように変化させる。これにより、1つの画素内に、第1副画素容量Csp1による高輝度領域と、第2副画素容量Csp2による低輝度領域とを形成する。この構成では、2つの画素電極に1本のデータ信号線から表示信号電圧を供給するため、データ信号線の数やこれらを駆動するソースドライバの数を増加させる必要がないという利点がある。

【 0 1 4 6 】

図17は、図16に示す回路の各部の電圧を示すタイミングチャートである。なお、Vgは走査信号線(第1および第2のTFTのゲート電極)の電圧、Vsはデータ信号線の電圧(ソース電圧)、Vcs1は第1の保持容量配線の電圧、Vcs2は第2の保持容量配線の電圧、Vlc1は第1の画素電極の電圧、Vlc2は第1の画素電極の電圧とする。なお、液晶表示装置においては、液晶が分極しないよう、一般にフレーム反転、ライン反転、ドット反転といった交流駆動を行う。すなわち、nフレーム目にソース電圧の中央値Vscに対してプラス極性のソース電圧(Vsp)を与え、次の(n+1)フレーム目ではVscに対してマイナス極性のソース電圧(Vsn)を与え、かつフレームごとにドット反転を行う。また、第1の保持容量配線の電圧および第2の保持容量配線の電圧を振幅電圧Vadで振幅させるとともに、両者の位相を180度ずらす。

【 0 1 4 7 】

nフレームにおける各電圧波形の経時変化を説明する。

【 0 1 4 8 】

まず、時刻T0で、 $V_{cs1} = V_{com} - V_{ad}$ 、 $V_{cs2} = V_{com} + V_{ad}$ とする。なお、Vcomは対向電極の電圧である。

【 0 1 4 9 】

時刻T1で、VgがVgLからVgHに変化し、各TFTがともにON状態となる。この結果、Vlc1およびVlc2がVspに上昇し、保持容量Ccs1・Ccs2および副画素容量Csp1・Csp2が充電される。

【 0 1 5 0 】

時刻T2で、VgがVgHからVgLに変化し、各TFTがOFF状態となって、保持容量Ccs1・Ccs2および副画素容量Csp1・Csp2がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 $V_{lc1} = V_{sp} - V_{d1}$ 、 $V_{lc2} = V_{sp} - V_{d2}$ となる。

【 0 1 5 1 】

時刻T3では、Vcs1が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、Vcs2が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$ となる。ここで、 $K = C_{cs} / (C_{lc} + C_{cs})$ であり、Ccsは各保持容量(Ccs1・Ccs2)の容量値、Clcは各副画素容量(Csp1・Csp2)の容量値とする。

【 0 1 5 2 】

時刻T4では、Vcs1が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、Vcs2が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1}$ 、 $V_{lc2} = V_{sp} - V_{d2}$ となる。

【 0 1 5 3 】

時刻T5では、Vcs1が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、Vcs2が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$ となる。

【 0 1 5 4 】

後は、次にVg = Vghとなり書き込みが行われるまで、水平走査期間1Hの整数倍ごとに、時刻T4・T5が繰り返される。したがって、Vlc1の実効値は、 $V_{sp} - V_{d1}$

10

20

30

40

50

$1 + K \times V_{ad}$ となり、 V_{lc2} の実効値は、 $V_{sp} - V_{d2} - K \times V_{ad}$ となる。

【0155】

以上から、 n フレーム目において各副画素容量（第1副画素容量 C_{sp1} ・第2副画素容量 C_{sp2} ）にかかる実効電圧（ $V_1 \cdot V_2$ ）は、 $V_1 = V_{sp} - V_{d1} + K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sp} - V_{d2} - K \times V_{ad} - V_{com}$ となるため、1つの画素内に、第1副画素容量 C_{sp1} による高輝度領域と、第2副画素容量 C_{sp2} による低輝度領域とが形成される。

【0156】

次に、 $n + 1$ フレームにおける各電圧波形の経時変化を説明する。

【0157】

まず、時刻 T_0 で、 $V_{cs1} = V_{com} + V_{ad}$ 、 $V_{cs2} = V_{com} - V_{ad}$ とする。なお、 V_{com} は対向電極の電圧である。

【0158】

時刻 T_1 で、 V_g が V_{gL} から V_{gH} に変化し、各TFTがともにON状態となる。この結果、 V_{lc1} および V_{lc2} が V_{sn} に低下し、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ が充電される。

【0159】

時刻 T_2 で、 V_g が V_{gH} から V_{gL} に変化し、各TFTがOFF状態となって、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 $V_{lc1} = V_{sn} - V_{d1}$ 、 $V_{lc2} = V_{sn} - V_{d2}$ となる。

【0160】

時刻 T_3 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$ となる。ここで、 $K = C_{cs} / (C_{lc} + C_{cs})$ であり、 C_{cs} は各保持容量（ $C_{s1} \cdot C_{s2}$ ）の容量値、 C_{lc} は各副画素容量（ $C_{sp1} \cdot C_{sp2}$ ）の容量値とする。

【0161】

時刻 T_4 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} + V_{d1}$ 、 $V_{lc2} = V_{sn} + V_{d2}$ となる。

【0162】

時刻 T_5 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$ となる。

【0163】

後は、次に $V_g = V_{gH}$ となり書き込みが行われるまで、水平走査期間 $1H$ の整数倍ごとに、時刻 $T_4 \cdot T_5$ が繰り返される。したがって、 V_{lc1} の実効値は、 $V_{sn} - V_{d1} - K \times V_{ad}$ となり、 V_{lc2} の実効値は、 $V_{sn} - V_{d2} + K \times V_{ad}$ となる。

【0164】

以上から、 n フレーム目において各副画素容量（ $C_{sp1} \cdot C_{sp2}$ ）にかかる実効電圧（ $V_1 \cdot V_2$ ）は、 $V_1 = V_{sn} - V_{d1} - K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sn} - V_{d2} + K \times V_{ad} - V_{com}$ となるため、1つの画素内に、第1副画素容量 C_{sp1} による高輝度領域と、第2副画素容量 C_{sp2} による低輝度領域とが形成される。

【0165】

ここで、大型のアクティブマトリクス基板では、各露光処理で露光量が変化し、（レジストパターンの線幅がばらつく、あるいはアライメントがずれることによって上記 K の値が基板内でばらつくため）各露光処理に対応した露光領域（表示エリア）ごとに輝度の差が生じるという問題があるが、本アクティブマトリクス基板によれば、 K の値が基板内でばらつくことを効果的に抑制できるため、上記問題を解消することができる。

10

20

30

40

50

【0166】

なお、上記した方法では簡易的に V_{cs1} と V_{cs2} の位相を 180 度ずらしているが、1つの画素に明領域と暗領域を形成できればよいので必ずしも位相のずれが 180 度でなくても構わない。また、 V_{cs1} と V_{cs2} のパルス幅を V_s と同等としたがこれに限らず、例えば大型高精細の液晶表示装置を駆動する場合の C_s 信号遅延による保持容量の充電不足を考慮してパルス幅を変更することが好ましい。これらは、 GSP や GCK が入力される C_s 用コントロール回路により制御可能である。

【0167】

また、図18のように、 V_{cs1} を、 T_2 で V_g が「L」となった(各 $TFT12a \cdot 12b$ がオフした)直後の T_3 で「High」になったまま(あるいは「Low」になったまま)の波形とし、 V_{cs2} を、 T_3 から1水平期間(1H)後の T_4 で「Low」になったまま(あるいは「High」になったまま)の波形とすることもできる。すなわち、各トランジスタがオフされた後に、 V_{cs1} を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、 V_{cs1} の突き上げから1H期間ずらして V_{cs2} を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、 V_{cs1} を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、 V_{cs1} の突き下げから1H期間ずらして V_{cs2} を突き上げて該フレームではこの突き上げたままの状態を維持するような電位制御を行う。

【0168】

図18のnフレームにおける各電圧波形の経時変化を説明する。

【0169】

まず、時刻 T_0 で、 $V_{cs1} = V_{com} - V_{ad}$ 、 $V_{cs2} = V_{com} + V_{ad}$ とする。なお、 V_{com} は対向電極の電圧である。

【0170】

時刻 T_1 で、 V_g が V_{gL} から V_{gH} に変化し、各 TFT がともにON状態となる。この結果、 V_{lc1} および V_{lc2} が V_{sp} に上昇し、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ が充電される。

【0171】

時刻 T_2 で、 V_g が V_{gH} から V_{gL} に変化し、各 TFT がOFF状態となって、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 $V_{lc1} = V_{sp} - V_{d1}$ 、 $V_{lc2} = V_{sp} - V_{d2}$ となる。

【0172】

時刻 T_3 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。時刻 T_4 では(T_3 の1H後)、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$ となる。ここで、 $K = C_{cs} / (C_{lc} + C_{cs})$ であり、 C_{cs} は各保持容量($C_{s1} \cdot C_{s2}$)の容量値、 C_{lc} は各副画素容量($C_{sp1} \cdot C_{sp2}$)の容量値とする。

【0173】

以上から、nフレーム目において各副画素容量(第1副画素容量 C_{sp1} ・第2副画素容量 C_{sp2})にかかる実効電圧($V_1 \cdot V_2$)は、 $V_1 = V_{sp} - V_{d1} + 2 \times K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sp} - V_{d2} - 2 \times K \times V_{ad} - V_{com}$ となるため、1つの画素内に、第1副画素容量 C_{sp1} による明副画素と、第2副画素容量 C_{sp2} による暗副画素とが形成される。

【0174】

こうすれば、 V_{cs1} および V_{cs2} 波形のなまりがドレイン実効電位に与える影響が小さくなり、輝度ムラの低減に有効である。

【0175】

10

20

30

40

50

なお、図1・図3・図5・図8に示すアクティブマトリクス基板は各保持容量配線を上下（データ信号線に沿った方向）に隣接する画素同士で共有する構成であるが、各保持容量配線を上下に隣接する画素同士で共有しない構成では、図29に示すように、Vcs1を、T2でVgが「L」となった（各TFT12a・12bがオフした）直後のT3で「High」になったまま（あるいは「Low」になったまま）の波形とし、同様に、Vcs2を、T2でVgが「L」となった直後のT3で「Low」になったまま（あるいは「High」になったまま）の波形とすることもできる。すなわち、各トランジスタがオフされた後に、Vcs1を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、Vcs1の突き上げと同期してVcs2を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、Vcs1を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、Vcs1の突き下げと同期してVcs2を突き上げて該フレームではこの突き上げたままの状態を維持するような電位制御を行ってもよい。

10

【0176】

本発明は上述した各実施形態に限定されるものではなく、異なる実施形態に開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0177】

本発明のアクティブマトリクス基板は、例えば液晶テレビに好適である。

20

【図面の簡単な説明】

【0178】

【図1】実施の形態1に係るアクティブマトリクス基板の構成を示す平面図である。

【図2】実施の形態1に係るアクティブマトリクス基板の断面を示す断面図である。

【図3】実施の形態1に係るアクティブマトリクス基板の構成を示す平面図である。

【図4】実施の形態1に係るアクティブマトリクス基板の断面を示す断面図である。

【図5】実施の形態2に係るアクティブマトリクス基板の構成を示す平面図である。

【図6】実施の形態2に係るアクティブマトリクス基板の断面を示す断面図である。

【図7】実施の形態2に係るアクティブマトリクス基板の断面を示す断面図である。

【図8】実施の形態2に係るアクティブマトリクス基板の構成を示す平面図である。

30

【図9】実施の形態1に係るアクティブマトリクス基板の構成を示す平面図である。

【図10】実施の形態2に係るアクティブマトリクス基板の構成を示す平面図である。

【図11】本実施の形態に係る液晶パネルの構成を示す断面図である。

【図12】本実施の形態に係る液晶パネルの制御構成を示すブロック図である。

【図13】本実施の形態に係るテレビジョン受像機の構成を示すブロック図である。

【図14】本実施の形態に係るテレビジョン受像機の構成を示す斜視図である。

【図15】本実施の形態に係る液晶表示装置の制御構成を示すブロック図である。

【図16】本アクティブマトリクス基板の等価回路図である。

【図17】本液晶表示装置の駆動方法を示すタイミングチャートである。

【図18】本液晶表示装置の他の駆動方法を示すタイミングチャートである。

40

【図19】実施の形態1に係るアクティブマトリクス基板の他の構成を示す平面図である。

【図20】実施の形態1に係るアクティブマトリクス基板の他の構成を示す平面図である。

【図21】図20に示すB1 - B2での断面図である。

【図22】実施の形態3に係るアクティブマトリクス基板の構成を示す平面図である。

【図23】図22に示すA1 - A2での断面図である。

【図24】実施の形態3に係るアクティブマトリクス基板の他の構成を示す平面図である。

【図25】保持容量配線の線幅ずれによる保持容量の変動を、本構成および比較構成でシ

50

ミュレートした結果を示すグラフである。

【図26】保持容量配線の線幅ずれによる実効電位の変動を、本構成および比較構成でシミュレートした結果を示すグラフである。

【図27】本構成に係る上記シミュレートにおいて、第1ゲート層(SOG膜)の厚みを変化させたときに実効電位の変動がどう変わるかを示したグラフである。

【図28】本構成に係る上記シミュレートにおいて、第1ゲート層(SOG膜)の厚みを変化させたときに輝度差変化量がどう変わるかを示したグラフである。

【図29】本液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図30】従来のアクティブマトリクス基板の構成を示す平面図である。

【図31(a)】従来のアクティブマトリクス基板の構成を示す平面図である。

10

【図31(b)】図31(a)に示すアクティブマトリクス基板の断面図である。

【符号の説明】

【0179】

10 画素領域

11 a・11 b コンタクトホール

12 a 第1のTFT

12 b 第2のTFT

15 データ信号線

16 走査信号線

17 a 第1の画素電極

20

17 b 第2の画素電極

31 a 第1の薄膜部

31 b 第2の薄膜部

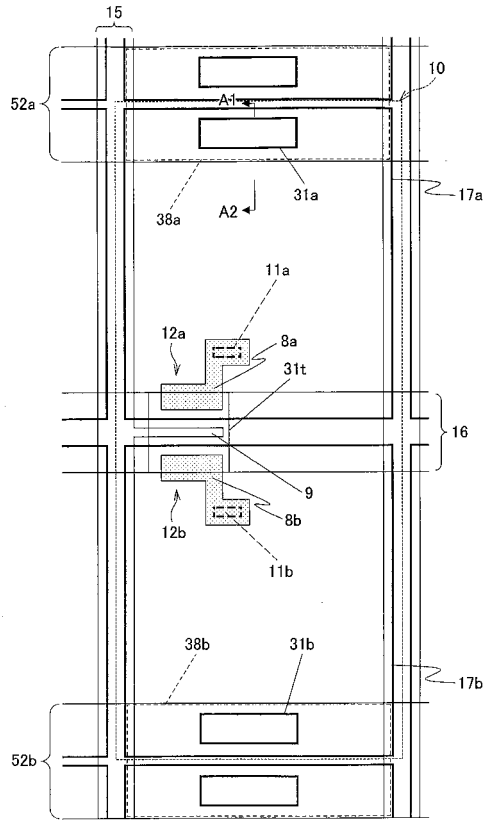
52 a 第1の保持容量配線

52 b 第2の保持容量配線

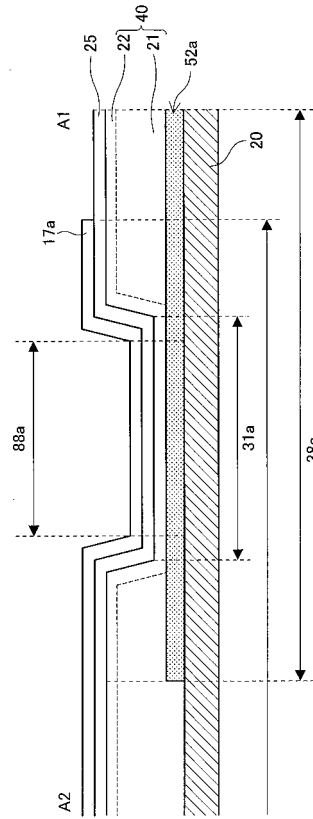
107 a 第1のドレイン引き出し電極

107 b 第2のドレイン引き出し電極

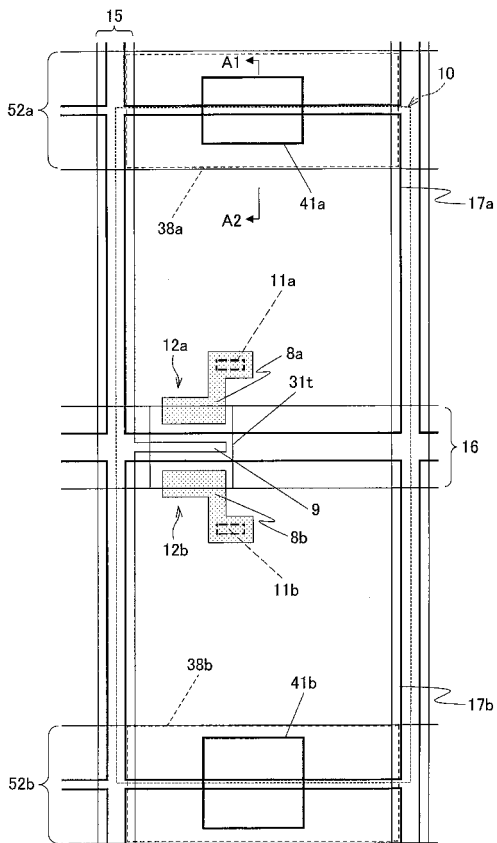
【図1】



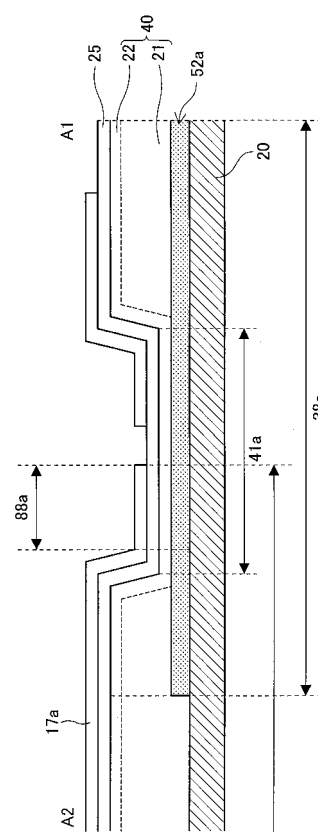
【図2】



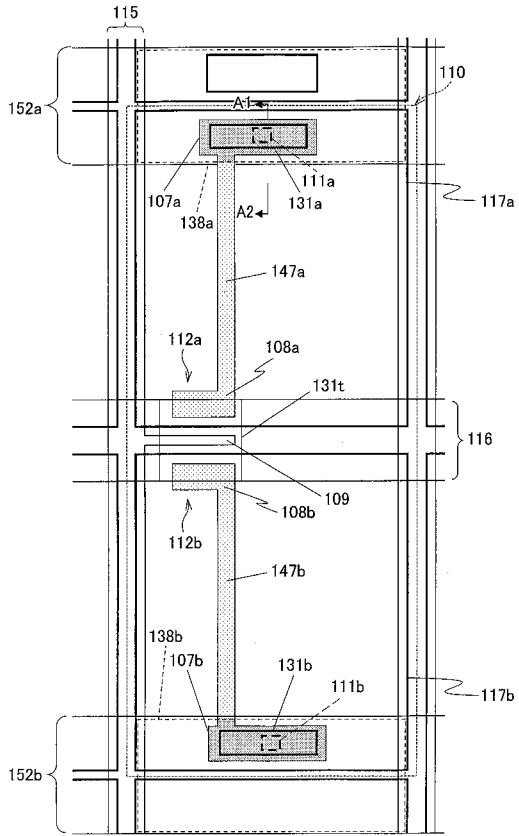
【図3】



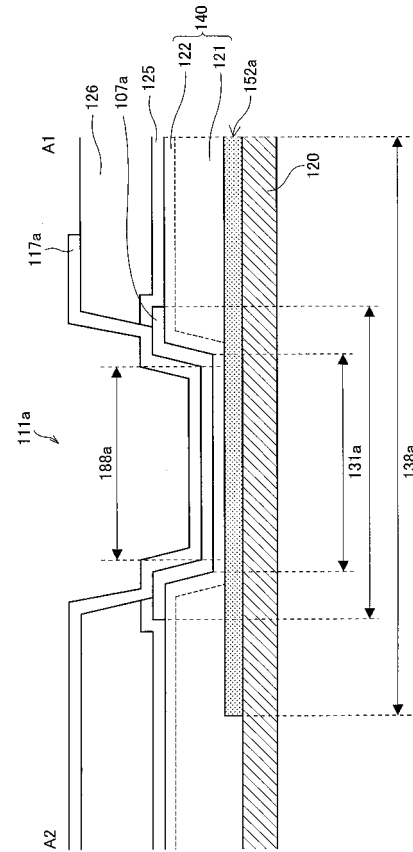
【図4】



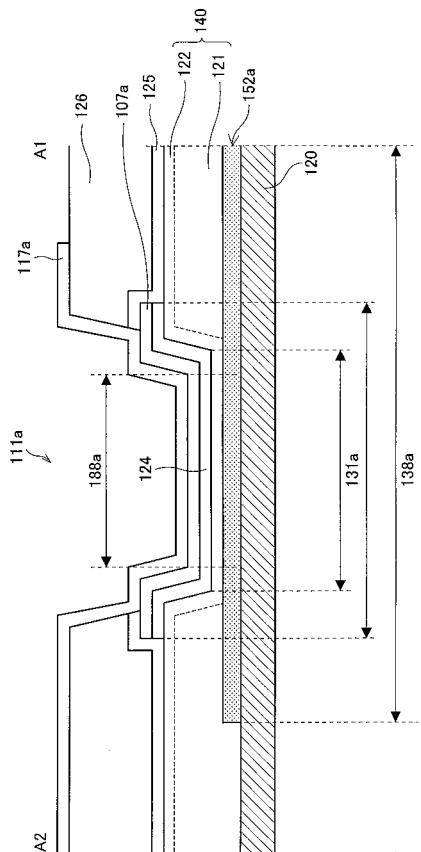
【図5】



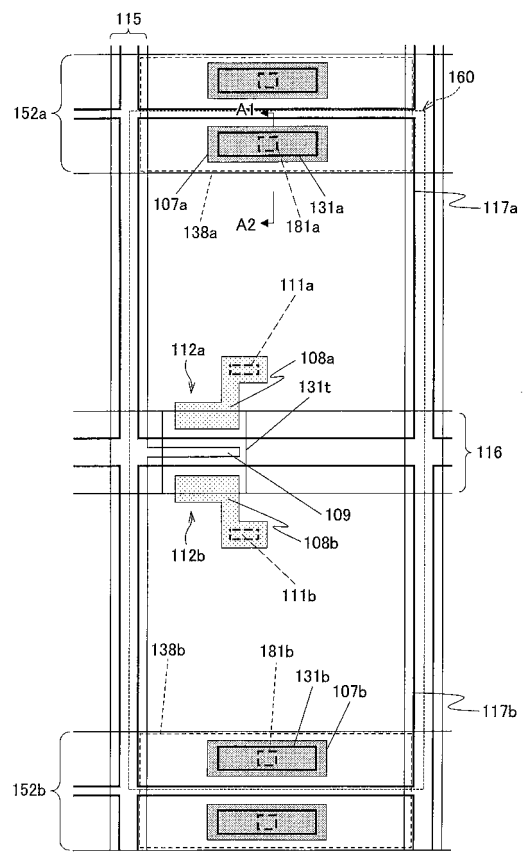
【図6】



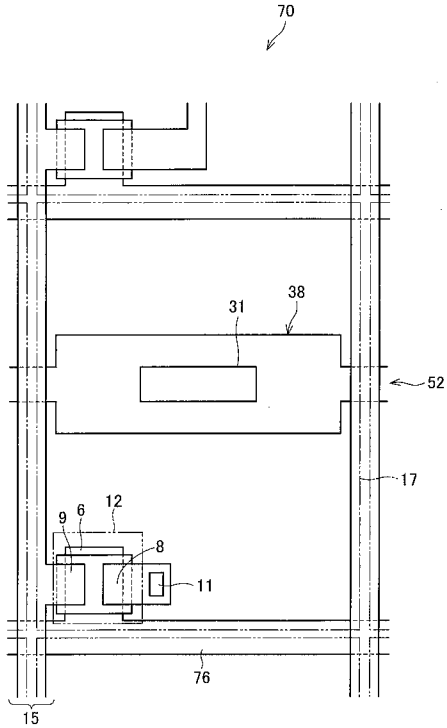
【図7】



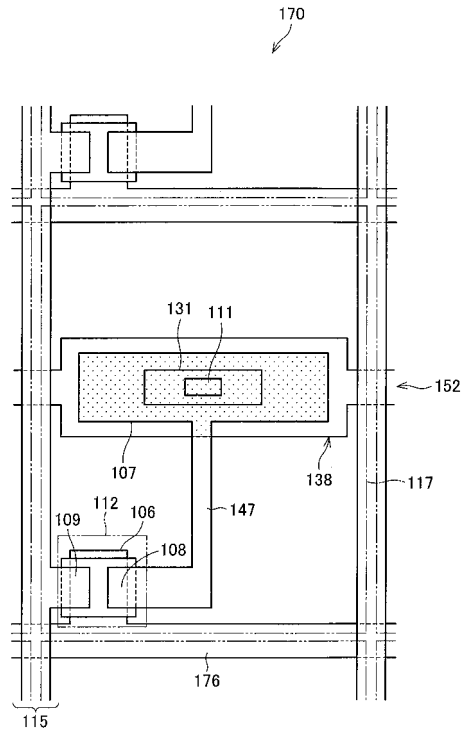
【図8】



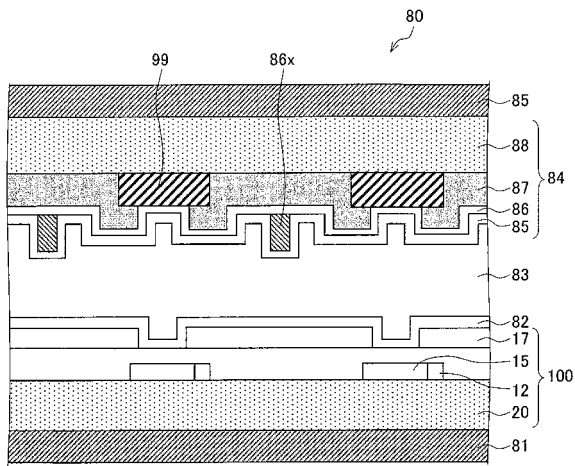
【図9】



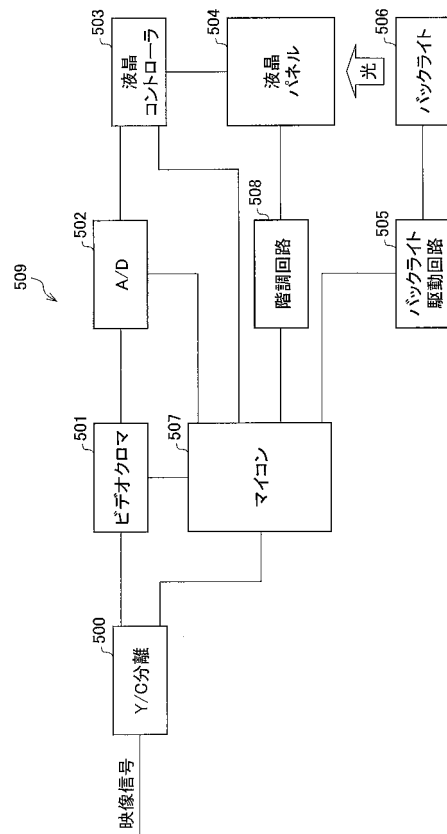
【図10】



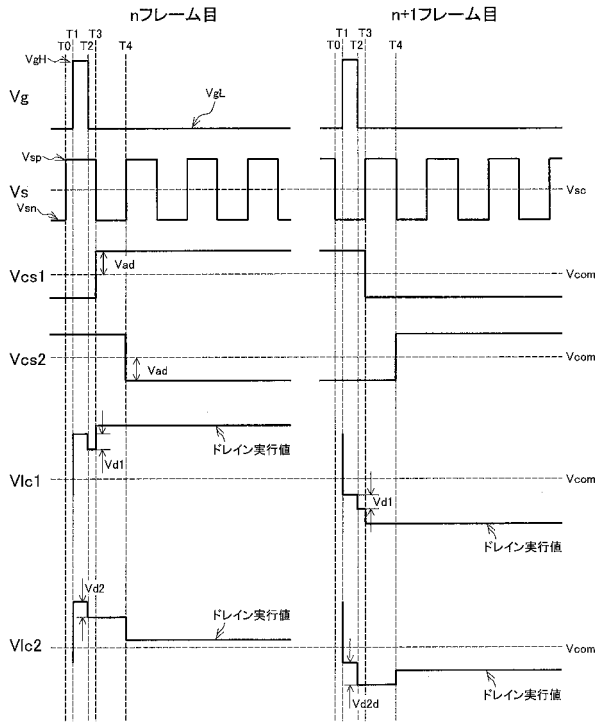
【図11】



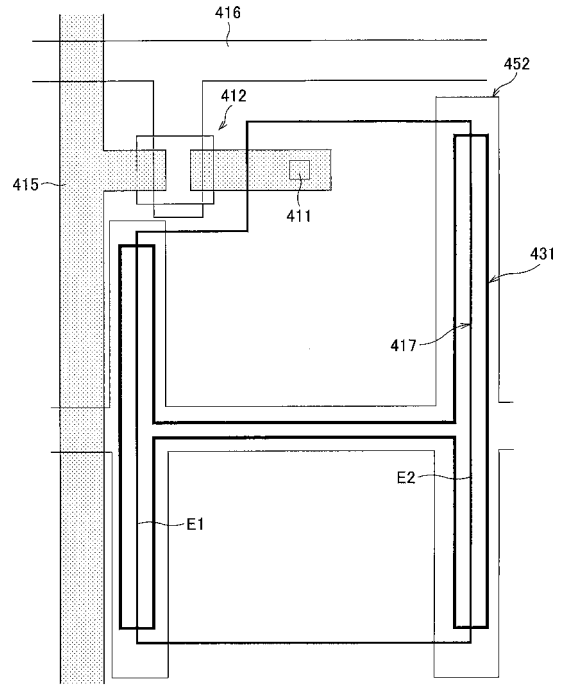
【図12】



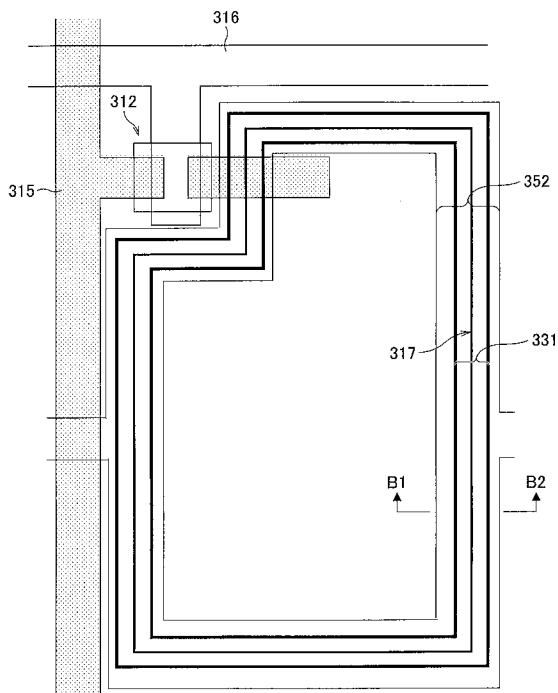
【図18】



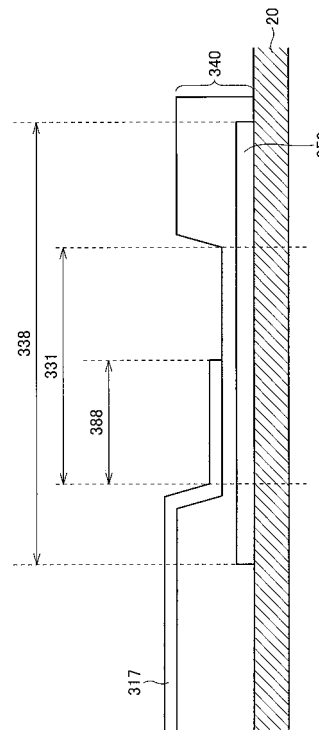
【図19】



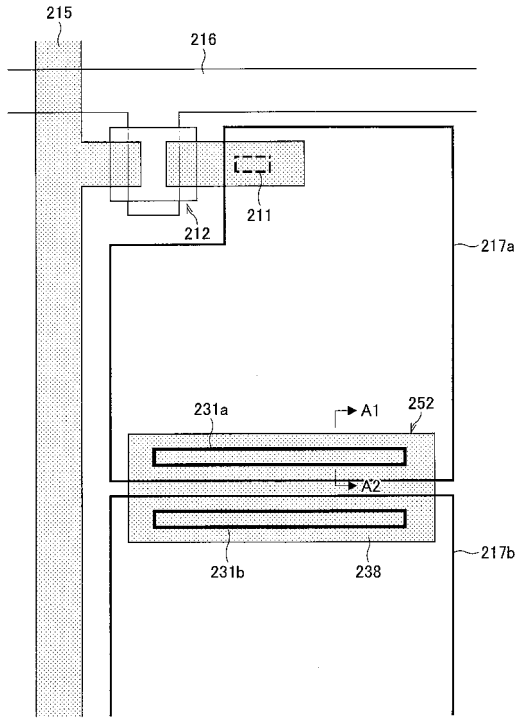
【図20】



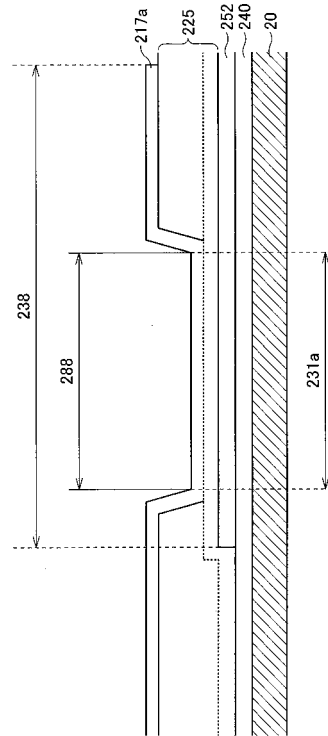
【図21】



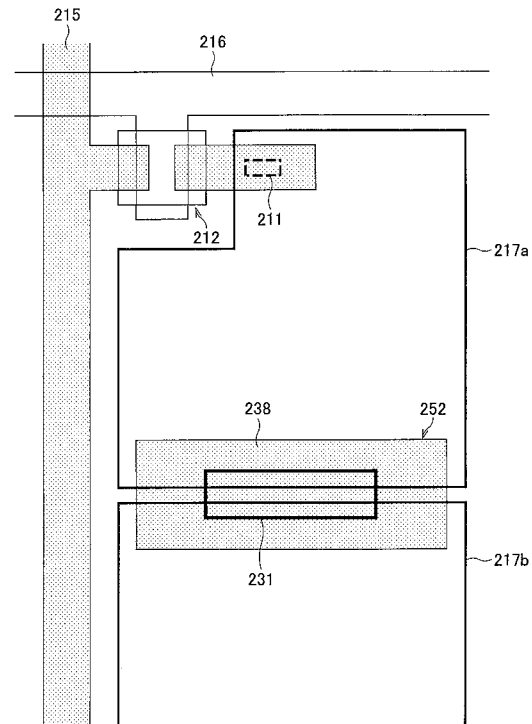
【図 2 2】



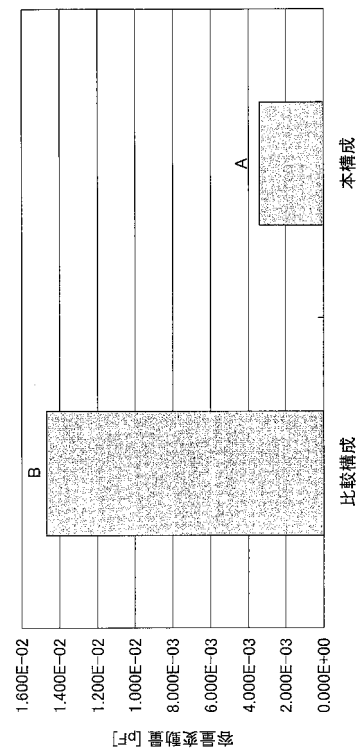
【図 2 3】



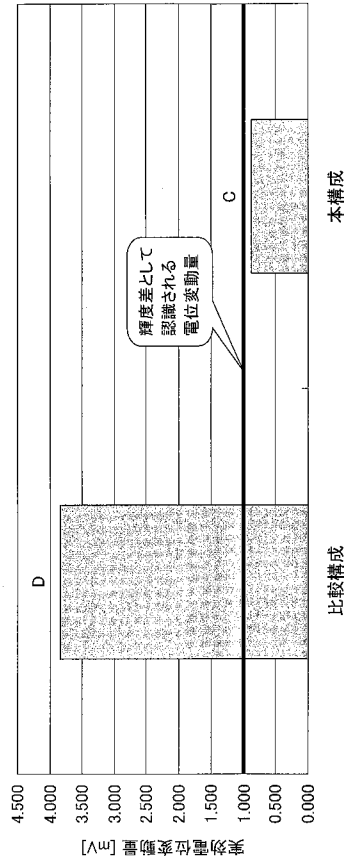
【図 2 4】



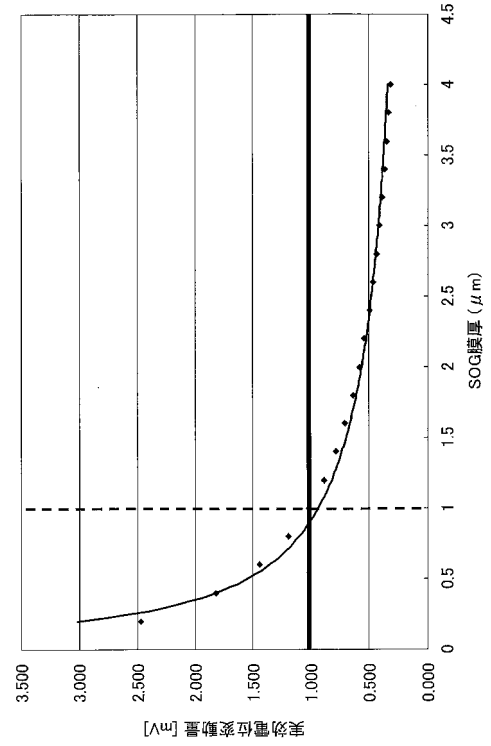
【図 2 5】



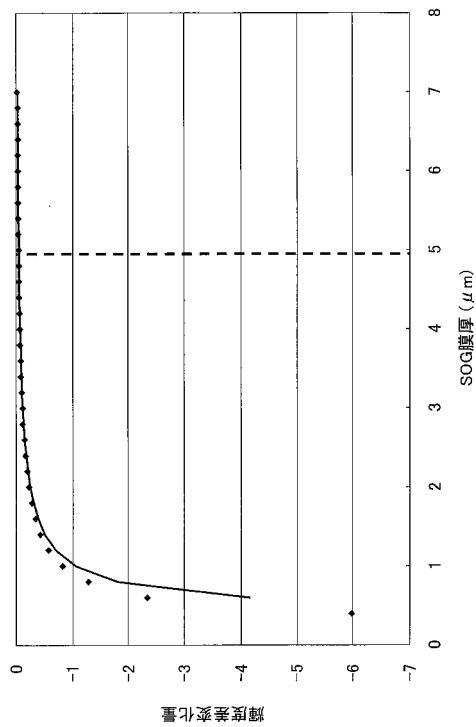
【図26】



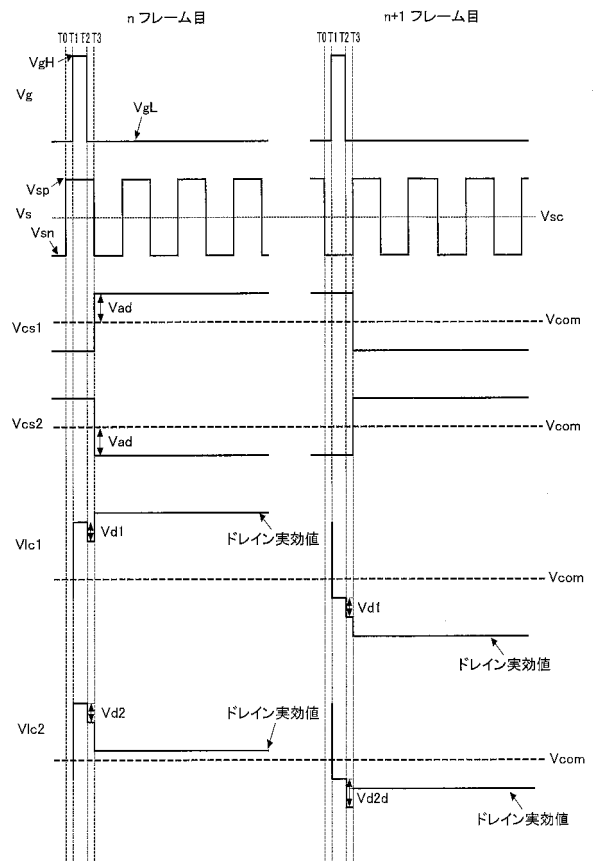
【図27】



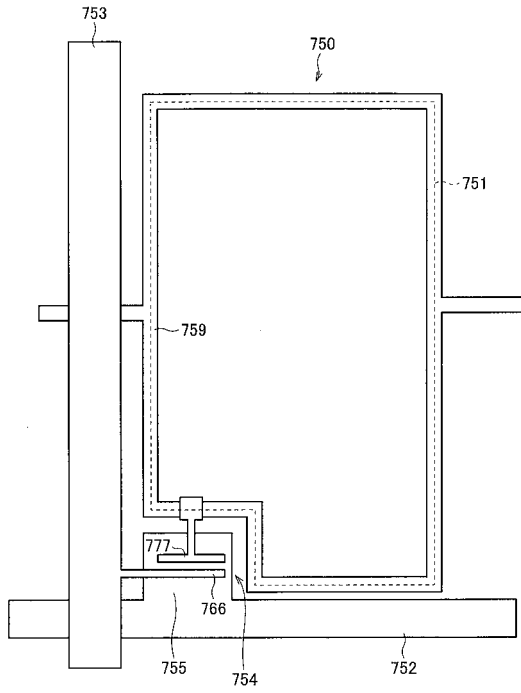
【図28】



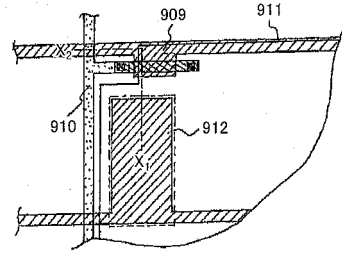
【図29】



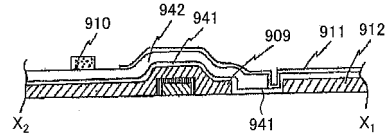
【図30】



【図31(a)】



【図31(b)】



フロントページの続き

合議体

審判長 吉野 公夫

審判官 右田 昌士

審判官 田部 元史

- (56)参考文献 特開2005-234552(JP,A)
特開平11-015022(JP,A)
特開平02-248927(JP,A)
特開平05-307194(JP,A)
特開平10-293323(JP,A)
特開2004-006837(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F1/1368