

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96128461

※ 申請日期： 96.08.02

※IPC 分類：G06F 9/315 (2006.01)

一、發明名稱：(中文/英文)

在微處理器中用以結合多個暫存器單元之方法及系統

METHOD AND SYSTEM TO COMBINE MULTIPLE REGISTER
UNITS WITHIN A MICROPROCESSOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 魯西恩 寇德古
CODRESCU, LUCIAN
2. 瑞齊 帕倫奇
PLONDKE, ERICH
3. 蔣莫
ZENG, MAO

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年08月02日；11/498,627

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於微處理器，且更具體言之，係關於在微處理器(諸如數位信號處理器)內結合多個暫存器單元之方法及系統。

【先前技術】

通常電腦系統包括一或多個微處理器器件，每一微處理器器件經組態以對儲存於電腦系統之記憶體內之值執行運算並管理電腦系統之總運算。此等電腦系統亦可包括各種多媒體器件(諸如音效卡及/或視訊卡)，每一多媒體器件進一步包括一或多個處理器(諸如數位信號處理器(DSP))，該或該等處理器執行每一各別多媒體器件內之複雜數學計算。

數位信號處理器(DSP)通常包括經特定組態以執行此等數學計算之硬體執行單元，諸如一或多個算術邏輯單元(ALU)、一或多個乘法及累加單元(MAC)，及經組態以執行藉由DSP內之指令集所規定之運算的其他功能單元。此等運算可包括(例如)算術運算、邏輯運算及其他資料處理運算，每一者藉由相關聯指令集所定義。

通常，DSP內之執行單元自耦接至記憶體及執行單元之暫存器檔案讀取資料及運算元、執行指令運算，且將結果儲存於暫存器檔案中。暫存器檔案包括多個暫存器單元，每一暫存器單元作為一單一暫存器或作為兩個相鄰暫存器單元之經對齊對而為可存取的。然而，某些特定運算(諸

如加或減資料之運算)需要來自暫存器檔案內之獨立暫存器單元之資料經適當地對齊以用於執行指令。因此，需要一種在執行單一指令期間結合DSP內多個非相鄰的暫存器單元以致能儲存於此等暫存器單元內之資料之適當對齊的方法及系統。

【發明內容】

本發明描述一種在微處理器(諸如數位信號處理器)內結合多個暫存器單元之方法及系統。在一實施例中，自處理單元內之暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於暫存器檔案結構內。在執行單一指令期間進一步結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元。最後，所得暫存器單元儲存於暫存器檔案結構內以用於進一步處理。

在一替代實施例中，在擷取第一暫存器單元及第二暫存器單元之後，自第一暫存器單元擷取第一半字單元且自第二暫存器單元擷取第二半字單元。在執行單一指令期間將第一半字單元及第二半字單元進一步輸入至所得暫存器單元之對應高及低部分以形成所得暫存器單元。最後，所得暫存器單元儲存於暫存器檔案結構內以用於進一步處理。

【實施方式】

本發明描述一種在微處理器(諸如數位信號處理器)內結合多個暫存器單元的方法及系統。儘管以下所描述之系統致能數位信號處理器(DSP)結合暫存器單元，但應瞭解可

使用一微處理器器件，或能在執行單一指令期間將多個暫存器單元結合為一所得較大暫存器單元之任何其他處理單元來實施該系統。

通常，DSP內之執行單元自暫存器檔案讀取資料及運算元，執行指令運算，且將結果儲存於暫存器檔案中。暫存器檔案包括多個暫存器單元，每一暫存器單元作為一單一暫存器或作為兩個相鄰暫存器單元之經對齊對而為可存取的。然而，某些特定運算(諸如加或減資料之運算)需要來自暫存器檔案內之獨立暫存器單元之資料經適當地對齊以用於執行指令。以下詳述之實施例有助於在執行單一指令期間結合/串聯DSP內之多個非相鄰的暫存器單元，以致能儲存於此等暫存器單元內之資料的適當對齊以為後續之向量運算做準備。

在一實施例中，自處理單元內之暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於暫存器檔案結構內。在執行單一指令期間進一步結合該第一暫存器單元及該第二暫存器單元以形成一所得較大暫存器單元。最後，所得暫存器單元儲存於暫存器檔案結構內以用於進一步處理。

在一替代實施例中，在擷取第一暫存器單元及第二暫存器單元之後，自第一暫存器單元擷取第一半字單元且自第二暫存器單元擷取第二半字單元。在執行單一指令期間將第一半字單元及第二半字單元進一步輸入至所得暫存器單元之對應高及低部分以形成所得暫存器單元。最後，所得

暫存器單元儲存於暫存器檔案結構內以用於進一步處理。

圖1為執行指令集之數位信號處理系統之方塊圖。如圖1中所說明，數位信號處理系統100包括一處理單元110、一記憶體150及一或多個匯流排160，匯流排160將處理單元110耦接至記憶體150。

記憶體150以(諸如)藉由VLIW編譯器產生之極長指令字(VLIW)封包的形式儲存資料及指令，每一VLIW封包包合一或多個指令。封包之每一指令通常具有預定寬度且具有記憶體150中之特定位址，以使得封包中之第一指令通常具有較封包之最後指令低之記憶體位址。記憶體之定址機制為此項技術中所熟知的且此處未加以詳細討論。經由匯流排160將記憶體150中之指令載入處理單元110中。

處理單元110進一步包含經由一或多個管線140耦接至一或多個暫存器檔案結構120之中央處理單元核心130。處理單元110可進一步包含一或多個微處理器，數位信號處理器，或其類似物。

暫存器檔案120進一步包含：一組通用暫存器單元，其支援通用計算，且在下文結合圖2進一步詳細描述其；及一組控制暫存器單元，其支援特殊目的功能性，諸如硬體迴路、述詞及其他特殊運算元。

圖2為說明數位信號處理系統內之通用暫存器結構之一實施例的方塊圖。如圖2中所說明，在一實施例中，暫存器檔案120內之通用暫存器檔案結構200包括多個暫存器單元，諸如三十二(32)位元寬暫存器單元210，每一暫存器單

元作為單一暫存器或作為兩個相鄰暫存器單元210之經對齊對220為可存取的。

可基於合適之指令藉由多個名稱來指代通用暫存器單元210。舉例而言，暫存器單元210可個別地被稱為 R_0 、 R_1 、.....、 R_{30} 及 R_{31} 。此外，暫存器單元 R_0 及 R_1 可形成一被稱為 $R_{1:0}$ 之64位元暫存器對220。相似地，暫存器單元 R_2 及 R_3 可形成被稱為 $R_{3:2}$ 之64位元暫存器對220，暫存器單元 R_{28} 及 R_{29} 可形成被稱為 $R_{29:28}$ 之64位元暫存器對220，且暫存器單元 R_{30} 及 R_{31} 可形成被稱為 $R_{31:30}$ 之64位元暫存器對220。

在一實施例中，通用暫存器單元210用於通用計算目的，諸如位址產生、純量算術及向量算術；且提供用於指令之所有運算元，包括用於載入/儲存指令之位址、用於數值指令之資料運算元及用於向量指令之向量運算元。

圖3為說明極長指令字(VLIW)數位信號處理系統架構之一實施例的方塊圖。VLIW系統架構300包括經由一指令載入匯流排320、一資料載入匯流排322及一資料載入/儲存匯流排324耦接至一數位信號處理器(DSP)330之記憶體310。

在一實施例中，記憶體310以(例如)具有一至四個指令之VLIW封包之形式儲存資料及指令。經由指令載入匯流排320將記憶體310內所儲存之指令載入至DSP 330。在一實施例中，每一指令具有一32位元字寬，其經由一具有四字寬之128位元指令載入匯流排320載入至DSP 330。在一

實施例中，記憶體310為統一位元組可定址記憶體，具有儲存指令與資料之32位元位址空間，且在小端序模式(little-endian mode)中操作。

在一實施例中，DSP 330包含一序列器335、用於四個處理或執行單元345之四個管線340、一通用暫存器檔案結構350(包含複數個通用暫存器單元，諸如結合圖2詳細描述之通用暫存器檔案結構200)及一控制暫存器檔案結構360。序列器335自記憶體310接收指令之封包且使用含於指令內之資訊為每一所接收之封包之每一指令判定適當之管線340及各別執行單元345。在為封包之每一指令作出此判定之後，序列器335將指令輸入至適當之管線340中以藉由適當之執行單元345處理。

在一實施例中，該等執行單元345進一步包含一向量移位單元、一向量MAC單元、一載入單元及一載入/儲存單元。向量移位單元345執行(例如)S型(移位單元)指令，諸如移位及加/減運算、移位及邏輯運算、置換運算(Permute operation)、述詞運算、位元操作及向量半字/字移位；A64型(64位元算術)指令，諸如64位元算術及邏輯運算、32位元邏輯運算、置換運算；A32型(32位元算術)指令，諸如32位元算術運算；J型(跳轉)指令，諸如跳轉/調用PC相關運算；及CR型(控制暫存器)指令，諸如控制暫存器轉移、硬體迴路設置。向量MAC單元345執行(例如)M型(乘法單元)指令，諸如單精度、雙精度、複雜及向量位元組/半字指令；A64型指令；A32型指令；J型指令及JR型(跳轉

暫存器)指令，諸如跳轉/調用暫存器運算。載入單元345將資料自記憶體310載入至通用暫存器檔案結構350且執行(例如)載入型及A32型指令。載入/儲存單元345將來自通用暫存器檔案結構350之資料載入並儲存回至記憶體310，且執行(例如)載入型、儲存型及A32型指令。

接收指令之每一執行單元345使用藉由四個執行單元345所共用之通用暫存器檔案結構350來執行指令。將由指令所需之資料經由64位元資料載入匯流排322載入至通用暫存器檔案結構350。在藉由執行單元345執行一封包之指令之後，將所得資料儲存至通用暫存器檔案結構350且隨後經由64位元資料載入/儲存匯流排324載入並儲存至記憶體310。通常，一封包之一至四個指令藉由四個執行單元345在一時脈週期中並行執行，其中對於每一時脈週期而言，藉由管線340接收並處理最多一指令。

在一實施例中，執行單元345亦可使用控制暫存器檔案結構360來執行對應之指令。控制暫存器檔案結構360包含一組特殊暫存器單元，諸如修改暫存器(modifier register)單元、狀態暫存器單元及述詞暫存器單元。

圖4為說明在數位信號處理系統100內結合暫存器單元之方法的一實施例的流程圖。如圖4之實施例中所說明，在處理步驟410處，接收在數位信號處理系統300內結合/串聯暫存器單元的指令。在一實施例中，如以下所描述，DSP 330內之執行單元345接收指令且執行該指令以結合儲存於通用暫存器檔案結構350中之預定暫存器單元。在一

實施例中，預定暫存器單元並非相鄰地位於通用暫存器檔案結構內。

在處理步驟420處，識別預定暫存器單元(諸如第一32位元寬暫存器單元及第二32位元寬暫存器單元)。在一實施例中，執行單元345與通用暫存器檔案結構350通信且識別請求待結合之暫存器單元。在一實施例中，記憶體310隨後經由64位元資料載入匯流排322將由指令所需之資料載入至通用暫存器檔案結構350。或者，資料可能已儲存於所識別之第一及第二暫存器單元內。

在處理步驟430處，擷取所識別之暫存器單元及相關聯之資料。在一實施例中，執行單元345自通用暫存器檔案結構350擷取所識別之暫存器單元及相關聯之資料。

在處理步驟440處，將所擷取之暫存器單元結合/串聯在所得較大暫存器對內。在一實施例中，執行單元345結合所擷取之暫存器單元(諸如第一及第二32位元寬暫存器單元)及其相關聯之資料為一所得64位元寬暫存器對單元，以使得第一暫存器單元及其相關聯之資料輸入至所得暫存器單元之高部分且第二暫存器單元及其相關聯之資料輸入至所得暫存器單元之低部分。

最後，在處理步驟450處，儲存所得暫存器對以用於進一步處理。在一實施例中，執行單元345將所得暫存器單元輸出至通用暫存器檔案結構350且儲存所得暫存器單元以用於額外指令之進一步處理。

圖5為說明結合圖4所描述之用以結合暫存器單元之方法

的方塊圖。如圖 5 中所說明，識別到源暫存器單元 R_S 510 及 R_T 520 且進一步自通用暫存器檔案結構 350 擷取該等源暫存器單元 R_S 510 及 R_T 520。

在一實施例中，將源暫存器單元 R_S 510 及 R_T 520 結合/串聯為所得較大目的暫存器單元 R_D 530 之指令為：

$$R_D = \text{結合}(R_S, R_T)$$

一旦執行該指令，便將暫存器單元 R_S 510 及 R_T 520 結合/串聯為所得較大目的暫存器單元 R_D 530，以使得駐留於暫存器單元 R_S 510 中之資料輸入至暫存器單元 R_D 530 之高部分中且駐留於暫存器單元 R_T 520 中之資料輸入至暫存器單元 R_D 530 之低部分中。若(例如) R_S 510 及 R_T 520 皆為 32 位元寬暫存器單元，則所得目的暫存器單元 R_D 530 為一 64 位元寬暫存器。

圖 6 為說明在數位信號處理系統 300 內結合暫存器單元之方法的一替代實施例的流程圖。如圖 6 之實施例中所說明，在處理步驟 610 處，接收在數位信號處理系統 300 內結合/串聯暫存器單元的指令。在一實施例中，DSP 330 內之執行單元 345 接收指令且執行該指令以結合儲存於通用暫存器檔案結構 350 中之預定暫存器單元。在一實施例中，預定暫存器單元並非相鄰地位於通用暫存器檔案結構內。

在處理步驟 620 處，識別預定暫存器單元(諸如第一 32 位元寬暫存器單元及第二 32 位元寬暫存器單元)。在一實施例中，執行單元 345 與通用暫存器檔案結構 350 通信且識別請求待結合之暫存器單元。在一實施例中，記憶體 310 隨

後經由64位元資料載入匯流排322將由指令所需之資料載入至通用暫存器檔案結構350。或者，資料可能已儲存於所識別之第一及第二暫存器單元內。

在處理步驟630處，擷取所識別之暫存器單元及相關聯之資料。在一實施例中，執行單元345自通用暫存器檔案結構350擷取所識別之暫存器單元及相關聯之資料。

在處理步驟640處，自第一暫存器單元擷取第一半字單元且將其輸入至所得暫存器單元中。在一實施例中，執行單元345進一步自第一暫存器單元擷取第一16位元寬半字單元(其在一實施例中可為第一暫存器單元之高半字單元，或替代地可為第一暫存器單元之低半字單元)，且將第一半字單元輸入至所得暫存器單元之高部分中。

在處理步驟650處，自第二暫存器單元擷取第二半字單元且將其輸入至所得暫存器單元中。在一實施例中，執行單元345進一步自第二暫存器單元擷取第二16位元寬半字單元(其在一實施例中可為第二暫存器單元之高半字單元，或替代地可為第二暫存器單元之低半字單元)，且將第二半字單元輸入至所得暫存器單元之低部分中，因此獲得一32位元寬所得暫存器單元。

最後，在處理步驟660處，儲存所得暫存器單元以用於進一步處理。在一實施例中，執行單元345將所得暫存器單元輸出至通用暫存器檔案結構350且儲存所得暫存器單元以用於額外指令之進一步處理。

圖7為說明結合圖6所描述之用以結合暫存器單元之方法

的方塊圖。如圖7中所說明，識別源暫存器單元 R_S 540及 R_T 550且自通用暫存器檔案結構200擷取該等源暫存器單元 R_S 540及 R_T 550。

在一實施例中，將源暫存器單元 R_S 540及 R_T 550結合/串聯為所得目的暫存器單元 R_D 560之指令為：

$$R_D = \text{結合}(R_T.[HL], R_S.[HL])$$

其中 $R_T.[HL]$ 為具有高半字H及低半字L之源暫存器單元 R_T ，且其中 R_S 為具有高半字H及低半字L之源暫存器單元 R_S 。

如圖7中所展示，一旦執行指令，源暫存器單元 R_T 550之高半字 R_{T1} 或(替代地)源暫存器單元 R_T 550之低半字 R_{T2} 經由多工器555輸入至暫存器單元 R_D 560之高部分，且源暫存器單元 R_S 540之高半字 R_{S1} 或(替代地)源暫存器單元 R_S 540之低半字 R_{S2} 經由多工器545輸入至暫存器單元 R_D 560之低部分中。若(例如) R_S 540及 R_T 550皆為32位元寬暫存器單元，則在一實施例中，源暫存器單元 R_T 550之高半字 R_{T1} 為16位元寬，源暫存器單元 R_S 540之低半字 R_{S2} 亦為16位元寬，且因此所得目的暫存器單元 R_D 560為32位元寬暫存器。

熟習此項技術者將瞭解，可使用任何各種不同技術及技藝來表示資訊及信號。舉例而言，在以上描述中可參考之資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或磁粒子、光場或光學粒子或其任何組合來表示。

熟習此項技術者應進一步瞭解可將結合本文中揭示之實施例而描述之各種說明性邏輯區塊、模組、電路及演算法步驟實施為電子硬體、電腦軟體或兩者之組合。為清楚地說明硬體及軟體之此互換性，已根據其功能性在上文中大致描述了各種說明性組件、區塊、模組、電路及步驟。將此功能性實施為硬體還是軟體取決於特定應用及強加於整個系統之設計約束。對於每一特定應用，熟習此項技術者可以變化之方式實施所描述之功能性，但不應將此等實施決策解釋為會導致偏離本發明之範疇。

可用經設計以執行本文所描述之功能的通用處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、場可程式化閘陣列(FPGA)或其他可程式化邏輯器件、離散閘或電晶體邏輯、離散硬體組件或其任何組合來實施或執行結合本文中揭示之實施例所描述的各種說明性邏輯區塊、模組及電路。通用處理器可為微處理器，但或者，該處理器可為任何習知之處理器、控制器、微控制器或狀態機。處理器亦可實施為計算器件之組合，例如一DSP及一微處理器之組合、複數個微處理器之組合、一或多個微處理器以及一DSP核心之組合，或任何其他此組態。

結合本文中揭示之實施例描述之方法或演算法的步驟可直接實施於硬體中、由處理器所執行之軟體中，或兩者之組合中。應瞭解，此等實施例可用作軟體程式或用於支援軟體程式，此等軟體程式於某形式之處理器或處理核心(諸如電腦之CPU)上執行，或另外實施或實現於一機器或

電腦可讀媒體之上或之中。一機器可讀媒體包括用於儲存或傳輸呈可由一機器(例如,電腦)讀取之形式之資訊的任何機制。舉例而言,機器可讀媒體包括RAM記憶體、快閃記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、抽取式碟片、CD-ROM,或此項技術中已知之任何其它形式之儲存媒體。將例示性儲存媒體耦接至處理器,使得處理器可自儲存媒體讀取資訊或將資訊寫入至儲存媒體。或者,可將儲存媒體整合至處理器。處理器及儲存媒體可駐留於ASIC中。ASIC可駐留於一使用者終端機中。或者,處理器及儲存媒體可作為離散組件駐留於使用者終端機中。

提供所揭示實施例之先前描述以使任何熟習此項技術者能製造或使用本發明。熟習此項技術者將易於瞭解對此等實施例之各種修改,且在不偏離本發明之精神或範疇的情況下本文中所定義之一般原則可應用於其他實施例。因此,本發明並不意欲限制於本文中所示之實施例,而應符合與本文中所揭示之原理及新穎特徵一致的最廣泛範疇。

【圖式簡單說明】

圖1為可執行指令集之數位信號處理系統之方塊圖;

圖2為說明數位信號處理系統內之通用暫存器結構之一實施例的方塊圖;

圖3為說明極長指令字(VLIW)數位信號處理系統架構之一實施例的方塊圖;

圖4為說明在數位信號處理系統內結合暫存器單元之方

法之一實施例的流程圖；

圖5為說明結合圖4所描述之用以結合暫存器單元之方法的方塊圖；

圖6為說明在數位信號處理系統內結合暫存器單元之方法的一替代實施例的流程圖；

圖7為說明結合圖6所描述之用以結合暫存器單元之方法的方塊圖。

【主要元件符號說明】

100	數位信號處理系統
110	處理單元
120	暫存器檔案結構/暫存器檔案
130	中央處理單元核心
140	管線
150	記憶體
160	匯流排
200	通用暫存器檔案結構
210	暫存器單元
220	經對齊對/暫存器對
300	VLIW系統架構/數位信號處理系統
310	記憶體
320	指令載入匯流排
322	資料載入匯流排
324	資料載入/儲存匯流排
330	數位信號處理器(DSP)

335	序列器
340	管線
345	處理或執行單元、執行單元、向量MAC 單元、載入單元、載入/儲存單元
350	通用暫存器檔案結構
360	控制暫存器檔案結構
510	源暫存器單元 R_S / 暫存器單元 R_S
520	源暫存器單元 R_T / 暫存器單元 R_T
530	目的暫存器單元 R_D
540	源暫存器單元 R_S
545	多工器
550	源暫存器單元 R_T
555	多工器
560	目的暫存器單元 R_D / 暫存器單元 R_D
R0	暫存器單元
R1	暫存器單元
R2	暫存器單元
R3	暫存器單元
R28	暫存器單元
R29	暫存器單元
R30	暫存器單元
R31	暫存器單元

五、中文發明摘要：

本發明描述一種在一微處理器(諸如一數位信號處理器)內結合多個暫存器單元之方法及系統。自一處理單元內之一暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內。在執行一單一指令期間進一步結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元。最後，將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理。或者，自該第一暫存器單元擷取一第一半字單元且自該第二暫存器單元擷取一第二半字單元。在執行一單一指令期間將該第一半字單元及該第二半字單元進一步輸入至一所得暫存器單元之對應高及低部分以形成該所得暫存器單元。最後，將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理。

六、英文發明摘要：

A method and system to combine multiple register units within a microprocessor, such as, for example, a digital signal processor, are described. A first register unit and a second register unit are retrieved from a register file structure within a processing unit, the first register unit and the second register unit being non-adjacently located within the register file structure. The first register unit and the second register unit are further combined during execution of a single instruction to form a resulting register unit. Finally, the resulting register unit is stored within the register file structure for further processing. Alternatively, a first half word unit from the first register unit and a second half word unit from the second register unit are retrieved. The first half word unit and the second half word unit are further input into corresponding high and low portions of a resulting register unit to form the resulting register unit during execution of a single instruction. Finally, the resulting register unit is stored within the register file structure for further processing.

十、申請專利範圍：

1. 一種電腦可讀媒體，其包含：

一在含於該媒體內之複數個可執行指令中之指令，該指令在於一處理系統中執行時引起該處理系統選擇性地結合來自一暫存器檔案結構之一第一暫存器單元及一第二暫存器單元以形成一所得暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內。

2. 如請求項1之電腦可讀媒體，其中駐留於該第一暫存器單元之資料及駐留於該第二暫存器單元內之資料經儲存於該所得暫存器單元之對應部分中。

3. 如請求項2之電腦可讀媒體，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫存器單元為一64位元寬暫存器單元。

4. 如請求項1之電腦可讀媒體，其中該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元經儲存於該所得暫存器單元之對應部分中。

5. 如請求項4之電腦可讀媒體，其中該第一半字單元及該第二半字單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。

6. 一種方法，其包含：

接收一可執行指令；及

執行該指令以選擇性地結合來自一暫存器檔案結構之一第一暫存器單元及一第二暫存器單元以形成一所得暫

存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內。

7. 如請求項6之方法，其中該執行進一步包含：

將駐留於該第一暫存器單元內之資料及駐留於該第二暫存器單元內之資料儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

8. 如請求項7之方法，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫存器單元為一64位元寬暫存器單元。

9. 如請求項6之方法，其中該執行進一步包含：

將該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

10. 如請求項9之方法，其中該第一半字單元及該第二半字單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。

11. 如請求項6之方法，其中該執行進一步包含：

自一記憶體擷取與該第一暫存器單元及該第二暫存器單元相關聯之資料；

將該資料儲存於該等各別第一及第二暫存器單元內；及
將該資料選擇性地結合至該所得暫存器單元中。

12. 一種方法，其包含：

自一處理單元內之一暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第

二暫存器單元並非相鄰地位於該暫存器檔案結構內；

在執行一單一指令期間選擇性地結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元；及

將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理。

13. 如請求項12之方法，其中該結合進一步包含：

接收用以結合該第一暫存器單元及該第二暫存器單元之該指令；及

在該處理單元內執行該指令。

14. 如請求項12之方法，其中該結合進一步包含：

將駐留於該第一暫存器單元內之資料及駐留於該第二暫存器單元內之資料儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

15. 如請求項14之方法，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫存器單元為一64位元寬暫存器單元。

16. 如請求項12之方法，其中該結合進一步包含：

將該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

17. 如請求項16之方法，其中該第一半字單元及該第二半字單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。

18. 如請求項12之方法，其進一步包含：

自一記憶體擷取與該第一暫存器單元及該第二暫存器單元相關聯之資料；

將該資料儲存於該等各別第一及第二暫存器單元內；及

將該資料選擇性地結合至該所得暫存器單元中。

19. 一種含有可執行指令之電腦可讀媒體，該等指令在於一處理系統中執行時，引起該處理系統執行一方法，該方法包含：

自一處理單元內之一暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內；

在執行一單一指令期間選擇性地結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元；及

將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理。

20. 如請求項19之電腦可讀媒體，其中該結合進一步包含：

接收用以結合該第一暫存器單元及該第二暫存器單元之該指令；及

在該處理單元內執行該指令。

21. 如請求項19之電腦可讀媒體，其中該結合進一步包含：

將駐留於該第一暫存器單元內之資料及駐留於該第二暫存器單元內之資料儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

22. 如請求項21之電腦可讀媒體，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫

存器單元為一64位元寬暫存器單元。

23. 如請求項19之電腦可讀媒體，其中該結合進一步包含：

將該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元儲存於該所得暫存器單元內之具有相同寬度之對應部分中。

24. 如請求項23之電腦可讀媒體，其中該第一半字單元及該第二半字單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。

25. 如請求項19之電腦可讀媒體，其中該方法進一步包含：

自一記憶體擷取與該第一暫存器單元及該第二暫存器單元相關聯之資料；

將該資料儲存於該等各別第一及第二暫存器單元內；及
將該資料選擇性地結合至該所得暫存器單元中。

26. 一種積體電路，其包含：

一記憶體，其用於儲存包含一或多個指令之封包；及

一處理器，其耦接至該記憶體，該處理器進一步包含一處理單元及一耦接至該處理單元之暫存器檔案結構；

該處理單元用以：自該暫存器檔案結構擷取一第一暫存器單元及一第二暫存器單元，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內；在執行一單一指令期間選擇性地結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元；且將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理。

27. 如請求項26之電路，其中該處理單元進一步自該記憶體接收用以結合該第一暫存器單元及該第二暫存器單元之該指令，且執行該指令。
28. 如請求項26之電路，其中該處理單元進一步將駐留於該第一暫存器單元內之資料及駐留於該第二暫存器單元內之資料儲存於該所得暫存器單元內之具有相同寬度之對應部分中。
29. 如請求項28之電路，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫存器單元為一64位元寬暫存器單元。
30. 如請求項26之電路，其中該處理單元進一步將該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元儲存於該所得暫存器單元內之具有相同寬度之對應部分中。
31. 如請求項30之電路，其中該第一半字單元及該第二半字單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。
32. 如請求項26之電路，其中該記憶體進一步儲存與該第一暫存器單元及該第二暫存器單元相關聯之資料，該暫存器檔案結構進一步擷取該資料且將該資料儲存於該等各別第一及第二暫存器單元內，且該處理單元進一步將該資料選擇性地結合於該所得暫存器單元中。
33. 一種裝置，其包含：
用於自一處理單元內之一暫存器檔案結構擷取一第一

暫存器單元及一第二暫存器單元之構件，該第一暫存器單元及該第二暫存器單元並非相鄰地位於該暫存器檔案結構內；

用於在執行一單一指令期間選擇性地結合該第一暫存器單元及該第二暫存器單元以形成一所得暫存器單元的構件；及

用於將該所得暫存器單元儲存於該暫存器檔案結構內以用於進一步處理之構件。

34. 如請求項33之裝置，其進一步包含：

用於接收用以結合該第一暫存器單元及該第二暫存器單元之該指令之構件；及

用於在該處理單元內執行該指令之構件。

35. 如請求項33之裝置，其進一步包含：

用於將駐留於該第一暫存器單元內之資料及駐留於該第二暫存器單元內之資料儲存於該所得暫存器單元內之具有相同寬度之對應部分中的構件。

36. 如請求項35之裝置，其中該第一暫存器單元及該第二暫存器單元為32位元寬暫存器單元，且該所得暫存器單元為一64位元寬暫存器單元。

37. 如請求項33之裝置，其進一步包含：

用於將該第一暫存器單元之一第一半字單元及該第二暫存器單元之一第二半字單元儲存於該所得暫存器單元內之相同寬度之對應部分中之構件。

38. 如請求項37之裝置，其中該第一半字單元及該第二半字

單元為16位元寬單元，且該所得暫存器單元為一32位元寬暫存器單元。

39. 如請求項33之裝置，其進一步包含：

用於自一記憶體擷取與該第一暫存器單元及該第二暫存器單元相關聯之資料的構件；

用於將該資料儲存於該等各別第一及第二暫存器單元內之構件；及

用於將該資料選擇性地結合至該所得暫存器單元中之構件。

十一、圖式：

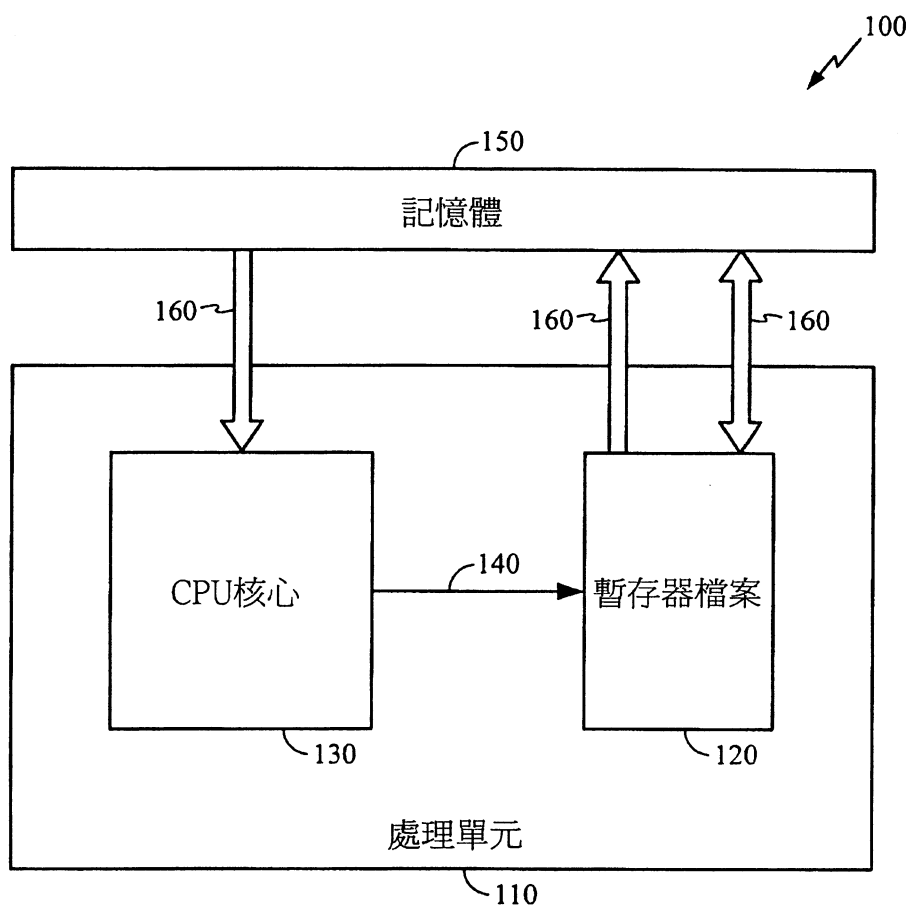


圖1

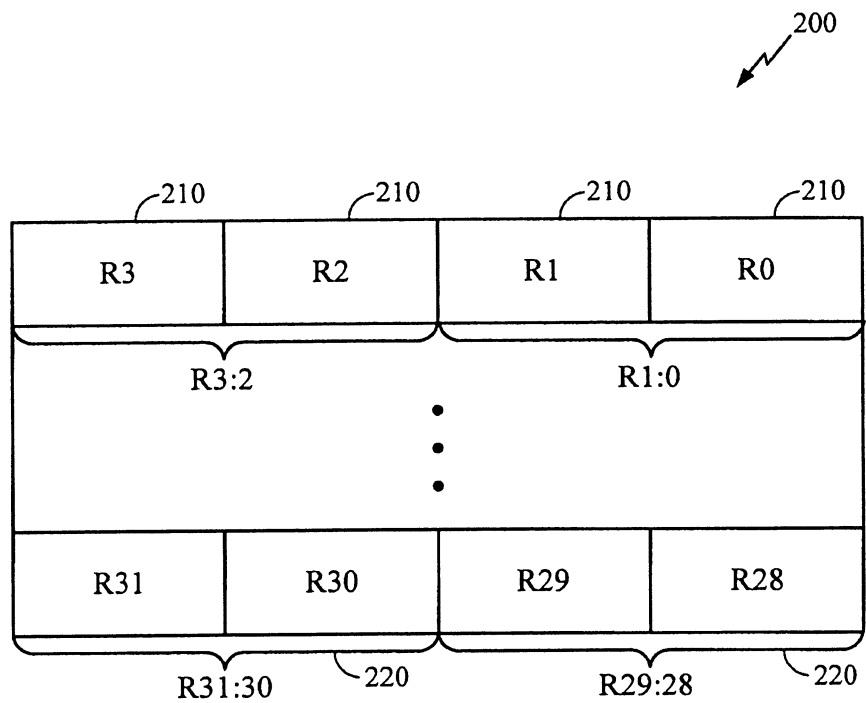


圖2

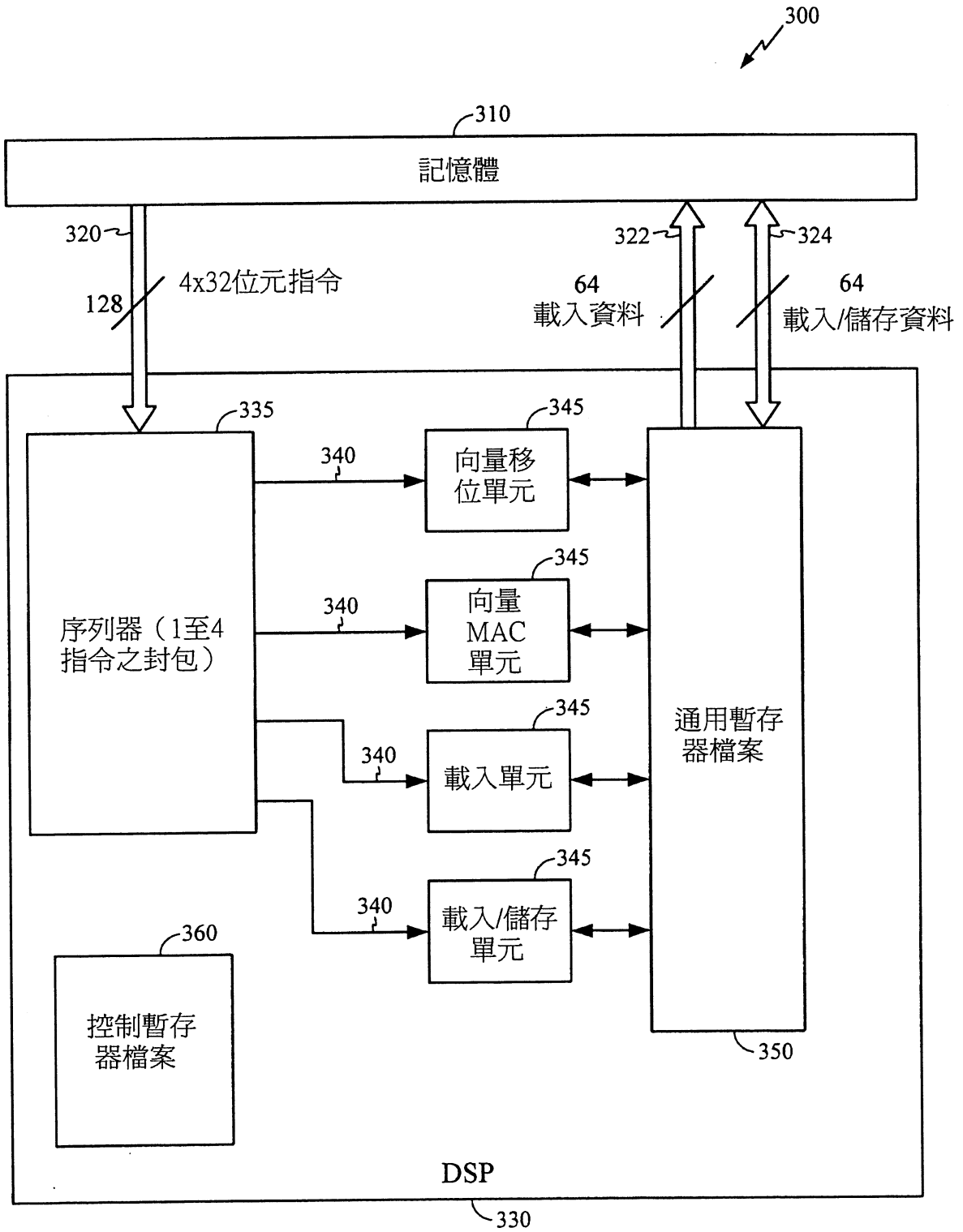


圖3

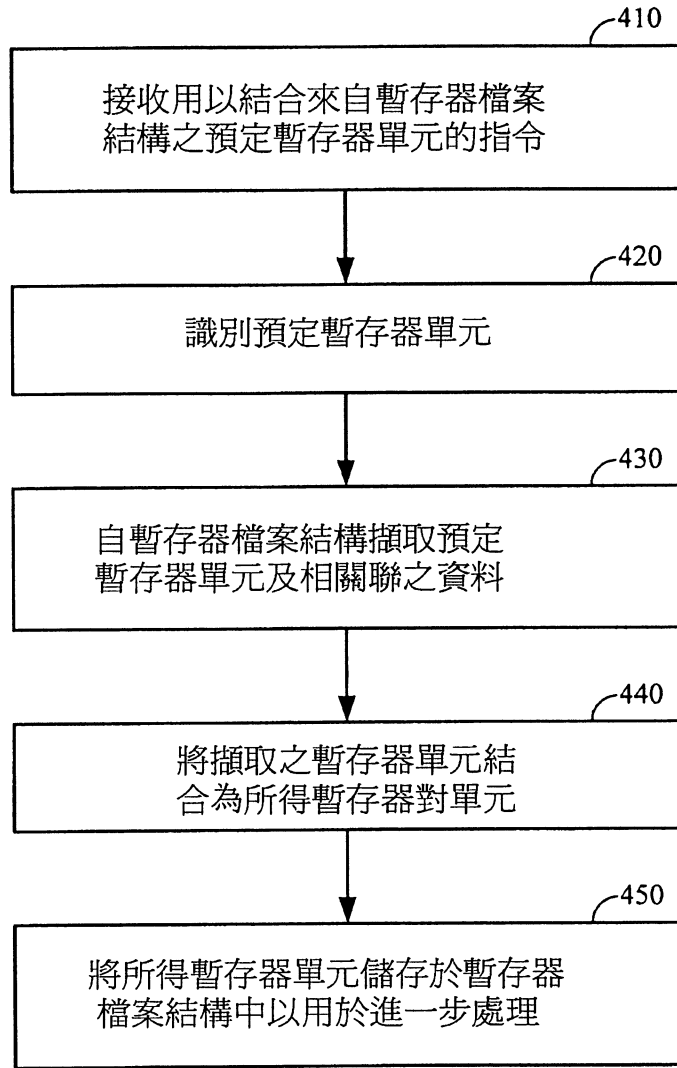


圖4

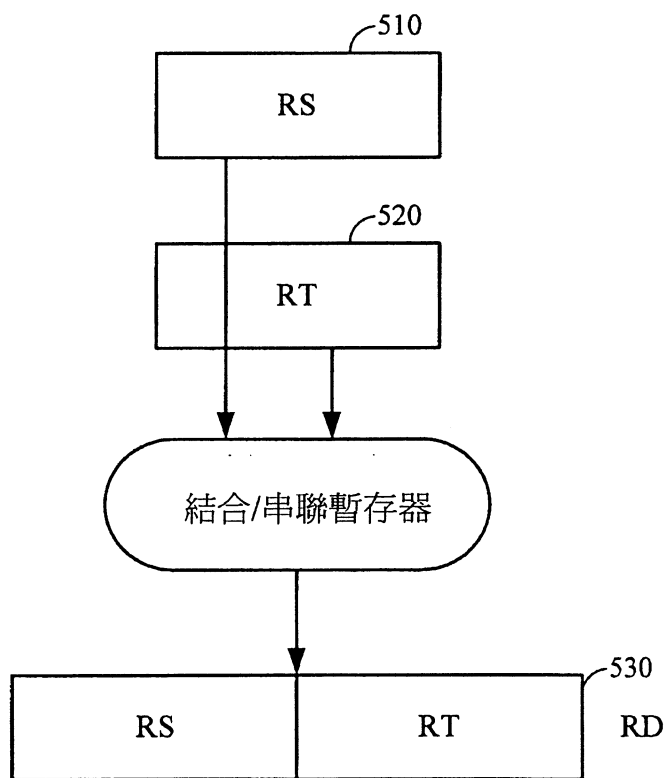


圖5

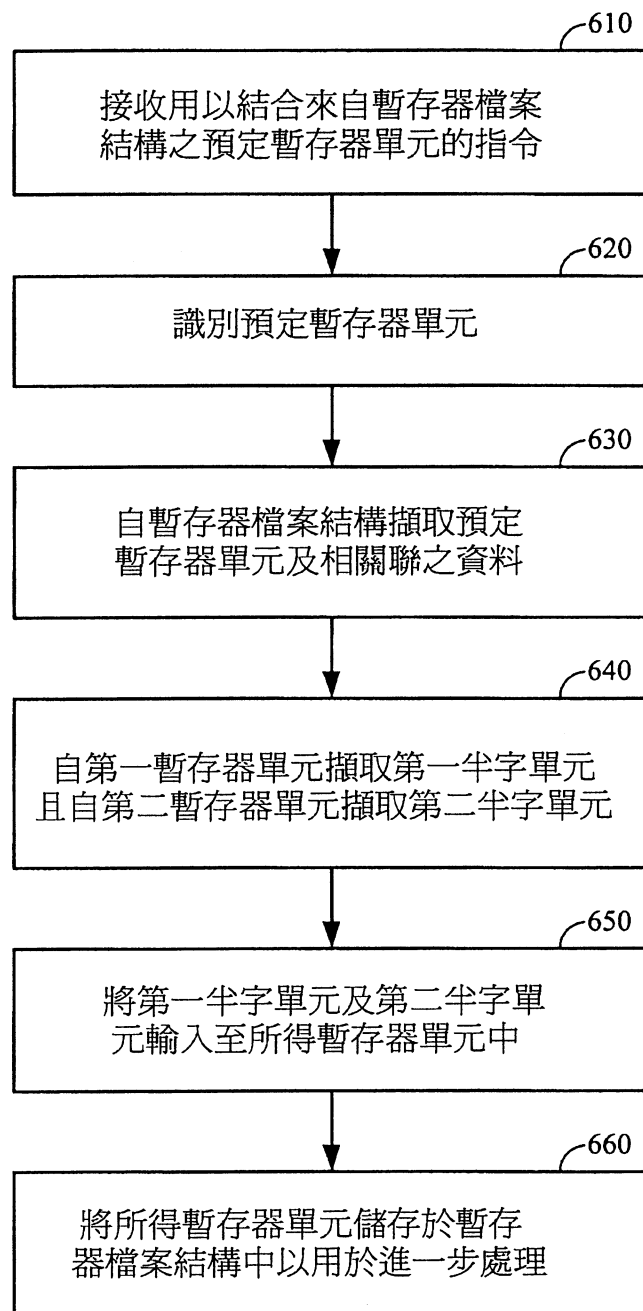


圖6

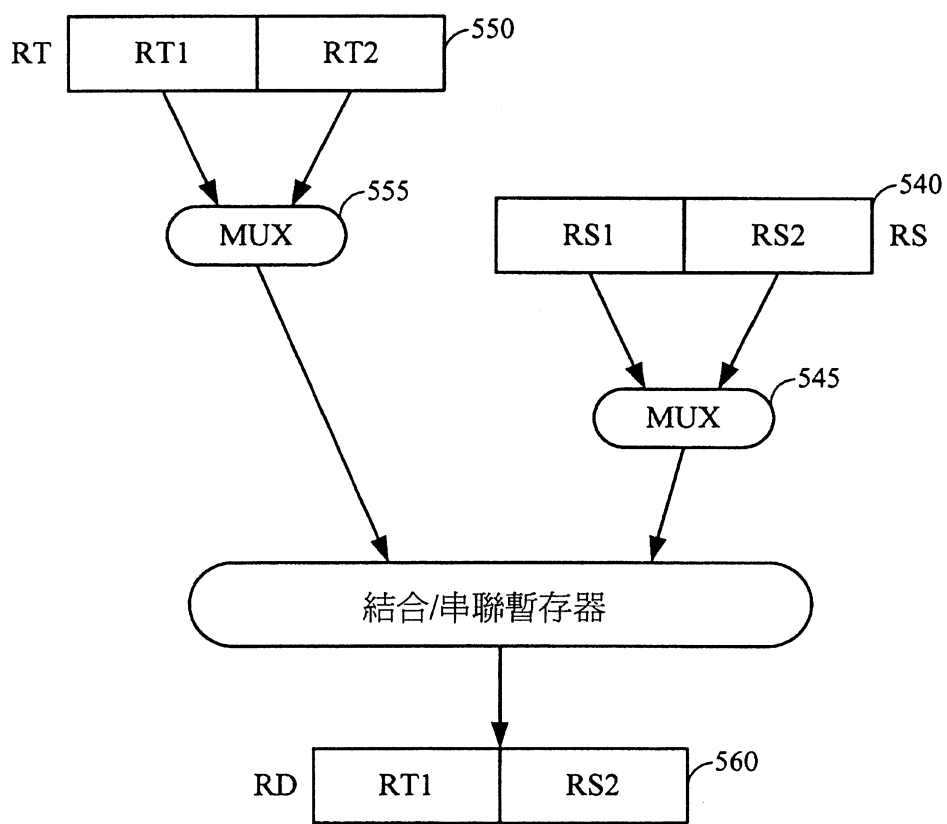


圖7

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

510	源暫存器單元 R_S /暫存器單元 R_S
520	源暫存器單元 R_T /暫存器單元 R_T
530	目的暫存器單元 R_D

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)