



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I488191 B

(45) 公告日：中華民國 104 (2015) 年 06 月 11 日

(21) 申請案號：101136142

(22) 申請日：中華民國 101 (2012) 年 10 月 01 日

(51) Int. Cl. : G11C7/12 (2006.01)

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：陳張庭 CHEN, CHANG TING (TW)；張欽鴻 CHANG, CHIN HUNG (TW)；楊尚
輯 YANG, SHANG CHI (TW)；盧冠銘 LU, KUAN MING (TW)；陳耕暉 CHEN,
KEN HUI (TW)；張坤龍 CHANG, KUEN LONG (TW)；洪俊雄 HUNG, CHUN
HSIUNG (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

US 6025751

US 7218153B2

US 7646653B2

US 7764567B2

US 2004/0218415A1

US 2008/0031060A1

US 2011/0194362A1

審查人員：蕭明椿

申請專利範圍項數：18 項 圖式數：6 共 27 頁

(54) 名稱

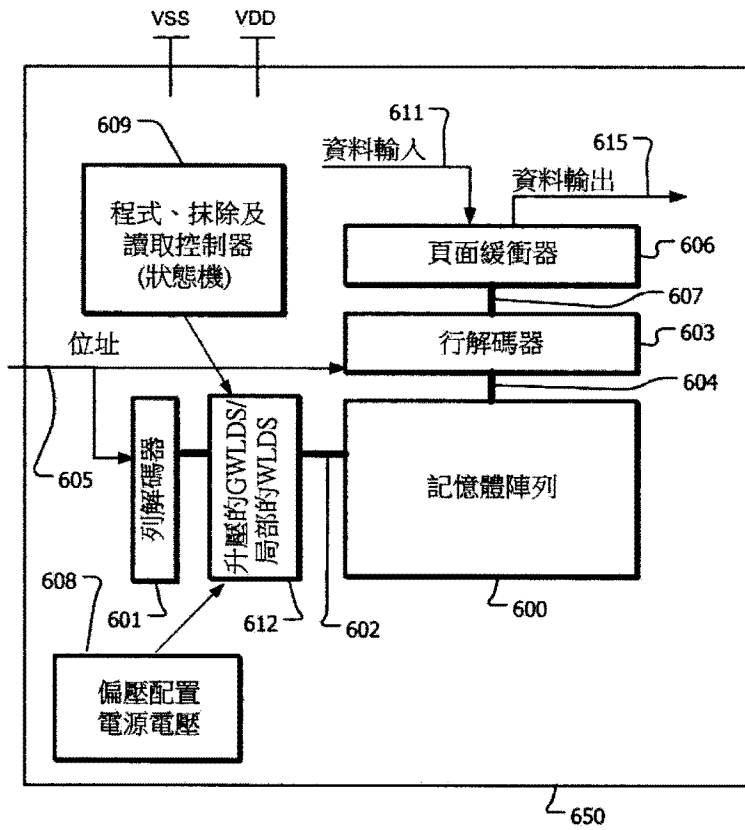
動態驅動器電路

DYNAMIC DRIVER CIRCUIT

(57) 摘要

一種可使用作為字線驅動器之電路包括一個因應於一控制節點上之一電壓作切換之驅動器，以及一個供應一電壓給控制節點之電路。供應電壓給控制節點之電路提供一個傾向於將控制節點上拉至一第一電源電壓之第一靜態電流，並因應於一信號選擇驅動器提供一戰鬥電流脈衝，用以將控制節點下拉至一第二電源電壓，藉以克服第一靜態電流。此外，一電路提供一個在選擇斷開戰鬥電流之驅動器之信號之一轉變上之上拉升高電流，並施加一升高電流脈衝至控制節點以輔助快速將控制節點拉至第一電源電壓。

A circuit usable as a word line driver includes a driver that switches in response to a voltage on a control node, and a circuit supplying a voltage to the control node. The circuit that applies a voltage to control node provides a first static current tending to pull the control node up to a first source voltage, and provides a fighting current pulse in response to a signal selecting the driver to pull the control node down to a second source voltage, overcoming the first static current. In addition, a circuit provides a pull-up boost current on a transition of the signal selecting the driver that turns off the fighting current, and applies a boosting current pulse to the control node to assist pulling the control node quickly to the first source voltage.

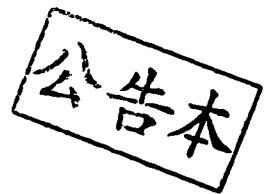


第 6 圖

- VDD . . . 電源電壓
- VSS . . . 低位準
- 600 . . . 記憶體陣列
- 601 . . . 列解碼器
- 602 . . . 字線
- 603 . . . 行解碼器
- 604 . . . 位元線
- 605、607 . . . 匯流排
- 606 . . . 頁面緩衝器
- 608 . . . 偏壓的配置
電源電壓
- 609 . . . 電路
- 611 . . . 資料輸入線
- 612 . . . 升壓的全域
字線驅動器與局部字
線驅動器
- 615 . . . 資料輸出線
- 650 . . . 積體電路



日期: 104年04月01日修正本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號: 101136142

104年4月1日修正替換頁本

※申請日: 101.10.01

※IPC分類: G11C 7/12 (2006.01)

一、發明名稱:(中文/英文)

動態驅動器電路 / DYNAMIC DRIVER CIRCUIT

二、中文發明摘要:

一種可使用作為字線驅動器之電路包括一個因應於一控制節點上之一電壓作切換之驅動器，以及一個供應一電壓給控制節點之電路。供應電壓給控制節點之電路提供一個傾向於將控制節點上拉至一第一電源電壓之第一靜態電流，並因應於一信號選擇驅動器提供一戰鬥電流脈衝，用以將控制節點下拉至一第二電源電壓，藉以克服第一靜態電流。此外，一電路提供一個在選擇斷開戰鬥電流之驅動器之信號之一轉變上之上拉升高電流，並施加一升高電流脈衝至控制節點以輔助快速地将控制節點拉至第一電源電壓。

三、英文發明摘要:

A circuit usable as a word line driver includes a driver that switches in response to a voltage on a control node, and a circuit supplying a voltage to the control node. The circuit that applies a voltage to control node provides a first static current tending to pull the control node up to a first source voltage, and provides a fighting current pulse in response to a signal selecting the driver to pull the control node down to a second source voltage, overcoming the first static current. In addition, a circuit provides a pull-up boost current on

a transition of the signal selecting the driver that turns off the fighting current, and applies a boosting current pulse to the control node to assist pulling the control node quickly to the first source voltage.

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

VDD：電源電壓

VSS：低位準

600：記憶體陣列

601：列解碼器

602：字線

603：行解碼器

604：位元線

605、607：匯流排

606：頁面緩衝器

608：偏壓的配置電源電壓

609：電路

611：資料輸入線

612：升壓的全域字線驅動器與局部字線驅動器

615：資料輸出線

650：積體電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於包括供大負載用之驅動器之積體電路，且特別是有關於供低電壓記憶體裝置用之字線驅動器。

【先前技術】

記憶體積體電路利用被字線驅動器供以電源之字線存取記憶體單元，字線驅動器能夠在大電容負載上於高速下驅動各種電壓。字線驅動器利用各種電壓位準驅動相關字線，電壓位準取決於記憶體之操作之模式，於此供快閃記憶體用之模式可包括讀取、程式化以及抹除操作模式。用於各種操作模式之電壓常常大於用於低電壓裝置之電源電壓。舉例而言，在一快閃記憶體中，供讀取操作作用之字線電壓可能是大約 5 伏特，而供此裝置用之電源電壓可能是 1.8 伏特。

供多數記憶體裝置用之讀取模式常常是以速度為關鍵。然而，取決於由周邊電路(包括字線解碼器與驅動器選擇電路)所使用之電源電壓之低電壓可限制字線驅動器之切換速度。

【發明內容】

本發明說明可被使用在低電壓、高速電路環境中以驅動高電容負載之驅動器電路。驅動器可包括一動態選擇電路，其設定驅動器之一控制節點。動態選擇電路包括一上

拉電路及一下拉電路(其因應於解碼的控制信號)，以及一上拉加速電路。上拉加速電路係被控制於控制節點之電壓轉換時升高電流。驅動器係適合被使用作為低電源電壓積體電路記憶體裝置中之一字線驅動器。驅動器可改善切換特徵而在增加的電路複雜性方面不需要相當的代價。

一種可使用作為於此所說明之一字線驅動器之電路包括一驅動器，其因應於一控制節點上之一電壓作切換；以及一電路，其供應一電壓給控制節點。供應一電壓給一控制節點之電路提供一第一靜態電流，其傾向於將控制節點上拉至一第一電源電壓；並因應於一信號選擇驅動器提供一戰鬥電流脈衝，用以將控制節點下拉至一第二電源電壓，藉以克服第一靜態電流。此外，一電路提供在選擇不導通戰鬥電流之驅動器之信號之一轉變上之一上拉升高電流，並施加一升高電流脈衝至控制節點以輔助快速地將控制節點拉至第一電源電壓。這種升高電流脈衝可在不需要來自負載之回饋的情況下被施加。

本技術之其他實施樣態與優點可藉由檢閱圖式與以下之詳細說明而獲得理解。

【實施方式】

第 1 圖顯示可被使用在一種低電壓積體電路之字線驅動器及驅動器選擇電路，用以在一高電容負載上驅動一高電壓之電路圖。

於此例子中，驅動器包括 p 通道電晶體 MP10，其具有一個連接至一第一電源電壓 AVXP(來自電壓源 11)之源

極，以及一個連接至一負載(其包括供一積體電路記憶體用之一全域字線 15)之汲極。又，一 n 通道電晶體 MN10 具有一個連接至全域字線 15 之汲極，以及一個連接至一第二電源電壓 NVSS(來自電壓源 12)之源極。源極與汲極可被稱為電晶體之電流承載端子。電晶體 MP10 與 MN10 之閘極係一起連接至一驅動器控制節點 14，於驅動器控制節點 14 產生電壓 GWLB。因此，電晶體 MP10 與 MN10 係以一反相緩衝器之型式被連接，藉以在電壓 GWLB 低時傳送一高電壓 AVXP 在全域字線 15 上，並在電壓 GWLB 高時傳送一低電壓 NVSS 在全域字線 15 上。

第一電源電壓 AVXP 可藉由使用偏壓及電源電壓電路而產生，偏壓及電源電壓電路包括在積體電路上之一充電泵或其他電壓源。第一電源電壓 AVXP 可以依據裝置之操作模式而改變，而在某些模式中，可以大幅地高於被施加至晶片之電源電壓。第二電源電壓 NVSS 亦可藉由使用偏壓及電源電壓電路而產生，偏壓及電源電壓電路包括在積體電路上之一充電泵或其他電壓源。第二電源電壓 NVSS 可以依據裝置之操作模式改變，而在某些模式中，可以是負的。在某些模式中，NVSS 係為接地電位。

一全域字線 15 可以耦接至一組局部字線驅動器，其因應於解碼信號以將全域字線耦接至局部字線。一全域字線 15 之電容負載因此可能是相當大的。

驅動器選擇電路係連接至控制節點 14，並響應解碼的位址信號以控制電壓 GWLB。於此例子中，驅動器選擇電路包括一上拉電路，其包括 p 通道電晶體 MP1，p 通道電

晶體 MP1 使其閘極被耦接至一固定偏壓 WLBS，其傾向於使電晶體 MP1 維持在一相當弱的導電狀態中，藉以施加一靜態電流。因為大型的電容負載將使裝置之操作變慢，所以在驅動器具有大的電容負載之電路中，固定偏壓 WLBS 可以較佳地超過驅動器輸出之回饋。

又，驅動器選擇電路包括一下拉電路，其包括串聯在控制節點 14 及接地電位(或 NVSS)之間的 n 通道電晶體 MN1、MN2 及 MN3。於此例子中，電晶體 MN1、MN2 及 MN3 之閘極係分別連接至解碼的位址信號 XBL2、XBL3 及 Sector。

在第 1 圖所顯示之電路中，上拉電路將一電流 I_2 從第一電源電壓傳送至控制節點 14，而下拉電路將一電流 I_1 從節點 14 傳送至接地端。對於上拉與下拉電路之設計的一項限制出現在低電壓組態中，於此 n 通道電晶體 MN0、MN1 及 MN2 會因遍及此串聯之電晶體之小的過驅電壓而蒙受嚴重的本體效應(body effect)。於此情況下，電流 I_1 將是相當小的。

又，此電路必須被設計成能使電流 I_1 大幅地大於電流 I_2 ，俾能在控制節點 14 被選擇並從一高電壓轉變至一低電壓時，電流 I_1 可快速地克服電流 I_2 並將節點 14 下拉。另一方面，此電路亦必須被設計成能使電流 I_2 大到足以在取消選擇控制節點 14 時，使節點 14 上之電壓相當快速地從低電壓轉變至高電壓。

這種組態顯現出一種困難的設計權衡，尤其在需要高速操作之環境中。一種處理切換之速度的方式係增加全域

字線 15 上之緩衝器，藉以允許電晶體 MP10 與 MN10 之尺寸被縮小。這減少了節點 14 之電容。然而，這種設計方法演變成增加面積之成本與裝置上之電路複雜性的問題。

第 2 圖顯示一改善的字線驅動器，其係藉由增加一種譬如藉由 p 通道電晶體 MP12 而實施之上拉加速電路而修正。

於此例子中，驅動器包括 p 通道電晶體 MP20，其具有個連接至一第一電源電壓 AVXP(來自電壓源 21)之源極，以及一個連接至一負載之汲極，負載包括一條供一積體電路記憶體用之全域字線 25。又，一 n 通道電晶體 MN20 具有一個連接至全域字線 25 之汲極，以及一個連接至一第二電源電壓 NVSS(來自電壓源 22)之源極。電晶體 MP20 與 MN20 之閘極係一起連接至一驅動器控制節點 24，於驅動器控制節點 24 產生電壓 GWLB。因此，電晶體 MP20 與 MN20 係以一反相緩衝器之型式被連接，藉以在電壓 GWLB 低時傳送一高電壓 AVXP 在全域字線 25 上，並在電壓 GWLB 高時傳送一低電壓 NVSS 在全域字線 25 上。

第一電源電壓 AVXP 可藉由使用偏壓及電源電壓電路而產生，偏壓及電源電壓電路包括一個在積體電路上之充電泵或其他電壓源。第二電源電壓 NVSS 亦可藉由使用偏壓及電源電壓電路而產生，偏壓及電源電壓電路包括一個在積體電路上之充電泵或其他電壓源。第一與第二電壓源可具有受限制的驅動功率，其乃因為它們可能需要充電泵或其他必須藉由使用一低電源電壓來產生高電壓之積體電路上的特殊電路。為了這個說明之目的，“供應電壓”表

示一種從一外部來源施加至一積體電路且主要用以供電給積體電路之電壓。另一方面，一電壓源或一電源電壓可包括用以於例如 AVXP 及 NVSS 之選擇的位準(包括於電源電壓之位準)下提供操作電壓之電路。

驅動器選擇電路係連接至控制節點 24，並與解碼的位址信號響應以控制電壓 GWLB。於此例子中，驅動器選擇電路包括一上拉電路，其包括 p 通道電晶體 MP11，p 通道電晶體 MP11 使其閘極被耦接至一固定偏壓 WLBS，傾向於使其維持在一相當弱的導電狀態中。偏壓 WLBS 係獨立於負載下之電壓，也就是說其係在不需要在負載上的電壓回饋的情況下被產生。在其他實施例中，上拉電路可包括一個或多個電晶體或其他電路元件，其可提供一小上拉電流，此小上拉電流易於將控制節點 24 固定於一高位準，且可被來自一下拉電路之戰鬥電流克服。

又，驅動器選擇電路包括一下拉電路，其包括串聯在控制節點 24 及接地電位(或 NVSS)之間的 n 通道電晶體 MN11、MN12 及 MN13。於此例子中，電晶體 MN11、MN12 及 MN13 之閘極係分別連接至解碼的位址信號 XBL2、XBL3 及 Sector。解碼的位址信號 XBL2、XBL3 及 Sector 在一驅動器選擇位準(位於或低於第一電源電壓)與一驅動器取消選擇位準之間轉換。舉例而言，驅動器選擇位準可以是大約 VDD，其對一低電壓積體電路而言，譬如可以是 1.8 V。一驅動器取消選擇位準可以是大約接地位準。在其他實施例中，下拉電路可包括一個電晶體或多個串聯之電晶體，其在它們的閘極上具有解碼信號。

於此例子中，上拉加速電路包括 p 通道電晶體 MP12，其使其源極耦接至第一電源電壓 AVXP，並使其汲極耦接至供驅動器用之控制節點 24。電晶體 MP12 之閘極係連接至一高電壓解碼信號 XBL2_HV，其可以基於低電壓解碼信號 XBL2 而產生，如第 3 圖所示。在其他實施例中，上拉加速電路可包括其他電路元件，例如一電流鏡電路，或包括複數個串聯之電晶體之電路。

在操作上，全域字線 25 正常地被取消選擇，意思是節點 24 上之電壓 GWBL 是高的。這種電壓係藉由包括 p 通道電晶體 MP11 之上拉電路而得以維持，如上參考第 1 圖之電晶體 MP1 所述。在取消選擇的狀態中，解碼信號 XBL2 是低的，藉以使電晶體 MN11 不導通。同樣地，解碼信號 XBL3 與 Sector 將是低的，藉以使電晶體 MN12 及 MN13 不導通。

當 XBL2 如第 3 圖所示是低的(例如於 VSS)時，信號 XBL2_HV 將高於小於在 AVXP 以下之閾值電壓(例如於 AVXP)之位準，俾能使電晶體 MP12 將維持不導通。只有相當低的電流 I2 係經由電晶體 MP11 而由上拉電路所提供，用以將節點 24 維持為高的。

當驅動器改變成例如於第 3 圖所顯示之時間 T1 之選擇狀態時，解碼信號 Sector、XBL3 及 XBL2 譬如於 VDD 下轉變成它們的高位準。為了這個例子之目的，時序臨界信號係為 XBL2，其係用以施加一脈衝 50 至電晶體 MN11 之閘極，如第 3 圖所示。如於第 3 圖之區域 52 中所顯示的，於時間 T1，信號 XBL2_HV 維持高(例如 AVXP)。這可使流

向之節點 24 電流 I_1 於電晶體 MP12 維持不導通時，大於流經上拉電路的電流 I_2 。

驅動器從 T1 至 T2 維持被選擇持續一段第 3 圖所顯示之時間間隔。於時間 T2，如第 3 圖之區域 54 所示，解碼信號 XBL2 轉變至其位準，譬如於 VSS 或接地電位。這使電晶體 MN11 不導通，藉以中斷電流 I_2 。當電晶體 MN11 於時間 T2 不導通時，信號 XBL2_HV 中之一脈衝 51 係被施加，包括轉變至其低位準，譬如於 VSS 或接地電位。這可使電晶體 MP12 導通，藉以提供一升高電流至節點 24，而能很快速地拉高電壓 GWLB。於時間 T3，信號 XBL2_HV 轉變至其高位準。這可使電晶體 MP12 在具有一段時間 T2 與 T3 之間的期間 W1 之時間間隔之後不導通。這種間隔最好是很短，剛好長到足以暫時升壓至上拉功率，並在 GWLB 達到供緩衝器用之轉變電壓以上時，導致驅動器之快速切換。

間隔之期間 W1 (在此期間施加升高電流) 最好是比在脈衝 50 之下降邊緣與於所顯示之例子中的時間 T4 之一後續脈衝 55 之上升邊緣之間的最小時間間隔 W2 短得多。信號軌跡係在第一脈衝之後被改成第 3 圖中之虛線，用以顯示後來的脈衝 55 可能或無法產生於最小時間間隔 W2 之末端。

第 4 圖係為顯示供 I_1 、 I_2 及 I_3 用之電流位準連同於第 2 圖之電路中的節點 24 之一電壓位準 GWLB 之啟發式圖 (未按照比例縮放)。如可被看見的，在驅動器之操作期間，電流 I_2 可被認為是維持本質上固定及相當低的，雖

然其實際上可能略微變動。電流 I1 斷開，直到在其急速地增加時之時間 T1 為止，然後於時間 T2 再次斷開。這種相當高的電流 I1 很快速地下拉電壓 GWLB。電流 I3 斷開，直到在其急速地增加時之時間 T2 為止，然後於時間 T3 再次斷開。因此，電流 I3 在其於時間 T3 斷開之前快速地升壓電壓 GWLB。電流 I2 使電壓 GWLB 維持高的，直到驅動器再被選擇為止。

第 5A 圖係為可被使用以產生信號 XBL2_HV 之電路之簡化圖，信號 XBL2_HV 用於供一個包括複數個區段之積體電路記憶體 85 用之全域字線驅動器。於此例子中，XBL2 之八個實例(標示為 XBL2[7:0])係藉由解碼電路而產生。XBL2[7:0]係經由匯流排 88 被分配至各個脈衝產生器 80，每一個脈衝產生器 80 於匯流排 89 上發佈一對應的版本之信號 XBL2_HV[7:0]之。匯流排 89 上之信號係被傳送至記憶體 85，於此其係用以控制記憶體之區段中的全域字線驅動器。

脈衝產生器 80 包括一位準偏移器/脈衝產生電路 81，其利用在信號 XBL2 之一下降邊緣之上的一反相脈衝將低電壓輸入 XBL2 轉變至一個在正常狀態下是高的電壓信號。位準偏移器/脈衝產生電路 81 之輸出係被施加至串聯之緩衝器 82 與 83，用以提供驅動功率給輸出匯流排 89。

第 5B 圖係為可被使用在第 5A 圖之位準偏移器/脈衝產生器 81，用以在 XBL2 之下降邊緣上產生脈衝之電路之概要圖。電路接收其中一個 XBL2 信號以作為線 88-n 上之

信號 IN。線 88-n 係連接至反相器 90 之輸入，其驅動節點 91。一電容器 92 係連接於節點 91 與接地端之間。電路亦包括串聯在電源電壓 VDD 與接地電位之間的 p 通道電晶體 93、p 通道電晶體 94 以及 n 通道電晶體 95。p 通道電晶體 93 之閘極係連接至線 88-in 上之信號 IN。p 通道電晶體 94 與 n 通道電晶體 95 之閘極係連接至節點 91。p 通道電晶體 94 之汲極與 n 通道電晶體 95 之汲極係共同耦接至輸出節點 97。又，n 通道電晶體 96 係連接於輸出節點 97 與接地端之間。n 通道電晶體 96 之閘極係連接至線 88-n 上之信號 IN。

第 5C 圖係為一時序圖，其係為了說明第 5B 圖之操作電路之目的而提及。在操作上，當線 88-n 上之信號 IN 是低時，節點 91 是高，電晶體 93 導通而電晶體 96 不導通。又，電晶體 94 不導通，而電晶體 95 是導通。電晶體 95 使輸出節點 97 保持低。當信號 IN 於時間 100 轉變至高值時，電晶體 93 不導通，而節點 91 係在由電容器 92 所導致的一某個延遲之後被驅動為低。因為 IN 是高，所以電晶體 96 導通並使輸出節點 97 保持低。於時間 101，當信號 IN 轉變至低值時，電晶體 93 導通，而電晶體 96 不導通。節點 91 維持低並持續由電容器 92 所導致的一某個延遲。在這種延遲期間，輸出節點 97 係在轉變 101 之後於轉變 102 非常快地拉高。在節點 91 上升超過 p 通道電晶體 94 之閾值以及超過 n 通道電晶體 95 之閾值之後，經由電晶體 94 之上拉電流斷開，且電晶體 95 於轉變 103 將輸出節點 97 拉低。因此，電路在信號 IN 之下降邊緣 101 之

後很快地產生在轉變 102 與 103 之間的一短脈衝。節點 97 上之這種脈衝 OUT 可被反相，及其位準可被偏移以產生 XBL2_HV 信號。

第 2 圖所顯示之驅動器以及電路之其他實施例可為高速記憶體裝置而部署。藉由驅動器中之上拉加速電路而達成之動態放電機制可大幅改善驅動器之操作速度，並允許裝置上之較高的讀取速度，及其他較高速操作。在低電壓積體電路中，此電路特別有用，於此施加至積體電路之電源電壓可以是大約是 1.8 V 或更少。

除全域字線驅動器以外，驅動器可被部署於在一記憶體裝置之其他位置。同樣地，此種驅動器可被部署在任何電路中，於此因應於動態上切換像解碼位址之控制信號之高速操作需要驅動一高電容負載。

第 6 圖係為包括藉由使用升壓的全域字線驅動器而實施之一記憶體陣列 600 之一積體電路 650 之簡化方塊圖，如於此所說明的。一列解碼器 601 係耦接並電性連通至方塊 612 中之升壓的全域字線驅動器與局部字線驅動器，其驅動沿著記憶體陣列 600 中之列被配置之字線 602。一行解碼器 603 係耦接並電性連通至沿著記憶體陣列 600 中之行被配置之複數條位元線 604，用以讀取來自記憶體陣列 600 中之記憶體單元之資料，並寫入資料至此些記憶體單元。行解碼器 603 係藉由匯流排 607 中之資料線而耦接至一頁面緩衝器 606，行解碼器 603 包括感測放大器以及其他電路。匯流排 605 上之位址係被提供給列解碼器 601 以及給行解碼器 603。資料係經由資料輸入線 611 而從積

體電路 650 上之輸入/輸出埠而提供給頁面緩衝器 606。資料係經由資料輸出線 615 而從頁面緩衝器 606 提供給積體電路 650 上之輸入/輸出埠，或提供給積體電路 650 內部或外部之其他資料目標。一狀態機、時鐘脈衝電路及其他控制邏輯係位在電路 609 中。偏壓的配置電源電壓係藉由使用充電泵及其他電壓源而在方塊 608 中產生，且係被提供至方塊 612 中之升壓的全域字線驅動器及局部字線驅動器，且被提供至積體電路上之其他電路。積體電路 650 包括複數個用以連接至一電源供應部之端子，電源供應部提供電源電壓 VDD 及 VSS 給晶片。在於此所說明之實施例中，電源電壓 VDD 可以是一低電壓，例如大約 1.8 伏特。

雖然本發明係參考上述之較佳實施例及例子而揭露，但吾人應理解到這些例子係意圖呈現例示的意義而非限制的意義。吾人考慮到熟習本項技藝者將輕易地想起修改及組合，其中修改及組合將落在本發明之精神以及以下申請專利範圍之範疇之內。

【圖式簡單說明】

第 1 圖係為可被使用以驅動像積體電路上之字線之高電容負載之習知技術驅動器電路之示意圖。

第 2 圖係為包括一上拉加速電路之一驅動器電路之示意圖，可被使用以驅動像積體電路上之字線之高電容負載。

第 3 圖係為顯示由第 2 圖之電路所使用之操作解碼的控制信號之時序圖。

第 4 圖係為顯示第 2 圖之電路中的電壓與電流位準之
 時序圖。

第 5A-5C 圖顯示可被使用以產生第 3 圖所顯示之解
 碼的控制信號之電路。

第 6 圖係為包括一個像第 2 圖之那個之字線驅動器電
 路之積體電路之簡化方塊圖。

【主要元件符號說明】

88-in、88-n：線

AVXP：第一電源電壓

GWBL：電壓/電壓位準

I1、I2、I3：電流

IN：信號

MN0、MN1、MN2、MN3、MN10、MN11、MN12、

MN13、MN20：n 通道電晶體

MP1、MP10、MP11、MP12、MP20：p 通道電晶體

NVSS：第二電源電壓

OUT：脈衝

T1、T2、T3、T4：時間

VDD：電源電壓

VSS：低位準

W1：期間

W2：時間間隔

WLBS：偏壓

XBL2、XBL3、Sector：解碼的位址信號

XBL2_HV：高電壓解碼信號

- 11、12：電壓源
- 14：控制節點
- 15：全域字線
- 21、22：電壓源
- 24：控制節點
- 25：全域字線
- 50、51：脈衝
- 54：區域
- 55：脈衝
- 80：脈衝產生器
- 81：位準偏移器/脈衝產生電路/脈衝產生器
- 82、83：緩衝器
- 85：記憶體
- 88、89：匯流排
- 90：反相器
- 91、97：節點
- 92：電容器
- 93、94、95、96：電晶體
- 100：時間
- 101：下降邊緣/時間/轉變
- 102、103：轉變
- 600：記憶體陣列
- 601：列解碼器
- 602：字線
- 603：行解碼器

- 604：位元線
- 605、607：匯流排
- 606：頁面緩衝器
- 608：偏壓的配置電源電壓
- 609：電路
- 611：資料輸入線
- 612：升壓的全域字線驅動器與局部字線驅動器
- 615：資料輸出線
- 650：積體電路

七、申請專利範圍：

1. 一種驅動器電路，被設計成利用一電源電壓來操作，該驅動器電路包括：

一驅動器，具有一個連接至一控制節點之輸入以及一個連接至一負載之輸出，該驅動器因應於該控制節點上之一電壓以將該負載耦接至一第一電源電壓或一第二電源電壓，其中該第一電源電壓高於該第二電源電壓；

一上拉電路，連接於該控制節點與該第一電源電壓之間；

一下拉電路，連接於該控制節點及該第二電源電壓之間；以及

一上拉加速電路，連接於該控制節點與該第一電源電壓之間，除了該上拉電路提供一第一電流至該控制節點以外，該上拉加速電路更提供一第二電流至該控制節點。

2. 如申請專利範圍第 1 項所述之驅動器電路，其中該下拉電路係因應於一驅動器選擇信號，其具有一個位於或低於該第二電源電壓之選擇電壓位準以及一取消選擇電壓位準，其中該上拉加速電路在正常狀態下處於斷開狀態，並上拉該第一電流持續一升壓間隔，該升壓間隔開始於該驅動器選擇信號從該選擇電壓位準至該取消選擇電壓位準之一轉變，或該升壓間隔於該轉變之後。

3. 如申請專利範圍第 2 項所述之驅動器電路，其中該升壓間隔在該驅動器選擇信號從該取消選擇電壓位準至該選擇電壓位準之下一個轉變之前結束。

4. 如申請專利範圍第 1 項所述之驅動器電路，其中

該驅動器包括一 p 通道電晶體，該 p 通道電晶體串聯至一 n 通道電晶體之一節點該節點位於該 n 通道電晶體與該負載連接處，該 p 通道電晶體與該 n 通道電晶體的閘極被連接至該控制節點。

5. 如申請專利範圍第 1 項所述之驅動器電路，其中該上拉加速電路包括一 p 通道電晶體，其連接於該控制節點與該第一電源電壓之間，並具有一個連接至一升壓控制信號之閘極，並包括一電路，用以產生該升壓控制信號，其在正常狀態下位於高到足以斷開該 p 通道電晶體之電壓位準，且該升壓控制信號轉變至一較低電壓位準以導通該 p 通道電晶體持續一升壓間隔。

6. 如申請專利範圍第 5 項所述之驅動器電路，其中該升壓間隔開始於該驅動器選擇信號從該選擇電壓位準至該取消選擇電壓位準之一轉變，或該升壓間隔於該轉變之後，在該驅動器選擇信號從該取消選擇電壓位準至該選擇電壓位準之下一個轉變之前結束該驅動器選擇信號之該選擇電壓位準係位於或低於該第一電源電壓，而該升壓控制信號之該電壓位準係為一個高到足以斷開該 p 通道電晶體之位準。

7. 如申請專利範圍第 1 項所述之驅動器電路，其中該下拉電路係因應於一驅動器選擇信號，其具有一選擇電壓位準以及一取消選擇電壓位準，且該下拉電路包括在該控制節點及該第二電源電壓之間的一連串的 n 通道電晶體，該連串的該些 n 通道電晶體之其中一個具有一個連接至該驅動器選擇信號之閘極，且該驅動器選擇信號之該選

擇電壓位準係低於該第一電源電壓。

8. 如申請專利範圍第 1 項所述之驅動器電路，其中該上拉電路係由一偏壓所控制，該偏壓係獨立於該負載下之電壓。

9. 如申請專利範圍第 1 項所述之驅動器電路，其中該上拉電路包括一 p 通道電晶體，其連接於該控制節點與該第一電源電壓之間，並具有一個連接至一靜態偏壓之閘極。

10. 如申請專利範圍第 1 項所述之驅動器電路，其中該下拉電路係因應於一驅動器選擇信號，其具有一選擇電壓位準以及一取消選擇電壓位準，且該上拉電路係被靜態地偏壓至一導電狀態，且當該驅動器選擇信號位於該驅動器選擇電壓位準時，該下拉電路克服該上拉電路。

11. 如申請專利範圍第 1 項所述之驅動器電路，其中該負載包括一條在記憶體陣列中之字線，並包括一個產生該驅動器選擇信號之位址解碼器。

12. 一種驅動器電路，被設計成利用一電源電壓來操作，該驅動器電路包括：

一驅動器，包括一 p 通道電晶體與一 n 通道電晶體，該 p 通道電晶體具有一個連接至一第一電源電壓之一源極之源極端子、一個連接至一負載端子之汲極以及一個耦接至一控制節點之閘極，而該 n 通道電晶體具有一個連接至一第二電源電壓之一源極之源極端子、一個連接至一負載端子之汲極以及一個耦接至該控制節點之閘極，其中該第一電源電壓係高於該電源電壓；

一驅動器選擇電路，包括一第一 p 通道電晶體、一個或多個 n 通道電晶體以及一 p 通道電晶體，該第一 p 通道電晶體連接於該控制節點與該第一電源電壓之間並具有一個連接至一靜態偏壓之閘極，該一個或多個 n 通道電晶體位在該控制節點與該第二電源電壓之間，該一個或多個 n 通道電晶體之該其中一個具有一個連接至一驅動器選擇信號之閘極，該驅動器選擇信號具有一個位於或低於該電源電壓之選擇電壓位準以及一取消選擇電壓位準，而該 p 通道電晶體連接於該控制節點與該第一電源電壓之間，並具有一個連接至一升壓控制信號之閘極；以及

一電路，用以產生該升壓控制信號，其在正常狀態下位於一較高電壓位準以斷開該第二 p 通道電晶體，利用至一較低電壓位準之轉變以導通該 p 通道電晶體持續一段在該驅動器選擇信號從該選擇電壓位準至該取消選擇電壓位準之一轉變之時或之後開始之時間之升壓間隔。

13. 如申請專利範圍第 12 項所述之驅動器電路，其中該升壓間隔在該驅動器選擇信號從該取消選擇電壓位準至該選擇電壓位準之下一個轉變之前結束。

14. 如申請專利範圍第 12 項所述之驅動器電路，其中該負載包括一條在一記憶體陣列中之字線，並包括一個產生該驅動器選擇信號之位址解碼器。

15. 一種供驅動一高電容負載之一驅動器電路用之操作方法，該驅動器電路因應於一控制節點上之一電壓來切換，該操作方法包括：

提供一靜態電流，其傾向於將該控制節點拉至一第一

電源電壓；

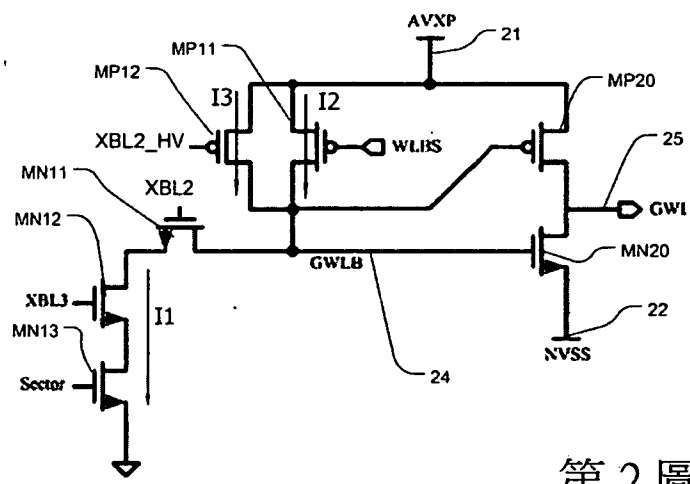
因應於選擇一驅動器之一信號之一第一轉變，提供一戰鬥電流脈衝以藉由克服該靜態電流來將該控制節點拉至一第二電源電壓；以及

因應於選擇該驅動器之該信號之一第二轉變，斷開該戰鬥電流脈衝，並施加一升高電流脈衝至該控制節點以輔助將該控制節點拉至該第一電源電壓。

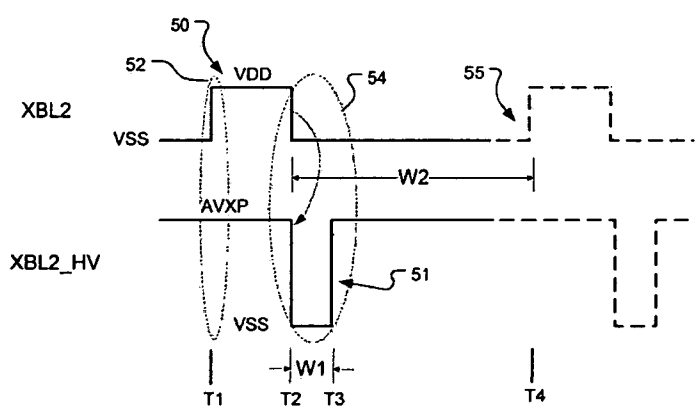
16. 如申請專利範圍第 15 項所述之方法，其中該升高電流脈衝具有一期間，其少於在選擇該驅動器之該信號之該第二轉變與選擇該驅動器之該信號之一跟隨的第一轉變之間的最小期間。

17. 如申請專利範圍第 15 項所述之方法，其中該第一電源電壓大於一電源電壓，用於產生選擇該驅動器之該信號。

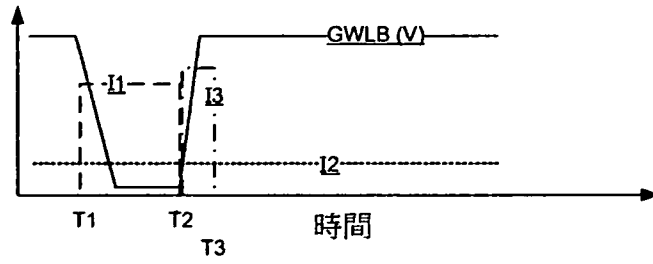
18. 如申請專利範圍第 15 項所述之方法，包括藉由解碼一位址來產生一個選擇該驅動器之信號。



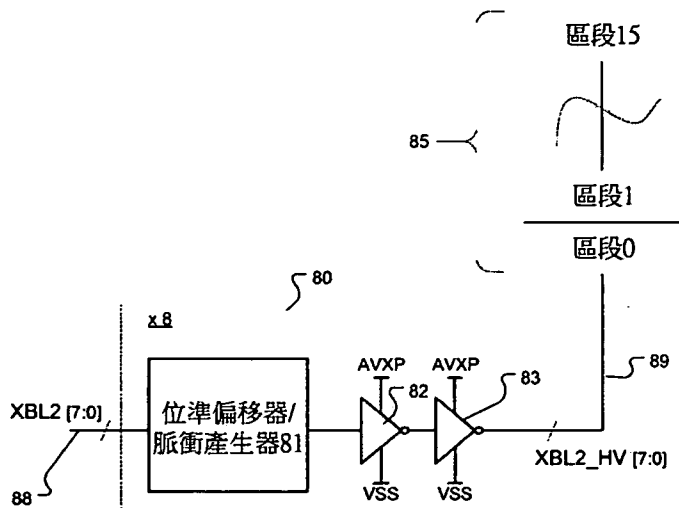
第 2 圖



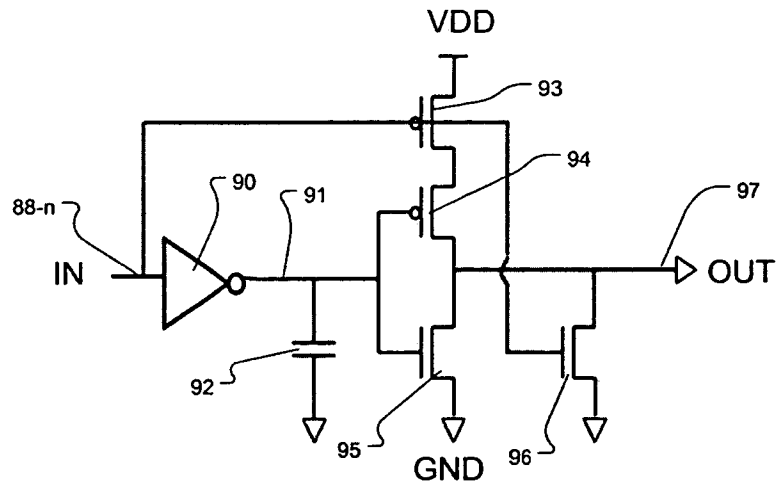
第 3 圖



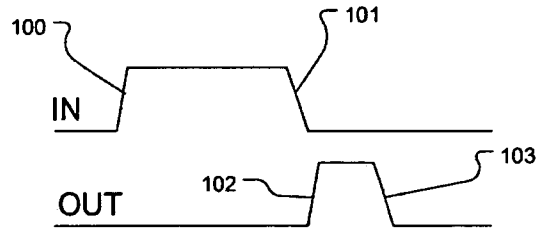
第 4 圖



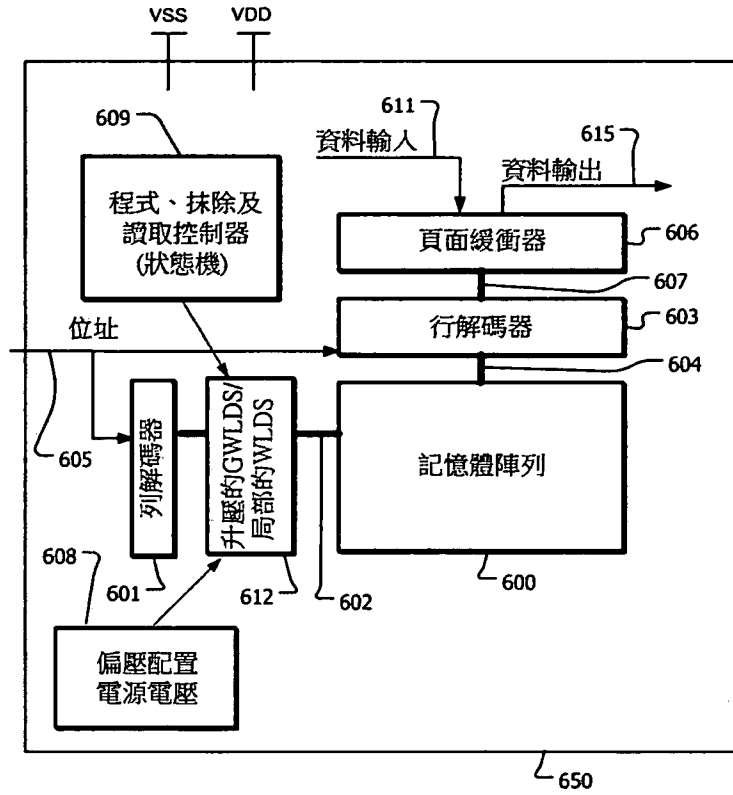
第 5A 圖



第 5B 圖



第 5C 圖



第 6 圖