

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-64658

(P2012-64658A)

(43) 公開日 平成24年3月29日(2012.3.29)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 B	4 M 1 0 4
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 M	

審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2010-205789 (P2010-205789)
 (22) 出願日 平成22年9月14日(2010.9.14)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (71) 出願人 000003609
 株式会社豊田中央研究所
 愛知県長久手市横道41番地の1
 (74) 代理人 110001128
 特許業務法人ゆうあい特許事務所
 (72) 発明者 山本 敏雅
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

最終頁に続く

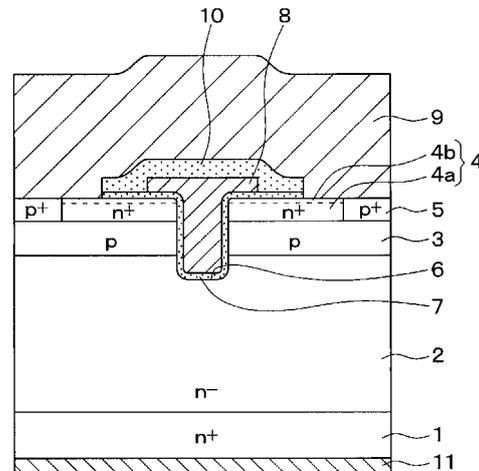
(54) 【発明の名称】炭化珪素半導体装置およびその製造方法

(57) 【要約】

【課題】トレンチ内のダメージ除去を行う際に、ソース領域とソース電極とのコンタクト抵抗が増大することを抑制できるようにする。

【解決手段】 n^+ 型ソース領域4の第2領域4bについて、最表面からある程度の深さの場所については、高不純物濃度とせず、比較的低不純物濃度となるようにする。これにより、ダメージ除去工程を行ったときに、 n^+ 型ソース領域4の第2領域4bのうち比較的低不純物濃度とされる部分が若干残るか、もしくは、この部分が消失して第2領域4bのうちの高不純物濃度の部分が増速酸化されても、比較的低不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようにできる。したがって、 n^+ 型ソース領域4の第2領域4bのうちソース電極9とのコンタクト部が消失することを防止でき、 n^+ 型ソース領域4とソース電極9とのコンタクト抵抗の増大を抑制することが可能となる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) と、
前記基板 (1) の上に形成され、前記基板 (1) よりも低不純物濃度とされた第 1 導電型の炭化珪素からなるドリフト層 (2) と、

前記ドリフト層 (2) の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、

前記ベース領域 (3) の表層部に形成され、前記ドリフト層 (2) よりも高濃度の第 1 導電型の炭化珪素にて構成されたソース領域 (4) と、

前記ソース領域 (4) の表面から前記ベース領域 (3) よりも深くまで形成され、一方
向を長手方向として形成されたトレンチ (6) と、

前記トレンチ (6) の内壁面に形成されたゲート絶縁膜 (7) と、

前記トレンチ (6) 内において、前記ゲート絶縁膜 (7) の上に形成されたゲート電極 (8) と、

前記ゲート電極 (8) を覆い、かつ、前記ソース領域 (4) および前記ベース領域 (3) の接触層 (5) を部分的に露出させる接触ホールが形成された層間絶縁膜 (10) と、

前記接触ホールを介して、前記ソース領域 (4) および前記ベース領域 (3) の接触層 (5) に電氣的に接続されたソース電極 (9) と、

前記基板 (1) の裏面側に形成されたドレイン電極 (11) とを備えてなる炭化珪素半
導体装置であって、

前記ソース領域 (4) は、第 1 領域 (4 a) と、該第 1 領域 (4 a) よりも浅く、かつ、高不純物濃度とされた部分を有する第 2 領域 (4 b) とを有して構成され、前記第 2 領域 (4 b) のうち前記層間絶縁膜 (10) にて覆われた部分では、該第 2 領域 (4 b) のうち前記ソース領域 (4) の最表面における第 1 導電型不純物の不純物濃度が前記最表面よりも深い位置と比べて比較的
低不純物濃度とされ、前記第 2 領域 (4 b) のうち前記接触ホールに位置する部分では、前記比較的
低不純物濃度とされた部分よりも深い位置まで前記ソース電極 (9) もしくは該ソース電極 (9) を構成する金属がシリサイド化した金属シリサイド膜 (30) が形成されていることを特徴とする炭化珪素半導体装置。

【請求項 2】

前記ソース領域 (4) における前記第 2 領域 (4 b) のうち、前記比較的
低不純物濃度とされた部分の第 1 導電型不純物の不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ 以下とされ、前記ソース領域 (4) のうち第 2 領域 (4 b) のうち前記比較的
低不純物濃度とされた部分よりも深い部分の第 1 導電型不純物の不純物濃度が $1.0 \times 10^{20} / \text{cm}^3$ 以上とされていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記ソース領域 (4) における前記第 2 領域 (4 b) のうち、前記比較的
低不純物濃度とされた部分の第 1 導電型不純物の不純物濃度が $1.0 \times 10^{18} / \text{cm}^3$ 以下とされ、前記ソース領域 (4) のうち第 2 領域 (4 b) のうち前記比較的
低不純物濃度とされた部分よりも深い部分の第 1 導電型不純物の不純物濃度が $1.0 \times 10^{20} / \text{cm}^3$ 以上とされていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 4】

前記接触ホールと対応する位置において、前記ソース領域 (4) および前記ベース領域 (3) の接触層 (5) が部分的に除去された凹部 (40) が形成され、該凹部 (40) に前記ソース電極 (9) が入り込むことにより、前記比較的
低不純物濃度とされた部分よりも深い位置まで前記ソース電極 (9) もしくは該ソース電極 (9) を構成する金属がシリサイド化した金属シリサイド膜 (30) が形成されていることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 5】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) 上に、該基板 (1) よりも低不純

10

20

30

40

50

物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)を形成する工程と、

前記ドリフト層(2)の上に第2導電型の炭化珪素からなるベース領域(3)を形成する工程と、

前記ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、前記ドリフト層(2)よりも高濃度の第1導電型の炭化珪素にて構成されたソース領域(4)を形成する工程と、

前記ソース領域(4)の表面から前記ベース領域(3)を貫通して前記ドリフト層(2)に達するトレンチ(6)を形成する工程と、

前記トレンチ(6)の形成後に、前記トレンチ(6)内を含むダメージ層を除去するダメージ除去工程と、

前記ダメージ除去工程後に、前記トレンチ(6)の表面にゲート絶縁膜(7)を形成する工程と、

前記トレンチ(6)内において、前記ゲート絶縁膜(7)の上にゲート電極(8)を形成する工程と、

前記ゲート電極(8)を覆う層間絶縁膜(10)を形成する工程と、

前記層間絶縁膜(10)に対して、前記ソース領域(4)および前記ベース領域(3)のコンタクト層(5)を部分的に露出させるコンタクトホールを形成する工程と、

前記層間絶縁膜(10)の上に、前記コンタクトホールを通じて前記ソース領域(4)および前記ベース領域(3)のコンタクト層(5)に電気的に接続されるソース電極(9)を形成する工程と、

前記基板(1)の裏面側にドレイン電極(11)を形成する工程と、を含み、

前記ソース領域(4)を形成する工程では、前記ソース領域(4)を、第1領域(4a)と、該第1領域(4a)よりも浅く、かつ、高不純物濃度とされる部分を有する第2領域(4b)とを有した構成として形成し、前記第2領域(4b)のうち前記ソース領域(4)の最表面における第1導電型不純物の不純物濃度が前記最表面よりも深い位置と比べて比較的低下不純物濃度とされるようにすることを特徴とする炭化珪素半導体装置の製造方法。

【請求項6】

前記ソース電極(9)を形成する工程では、前記第2領域(4b)のうち前記コンタクトホールから露出させられた部分に残った前記比較的低下不純物濃度とされた部分と前記ソース電極(9)を構成する金属とをシリサイド化反応させ、金属シリサイド膜(30)を形成することを特徴とする請求項5に記載の炭化珪素半導体装置の製造方法。

【請求項7】

前記コンタクトホールを形成する工程に続けて、前記層間絶縁膜(10)をマスクとして前記コンタクトホールにて露出させられた前記ソース領域(4)および前記ベース領域(3)の前記コンタクト層(5)に凹部(40)を形成する工程を行い、前記凹部(40)を形成することにより、前記第2領域(4b)のうち前記コンタクトホールから露出させられた部分に残った前記比較的低下不純物濃度とされた部分を除去することを特徴とする請求項5に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲートを有する炭化珪素(以下、SiCという)半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、高い電界破壊強度が得られるパワーデバイスの素材としてSiCが注目されている。SiC半導体装置では電界破壊強度が強いため、大電流の制御を行うことができる。そのため、様々な分野での適用が可能であり、例えば自動車分野であればHV(ハイブリットカー)、EV(電気自動車)、FC(燃料電池自動車)用のモーターの制御への活用

10

20

30

40

50

等が期待されている。

【0003】

S i C半導体装置において、より大電流を流すには、チャネル密度を高くすることが有効である。シリコントランジスタにおいて、トレンチゲート構造のM O S F E Tが採用され実用化されているが、このトレンチゲート構造は当然S i C半導体装置にも適用できる構造であり、例えば特許文献1において、トレンチゲート構造のS i C半導体装置が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-231545号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記のようなトレンチゲート構造のM O S F E TをS i C基板上に作成する場合には次のような問題が発生する。

【0006】

ゲート酸化膜を形成するに際して、S i C表面にはそれまでのプロセスによるダメージや不純物などが残留している。特に、トレンチエッチングにより形成したトレンチ側壁にはエッチング時のダメージが残留していることが懸念される。このようなダメージが残留していると、それを起点としてリークが発生することから、ダメージを除去するために、水素エッチングや犠牲酸化等を行うことが必要になる。

【0007】

ところが、高不純物濃度領域の酸化レートが早い(増速酸化)ことから、そのダメージ除去の際に、ダメージ除去を確実にを行う程度まで犠牲酸化等を行うと、トレンチの肩部(トレンチの入口側の角部)に形成される高不純物濃度のソース領域の表面濃度、つまりソース電極とのコンタクト部の濃度を高濃度に確保できず、コンタクト抵抗が増大するという問題が発生する。

【0008】

例えば、ソース領域については、コンタクト部の濃度をより高濃度にするために、深い位置を窒素(N)のイオン注入によって形成しつつ、浅い位置にリン(P)のイオン注入を行って深い位置よりもより高濃度($1 \times 10^{20} / \text{cm}^3$ 程度)となるようにしている。このような製造工程により、ソース領域のうち、浅い位置に構成されるコンタクト部が深い位置よりも高不純物濃度となるようにし、コンタクト抵抗の低減を図っている。しかし、このソース領域のうちの浅い位置が増速酸化によって酸化され、その後、犠牲酸化膜を除去する際に除去されてしまい、コンタクト部のための高不純物濃度とされた部分が消失してしまうのである。このため、ソース領域のうちソース電極とのコンタクト部が高不純物濃度とならなくなることでコンタクト抵抗が増大してしまうし、ソース領域の厚みが薄くなって電流経路の断面積が減少することでも抵抗を増大させることになる。

【0009】

このような問題は、ソース領域を窒素とリンの2種類のイオン種で形成する場合に限らず、同じイオン種であっても、浅い領域が深い領域よりもより高不純物濃度とされるようにイオン注入されているような場合に、同様に発生する。また、トレンチゲート構造のM O S F E Tに限らず、トレンチゲート構造のI G B Tについても、同様のことが言える。また、ここでは犠牲酸化によってダメージ除去を行う場合について説明したが、犠牲酸化に限らず、水素エッチングなどでも高不純物層の増速エッチングが生じるため、同様のことが言える。

【0010】

本発明は上記点に鑑みて、トレンチ内のダメージ除去を行う際に、ソース領域とソース電極とのコンタクト抵抗が増大することを抑制できるS i C半導体装置およびその製造方

10

20

30

40

50

法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、請求項1に記載の発明では、ソース領域(4)は、第1領域(4a)と、該第1領域(4a)よりも浅く、かつ、高不純物濃度とされた部分を有する第2領域(4b)とを有して構成され、第2領域(4b)のうち層間絶縁膜(10)にて覆われた部分では、該第2領域(4b)のうちソース領域(4)の最表面における第1導電型不純物の不純物濃度が最表面よりも深い位置と比べて比較的 low 不純物濃度とされ、第2領域(4b)のうちコンタクトホールに位置する部分では、前記比較的 low 不純物濃度とされた部分よりも深い位置までソース電極(9)もしくは該ソース電極(9)を構成する金属がシリサイド化した金属シリサイド膜(30)が形成されていることを特徴としている。

10

【0012】

このように、ソース領域(4)の第2領域(4b)について、最表面からある程度の深さの場所については、高不純物濃度とせず、比較的 low 不純物濃度となるようにしている。このため、ダメージ除去工程を行ったときに、ソース領域(4)の第2領域(4b)のうち比較的 low 不純物濃度とされる部分が若干残るか、もしくは、この部分が消失して第2領域(4b)のうちの高不純物濃度の部分が増速酸化されても、比較的 low 不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようにできる。そして、low 不純物濃度の部分が残ったとしても、上記したように、比較的 low 不純物濃度とされた部分よりも深い位置までソース電極(9)もしくは該ソース電極(9)を構成する金属がシリサイド化した金属シリサイド膜(30)が形成されるようにすることで、ソース領域(4)とソース電極(9)とのコンタクト抵抗の増大を抑制することが可能となる。

20

【0013】

例えば、請求項2に記載したように、ソース領域(4)における第2領域(4b)のうち、比較的 low 不純物濃度とされた部分の第1導電型不純物の不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ 以下とされ、ソース領域(4)における第2領域(4b)のうち比較的 low 不純物濃度とされた部分よりも深い部分の第1導電型不純物の不純物濃度が $1.0 \times 10^{20} / \text{cm}^3$ 以上とされるようにすることができる。

【0014】

さらに、請求項3に記載したように、ソース領域(4)における第2領域(4b)のうち、比較的 low 不純物濃度とされた部分の第1導電型不純物の不純物濃度が $1.0 \times 10^{18} / \text{cm}^3$ 以下とされ、ソース領域(4)のうち第2領域(4b)のうち比較的 low 不純物濃度とされた部分よりも深い部分の第1導電型不純物の不純物濃度が $1.0 \times 10^{20} / \text{cm}^3$ 以上とされるようにすると好ましい。

30

【0015】

このように、第2領域(4b)のうち、比較的 low 不純物濃度とされた部分の第1導電型不純物の不純物濃度をより低濃度とすれば、より確実にソース領域(4)の第2領域(4b)のうち高不純物濃度が増速酸化されることを防止することが可能となり、さらにソース領域(4)とソース電極(9)とのコンタクト抵抗の増大を抑制することが可能となる。

40

【0016】

請求項4に記載の発明では、コンタクトホールと対応する位置において、ソース領域(4)およびベース領域(3)のコンタクト層(5)が部分的に除去された凹部(40)が形成され、該凹部(40)にソース電極(9)が入り込むことにより、第2領域(4b)のうち比較的 low 不純物濃度とされた部分よりも深い位置までソース電極(9)もしくは該ソース電極(9)を構成する金属がシリサイド化した金属シリサイド膜(30)が形成されていることを特徴としている。

【0017】

このように、凹部(40)を形成し、凹部(40)にソース電極(9)が入り込むよう

50

にすれば、第2領域(4b)のうち比較的low不純物濃度とされた部分よりも深い位置までソース電極(9)もしくは該ソース電極(9)を構成する金属がシリサイド化した金属シリサイド膜(30)を形成できる。これにより、より確実に請求項1に記載の効果を得ることができる。

【0018】

請求項5に記載の発明では、ソース領域(4)を形成する工程では、第1領域(4a)と、該第1領域(4a)よりも浅く、かつ、高不純物濃度とされる部分を有する第2領域(4b)とを有して構成としてソース領域(4)を形成し、第2領域(4b)のうちソース領域(4)の最表面における第1導電型不純物の不純物濃度が最表面よりも深い位置と比べて比較的low不純物濃度とされるようにすることを特徴としている。

10

【0019】

このように、ソース領域(4)の第2領域(4b)について、最表面からある程度の深さの場所については、高不純物濃度とせず、比較的low不純物濃度となるようにしている。このため、ダメージ除去工程を行ったときに、ソース領域(4)の領域(4b)のうち比較的low不純物濃度とされる部分が若干残るようである。もしくは、この部分が消失して第2領域(4b)のうちの高不純物濃度の部分が増速酸化されても、比較的low不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようである。これにより、ソース領域(4)の第2領域(4b)のうちソース電極(9)とのコンタクト部が消失することを防止することができる。したがって、ソース領域(4)とソース電極(9)とのコンタクト抵抗の増大を抑制することが可能となる。

20

【0020】

請求項6に記載の発明では、ソース電極(9)を形成する工程では、第2領域(4b)のうちコンタクトホールから露出させられた部分に残った比較的low不純物濃度とされた部分とソース電極(9)を構成する金属とをシリサイド化反応させ、金属シリサイド膜(30)を形成することを特徴としている。

【0021】

このように、ソース電極(9)を構成する金属とSiC中のSiとをシリサイド化反応させれば、比較的low不純物濃度とされた領域をすべて低抵抗な金属シリサイドとすることができる。したがって、ソース領域(4)とソース電極(9)とのコンタクト抵抗が増大しないようである。

30

【0022】

請求項7に記載の発明では、コンタクトホールを形成する工程に続けて、層間絶縁膜(10)をマスクとしてコンタクトホールにて露出させられたソース領域(4)およびベース領域(3)のコンタクト層(5)に凹部(40)を形成する工程を行い、凹部(40)を形成することにより、第2領域(4b)のうちコンタクトホールから露出させられた部分に残った比較的low不純物濃度とされた部分を除去することを特徴としている。

【0023】

このように、コンタクトホールと対応する位置に凹部(40)を形成し、ソース領域(4)の第2領域(4b)の最表面での比較的low不純物濃度とされた部分が除去されるようにしている。これにより、より確実にソース領域(4)の第2領域(4b)のうち高不純物濃度が増速酸化されることを防止することが可能となり、さらにソース領域(4)とソース電極(9)とのコンタクト抵抗の増大を抑制することが可能となる。

40

【0024】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0025】

【図1】本発明の第1実施形態にかかるトレンチゲート構造の縦型MOSFETの断面図である。

【図2】図1に示すトレンチゲート型の縦型MOSFETの製造工程を示した断面図であ

50

る。

【図3】図2に続くトレンチゲート型の縦型MOSFETの製造工程を示した断面図である。

【図4】図3に続くトレンチゲート型の縦型MOSFETの製造工程を示した断面図である。

【図5】従来と本実施形態の n^+ 型ソース領域4のうちの領域4bの不純物濃度プロファイルである。

【図6】コンタクト部近傍の拡大図である。

【図7】本発明の第2実施形態にかかるトレンチゲート構造の縦型MOSFETの断面図である。

【図8】図7に示すトレンチゲート型の縦型MOSFETの製造工程を示した断面図である。

【発明を実施するための形態】

【0026】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0027】

(第1実施形態)

本発明の第1実施形態について説明する。ここではSiC半導体装置に備えられる素子として反転型のトレンチゲート構造の縦型MOSFETについて説明する。

【0028】

図1は、本実施形態にかかるトレンチゲート構造の縦型MOSFETの断面図である。この図は、縦型MOSFETの1セル分を抽出したものに相当する。本図ではMOSFETの1セル分しか記載していないが、図1に示す縦型MOSFETと同様の構造の縦型MOSFETが複数列隣り合うように配置されている。

【0029】

図1に示す縦型MOSFETは、半導体基板としてSiCからなる n^+ 型基板1を用いて形成されている。 n^+ 型基板1は、窒素、リン等の n 型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが $300 \mu\text{m}$ 程度とされている。この n^+ 型基板1の表面には、窒素、リン等の n 型不純物濃度が例えば $3.0 \sim 7.0 \times 10^{15} / \text{cm}^3$ で厚さ $10 \sim 15 \mu\text{m}$ 程度のSiCからなる n^- 型ドリフト層2が形成されている。この n^- 型ドリフト層2の表層部には p 型ベース領域3が形成されており、さらに、 p 型ベース領域3の上層部分には n^+ 型ソース領域4および p^+ 型コンタクト層5が形成されている。

【0030】

p 型ベース領域3は、ボロンもしくはアルミニウム等の p 型不純物濃度が例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ $2.0 \mu\text{m}$ 程度で構成されている。

【0031】

n^+ 型ソース領域4は、後述するトレンチゲート構造の両側に配置されており、例えば厚さ $0.3 \mu\text{m}$ 程度で構成されている。 n^+ 型ソース領域4を構成する n 型不純物としては、基本的には窒素(N)が用いられているが、表層部にはリン(P)が用いられている。窒素はリンよりも質量が大きく、より深い位置まで注入し易いことから、 n^+ 型ソース領域4の深い位置まで高不純物濃度とするために用いている。但し、窒素のみでは、コンタクト抵抗を一定以上に低下させることができないため、 n^+ 型ソース領域4のうちの浅い位置では窒素よりもコンタクト抵抗を十分低下させることが可能なリンを用いている。例えば、 n^+ 型ソース領域4のうち窒素のみが注入されている領域は、 n 型不純物濃度が例えば $1.0 \times 10^{20} / \text{cm}^3$ 程度、リンが注入されている領域は、 n 型不純物濃度が $1.0 \times 10^{20} / \text{cm}^3$ 以上、例えば $5.0 \times 10^{20} \sim 1.0 \times 10^{21} / \text{cm}^3$ 程度とされている。以下、 n^+ 型ソース領域4のうち n 型不純物濃度が比較的低濃度とされている部分(本実施形態の場合、窒素のみが注入されている領域)を第1領域4aといい、 n 型不純物濃度が比較的高濃度とされている部分(本実施形態の場合、リンが注入されている領域

10

20

30

40

50

)を第2領域4bという。

【0032】

p⁺型コンタクト層5は、p型ベース領域3を部分的に高不純物濃度としたもので、p型ベース領域3の一部に相当し、p型ベース領域3と後述するソース電極9とのコンタクトのために用いられる。p⁺型コンタクト層5は、例えば表層部におけるボロンもしくはアルミニウム等のp型不純物濃度(表面濃度)が例えば $1.0 \times 10^{20} / \text{cm}^3$ 、厚さ0.3 μm程度で構成されている。p⁺型コンタクト層5は、n⁺型ソース領域4を挟んでトレンチゲート構造と反対側に備えられている。

【0033】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、例えば幅が1.4 ~ 2.0 μm、深さが2.0 μm程度(例えば2.4 μm)のトレンチ6が形成されている。このトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。

【0034】

さらに、トレンチ6の内壁面はゲート絶縁膜7にて覆われており、ゲート絶縁膜7の表面に形成されたドーフトPoly-Siにて構成されるゲート電極8により、トレンチ6内が埋め尽くされている。ゲート絶縁膜7は、例えば、酸化膜によって構成されており、ゲート絶縁膜7の厚みはトレンチ6の側面側と底部側共に100 nm程度となっている。

【0035】

このようにして、トレンチゲート構造が構成されている。このトレンチゲート構造は、図1の紙面垂直方向を長手方向として延設されている。そして、複数のトレンチゲート構造が図1の紙面左右方向において平行に並べられることで複数セルが構成されている。

【0036】

また、n⁺型ソース領域4およびp⁺型コンタクト層5の表面やゲート電極8の表面には、ソース電極9やゲート配線(図示せず)が形成されている。ソース電極9およびゲート配線は、複数の金属(例えばNi/Al等)にて構成されており、少なくともn型SiC(具体的にはn⁺型ソース領域4やnドープの場合のゲート電極8)と接触する部分はn型SiCとオーミック接触可能な金属で構成され、少なくともp型SiC(具体的にはp⁺型コンタクト層5やpドープの場合のゲート電極8)と接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、これらソース電極9およびゲート配線は、層間絶縁膜10上に形成されることで電氣的に絶縁されており、層間絶縁膜10に形成されたコンタクトホールを通じてソース電極9はn⁺型ソース領域4およびp⁺型コンタクト層5と電氣的に接触させられ、ゲート配線はゲート電極8と電氣的に接触させられている。

【0037】

そして、n⁺型基板1の裏面側にはn⁺型基板1と電氣的に接続されたドレイン電極11が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。

【0038】

次に、図1に示すトレンチゲート型の縦型MOSFETの製造方法について説明する。図2~図4は、図1に示すトレンチゲート型の縦型MOSFETの製造工程を示した断面図である。以下、これらの図を参照して説明する。

【0039】

〔図2(a)に示す工程〕

まず、窒素、リン等のn型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ で厚さ300 μm程度のn⁺型基板1を用意する。このn⁺型基板1の表面に窒素、リン等のn型不純物濃度が例えば $3.0 \sim 7.0 \times 10^{15} / \text{cm}^3$ で厚さ15 μm程度のSiCからなるn⁻型ドリフト層2をエピタキシャル成長させる。続いて、n⁻型ドリフト層2の表面に、p型不純物濃度が例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ2.0 μm程度となるボロンもしくはアルミニウム等のp型不純物層をエピタキシャル成長させることにより、

10

20

30

40

50

p型ベース領域3を形成する。

【0040】

〔図2(b)に示す工程〕

p型ベース領域3の上に、例えばLTO等で構成されるマスク20を成膜する。そして、マスク20の上にレジスト21を配置し、露光・現像などのフォトリソグラフィ工程を経てレジスト21のうちp⁺型コンタクト層5の形成予定領域を開口させる。

【0041】

〔図2(c)に示す工程〕

レジスト21を用いてマスク20をCHF₃などのSiCに対する選択比の高いエッチングガスを用いてパターニングして、p⁺型コンタクト層5の形成予定領域上においてマスク20を開口させたのち、レジスト21を除去する。そして、マスク20にてp型ベース領域3のうちのp⁺型コンタクト層5の形成予定領域以外を覆った状態で、p型不純物（例えばボロンもしくはアルミニウム等）をイオン注入する。そして、注入されたイオンを活性化することで、ボロンもしくはアルミニウム等のp型不純物濃度（表面濃度）が例えば $1.0 \times 10^{20} / \text{cm}^3$ 、厚さ0.3 μm程度のp⁺型コンタクト層5を形成する。その後、マスク20をHFなどのエッチング液を用いて除去する。

10

【0042】

〔図2(d)に示す工程〕

p型ベース領域3およびp⁺型コンタクト層5の上に、例えばLTO等で構成されるマスク22を成膜する。そして、マスク22の上にレジスト23を配置し、露光・現像などのフォトリソグラフィ工程を経てレジスト23のうちn⁺型ソース領域4の形成予定領域を開口させる。

20

【0043】

〔図3(a)に示す工程〕

レジスト23を用い、マスク22をCHF₃などのSiCに対する選択比の高いエッチングガスを用いてパターニングし、n⁺型ソース領域4の形成予定領域上においてマスク22を開口させる。そして、マスク22にてp型ベース領域3のうちのn⁺型ソース領域4の形成予定領域以外を覆った状態で、n型不純物をイオン注入する。このとき、n⁺型ソース領域4の深い位置から浅い位置に至るまでボックスプロファイルによってn型不純物として窒素をイオン注入することで、例えば $1 \times 10^{20} / \text{cm}^3$ 程度で第1領域4aが形成されるようにする。次いで、n⁺型ソース領域4の浅い位置にn型不純物としてリンをイオン注入する。これにより、ソース電極9とのコンタクト部となる第2領域4bを窒素のみが導入される第1領域4aよりも基本的には高不純物濃度、具体的には $1.0 \times 10^{20} / \text{cm}^3$ 以上、例えば $5.0 \times 10^{20} \sim 1.0 \times 10^{21} / \text{cm}^3$ 程度で形成されるようにする。

30

【0044】

このとき、n⁺型ソース領域4のうちの第2領域4bについては、最表面まで高不純物濃度とするのではなく、最表面から所定距離離れた位置から高不純物濃度となるようにする。図5(a)、(b)に、従来と本実施形態のn⁺型ソース領域4のうちの第2領域4bの不純物濃度プロファイルを示し、この図を参照して従来と本実施形態のn⁺型ソース領域4のうちの第2領域4bの不純物濃度の違いについて説明する。なお、図5(a)、(b)では、第2領域4bの不純物濃度しか示していないが、第1領域4aについては $1.0 \times 10^{20} / \text{cm}^3$ 程度の濃度で窒素が注入されている。

40

【0045】

図5(a)に示すように、従来では、n⁺型ソース領域4の第2領域4bについて、最表面から僅かな深さ(0.01 μm程度)の場所、つまりほぼ最表面まで高不純物濃度(図中では $1.0 \times 10^{21} / \text{cm}^3$ 程度の不純物濃度)としている。このように、n⁺型ソース領域4の第2領域4bがほぼ最表面まで高不純物濃度とされる場合、n⁺型ソース領域4の最表面近傍において高不純物濃度とされる第2領域4b中でも比較的low不純物濃度とされる部分の厚みが少なくなる。

50

【 0 0 4 6 】

犠牲酸化等のダメージ除去工程を行う場合、十分なダメージ除去が行えるように、ある程度の温度で長時間加熱することになる。このため、従来のように n^+ 型ソース領域4の第2領域4bがほぼ最表面まで高不純物濃度とされる場合、ダメージ除去工程の比較的早い時点から、 n^+ 型ソース領域4の最表面近傍において第2領域4bのうち比較的low不純物濃度とされる部分が酸化されつくしてしまう。これにより、 n^+ 型ソース領域4の第2領域4bのうち、より高不純物濃度とされた部分まで増速酸化され、増速酸化される時間が長時間に至るため、ソース電極9とのコンタクト部が消失してしまうのである。

【 0 0 4 7 】

一方、図5(b)に示すように、本実施形態では、 n^+ 型ソース領域4の第2領域4bについて、最表面からある程度の深さ(例えば $0.05\mu\text{m}$ 以上)の場所については、高不純物濃度(図中では $1.0 \times 10^{21}/\text{cm}^3$ 程度の不純物濃度)とせず、比較的low不純物濃度となるようにしている。例えば、最表面では、第2領域4bの不純物濃度が $1 \times 10^{19}/\text{cm}^3$ 未満となるようにしている。これにより、従来と比較して、 n^+ 型ソース領域4の第2領域4bのうち比較的low不純物濃度とされる部分の厚みが厚くなる。

10

【 0 0 4 8 】

したがって、この後の犠牲酸化等のダメージ除去工程を行ったときに、 n^+ 型ソース領域4の第2領域4bのうち比較的low不純物濃度とされる部分が若干残るか、もしくは、この部分が消失して第2領域4bのうちの高不純物濃度の部分が増速酸化されても、比較的low不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようにできる。これにより、 n^+ 型ソース領域4の第2領域4bのうちのソース電極9とのコンタクト部が消失することを防止することができる。

20

【 0 0 4 9 】

〔図3(b)に示す工程〕

マスク22を除去した後、改めてp型ベース領域3や n^+ 型ソース領域4等の上に、LTO等で構成されるエッチングマスク24を成膜する。そして、マスク24の上にレジスト25を配置し、露光・現像などのフォトリソグラフィ工程を経てレジスト25のうちのトレンチ6の形成予定領域を CHF_3 などのSiCに対する選択比の高いエッチングガスを用いて開口させる。

【 0 0 5 0 】

〔図3(c)に示す工程〕

レジスト25を除去した後、エッチングマスク24で覆った状態で、例えば SF_6 や Cl_2 などのエッチングガスを用いた異方性エッチングを行うことによりトレンチ6を形成する。

30

【 0 0 5 1 】

〔図3(d)に示す工程〕

この後、エッチングマスク24を除去する。例えば、エッチングマスク24がLTO等のような SiO_2 で構成されている場合には、 HF などのエッチング液を用いて、エッチングマスク24を除去することができる。

【 0 0 5 2 】

〔図4(a)に示す工程〕

犠牲酸化等によるダメージ除去を行う。例えば、1080℃、60分間の熱酸化処理を行ったのち、形成された酸化膜をフッ酸などで除去するという工程を行う。これにより、トレンチ6内や n^+ 型ソース領域4の最表面を含む、SiCの露出表面が犠牲酸化され、これまでのプロセス、特にトレンチ形成工程において形成されたダメージを除去することが可能となる。

40

【 0 0 5 3 】

このとき、上述したように、 n^+ 型ソース領域4の第2領域4bについて、最表面からある程度の深さの場所については、高不純物濃度とせず、比較的low不純物濃度となるようにしている。つまり、従来と比較して、 n^+ 型ソース領域4の第2領域4bのうち比較的

50

低不純物濃度とされる部分の厚みが厚くなるようにしている。このため、ダメージ除去工程を行ったときに、 n^+ 型ソース領域4の第2領域4bのうち比較的low不純物濃度とされる部分が若干残るか、もしくは、この部分が消失して第2領域4bのうちの高不純物濃度の部分が増速酸化されても、比較的low不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようにできる。これにより、 n^+ 型ソース領域4の第2領域4bのうちソース電極9とのコンタクト部が消失することを防止することができる。

【0054】

なお、ここでは犠牲酸化を例に挙げたが、水素エッチング、CDE (Chemical Dry Etching) 等によってダメージ除去を行う場合であっても、同様の効果を得ることができる。

10

【0055】

〔図4(b)に示す工程〕

ゲート絶縁膜7を例えばCVD法によって酸化膜を成膜することにより形成する。ゲート絶縁膜7の形成工程をゲート酸化によって行っても良いが、CVD法などを行うことで、更に n^+ 型ソース領域4の第2領域4bの表面が増速酸化されることを抑制することが可能となる。

【0056】

続いて、ゲート絶縁膜7の表面に n 型不純物(もしくは p 型不純物)をドーピングしたポリシリコン層を例えば600の温度下で120nm程度成膜したのち、エッチバック工程等を行うことにより、ポリシリコンを平坦化した後、露光・現像などのフォトリソグラフィ工程を経てレジストをパターニングした後ゲート電極8を CF_4 などのエッチングガスを使ってエッチングにより形成する。さらに、CVD法などによって酸化膜などによって構成される層間絶縁膜10を成膜したのち、層間絶縁膜10をパターニングして n^+ 型ソース領域4や p^+ 型コンタクト層5に繋がるコンタクトホールを形成する。

20

【0057】

〔図4(c)に示す工程〕

続いて、コンタクトホール内を埋め込むように電極材料を成膜したのち、これをパターニングすることでソース電極9のうち p 型SiCとオーミック接触が図れる金属部分を形成する。さらに、 n^+ 型基板1の裏面側にドレイン電極11を形成する。そして、層間絶縁膜10のうちゲート電極8に繋がるコンタクトホールを別断面に形成したのち、コンタクトホール内を埋め込むように n 型SiCとオーミック接触が図れる金属材料を成膜してからパターニングし、さらにシンター処理を行うことでソース電極9および図示しないゲート配線を形成する。これにより、図1に示したトレンチゲート構造の縦型MOSFETが完成する。

30

【0058】

このように、本実施形態によれば、 n^+ 型ソース領域4の第2領域4bについて、最表面からある程度の深さの場所については、高不純物濃度とせず、比較的low不純物濃度となるようにしている。このため、ダメージ除去工程を行ったときに、 n^+ 型ソース領域4の第2領域4bのうち比較的low不純物濃度とされる部分が若干残るか、もしくは、この部分が消失して第2領域4bのうちの高不純物濃度の部分が増速酸化されても、比較的low不純物濃度とされる部分の酸化に時間が掛かるため、増速酸化される領域が少なくなるようにできる。これにより、 n^+ 型ソース領域4の第2領域4bのうちソース電極9とのコンタクト部が消失することを防止することができる。したがって、 n^+ 型ソース領域4とソース電極9とのコンタクト抵抗の増大を抑制することが可能となる。

40

【0059】

なお、 n^+ 型ソース領域4の第2領域4bのうち比較的low不純物濃度とされた領域がダメージ除去工程後にも残る場合、ソース電極9とのコンタクト抵抗を増大させることになり兼ねない。しかしながら、ソース電極9を形成する際のシンター処理によって、ソース電極9を構成する金属とSiC中のSiとがシリサイド化反応し、比較的low不純物濃度とされた領域がすべて低抵抗な金属シリサイドとなる。この場合、図6に示すコンタクト部

50

近傍の拡大図に示されるように、 n^+ 型ソース領域4の第2領域4bのうち層間絶縁膜10およびゲート絶縁膜7の下方に位置する部分では、比較的low不純物濃度が残り、ソース電極9の下方では比較的low不純物濃度とされた部分の厚み以上の厚さの金属シリサイド膜30が形成された状態となる。したがって、金属シリサイド膜30が領域4bのうち比較的高不純物濃度の部分に接続されるため、 n^+ 型ソース領域4とソース電極9とのコンタクト抵抗が増大することはない。

【0060】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対してコンタクト部の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

10

【0061】

図7は、本実施形態にかかるトレンチゲート構造の縦型MOSFETの断面図である。本実施形態では、 n^+ 型ソース領域4の第2領域4bの最表面での不純物濃度を第1実施形態よりも更に低く、例えば $1 \times 10^{18} / \text{cm}^3$ 未満とし、かつ、図7に示すように、ソース電極9とのコンタクト部において n^+ 型ソース領域4および p^+ 型コンタクト部5の表層部を除去した凹部40を形成している。そして、この凹部40内において、 n^+ 型ソース領域4および p^+ 型コンタクト部5がソース電極9と電気的に接続されるようにしている。

20

【0062】

このように、凹部40を形成し、凹部40内において、 n^+ 型ソース領域4および p^+ 型コンタクト部5がソース電極9と電気的に接続されるようにすれば、ソース電極9とのコンタクト部に n^+ 型ソース領域4の第2領域4bの最表面での比較的low不純物濃度とされた部分が残ることを確実に防止できる。これにより、 n^+ 型ソース領域4の第2領域4bの最表面での比較的low不純物濃度の部分の濃度をより低くしても良くなるため、ダメージ除去工程の際に、更にその領域の酸化速度を遅くすることができる。したがって、より確実に n^+ 型ソース領域4の第2領域4bのうち高不純物濃度が増速酸化されることを防止することが可能となり、さらに n^+ 型ソース領域4とソース電極9とのコンタクト抵抗の増大を抑制することが可能となる。

30

【0063】

次に、本実施形態のトレンチゲート型の縦型MOSFETの製造方法について説明する。なお、本実施形態のトレンチゲート型の縦型MOSFETの製造工程は、基本的には第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

40

【0064】

図8は、図7に示すトレンチゲート型の縦型MOSFETの製造工程を示した断面図であり、第1実施形態と異なる部分についてのみ図示してある。

【0065】

まず、第1実施形態で説明した図2(a)~(d)、図3(a)~(d)および図4(a)、(b)に示す工程まで行う。そして、図8(a)に示すように、層間絶縁膜10にコンタクトホールを形成したときに、さらに層間絶縁膜10をマスクとして用いて、コンタクトホールから露出している n^+ 型ソース領域4および p^+ 型コンタクト部5の表面まで除去する。層間絶縁膜10およびゲート絶縁膜7の除去については、 CHF_3 などのエッチングガスを用いて行うが、その後、エッチングガスを切り替え、例えば SiO_2 に対して SiC を高い選択比でエッチングできる SF_6 、 Cl_2 などのエッチングガスを用いて凹部40を形成する。このときの SiC の除去量については、あらかじめ算出したエッチングレートを用いて、エッチング時間によって制御しており、ダメージ除去工程を経た後に残っていると想定される n^+ 型ソース領域4の第2領域4bの最表面での比較的low不純物濃度とされた部分の厚み以上となるようにしている。

40

【0066】

この後、図8(b)に示す工程において、第1実施形態で説明した図4(c)の工程を

50

行うことにより、本実施形態に掛かるトレンチゲート構造の縦型MOSFETが完成する。

【0067】

以上説明したように、本実施形態では、コンタクトホールと対応する位置に凹部40を形成し、 n^+ 型ソース領域4の第2領域4bの最表面での比較的低不純物濃度とされた部分が除去されるようにしている。これにより、より確実に n^+ 型ソース領域4の第2領域4bのうち高不純物濃度が増速酸化されることを防止することが可能となり、さらに n^+ 型ソース領域4とソース電極9とのコンタクト抵抗の増大を抑制することが可能となる。

【0068】

なお、ここではソース電極9が凹部40内に入り込むような構造として説明したが、勿論ソース電極9を構成する金属が凹部40にて露出させられた n^+ 型ソース領域4の表面でシリサイド化され、金属シリサイド膜30とされていても構わない。

【0069】

(他の実施形態)

上記各実施形態では、 n^+ 型ソース領域4の第1領域4aを窒素、第2領域4bをリンという2種類のイオン種で形成する場合について説明したが、これら各第1領域4a、4bを同じイオン種で形成しても良い。つまり、浅い第2領域4bが深い第1領域4aよりもより高不純物濃度とされるようにイオン注入を行えば良い。

【0070】

また、上記第1実施形態では、第2領域4bのうち比較的低不純物濃度の部分の n 型不純物濃度を $1.0 \times 10^{19} / \text{cm}^3$ 以下とする場合について説明したが、第2実施形態で説明したような $1.0 \times 10^{18} / \text{cm}^3$ 以下とされていても構わない。逆に、上記第2実施形態では、第2領域4bのうち比較的低不純物濃度の部分の n 型不純物濃度を $1.0 \times 10^{18} / \text{cm}^3$ 以下とする場合について説明したが、第1実施形態で説明したような $1.0 \times 10^{19} / \text{cm}^3$ 以下とされていても構わない。

【0071】

また、上記各実施形態では、第1導電型を n 型、第2導電型を p 型とした n チャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプのMOSFETに対しても本発明を適用することができる。また、上記説明では、トレンチゲート構造のMOSFETを例に挙げて説明したが、同様のトレンチゲート構造のIGBTに対しても本発明を適用することができる。IGBTは、上記各実施形態に対して基板1の導電型を n 型から p 型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

【符号の説明】

【0072】

1	n^+ 型基板
2	n^- 型ドリフト層
3	p 型ベース領域
4	n^+ 型ソース領域
5	p^+ 型コンタクト層
6	トレンチ
7	ゲート絶縁膜
8	ゲート電極
9	ソース電極
10	層間絶縁膜
11	ドレイン電極
20、22、24	マスク
30	金属シリサイド膜
40	凹部

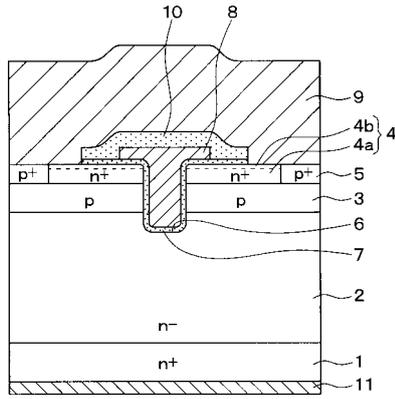
10

20

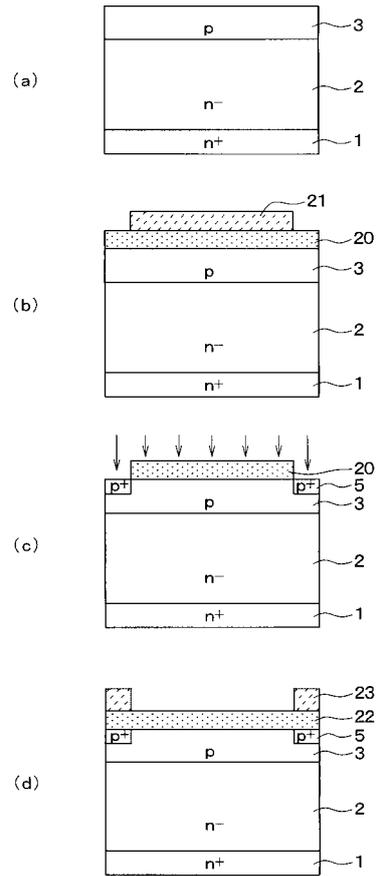
30

40

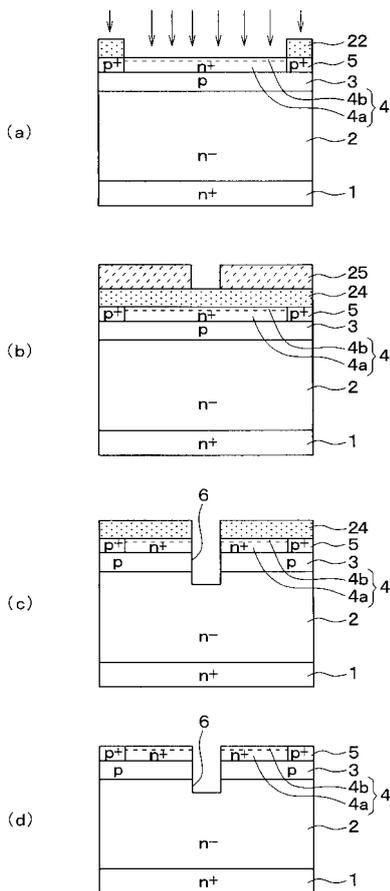
【 図 1 】



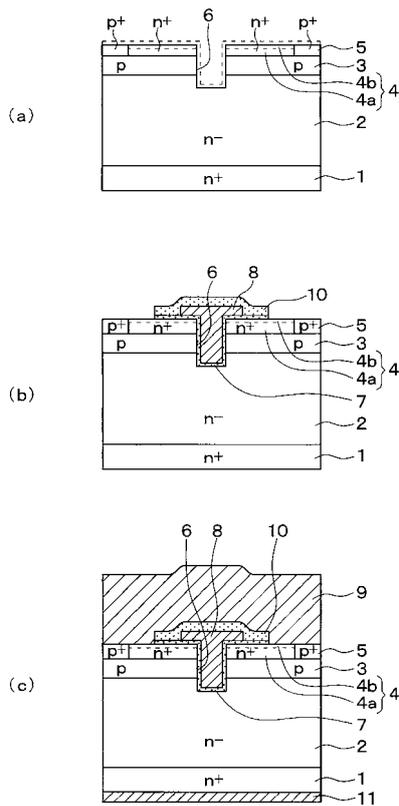
【 図 2 】



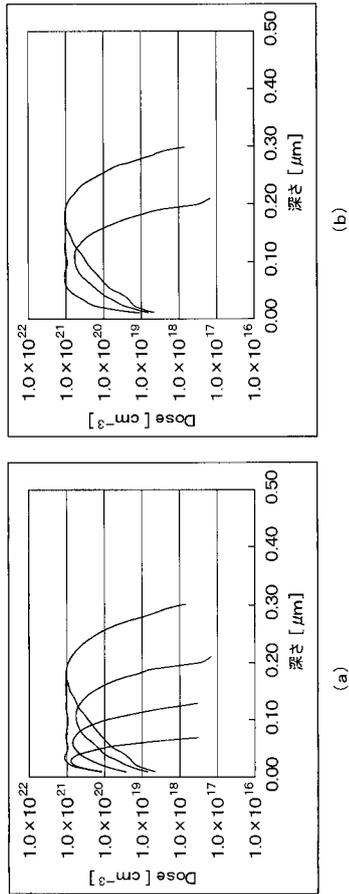
【 図 3 】



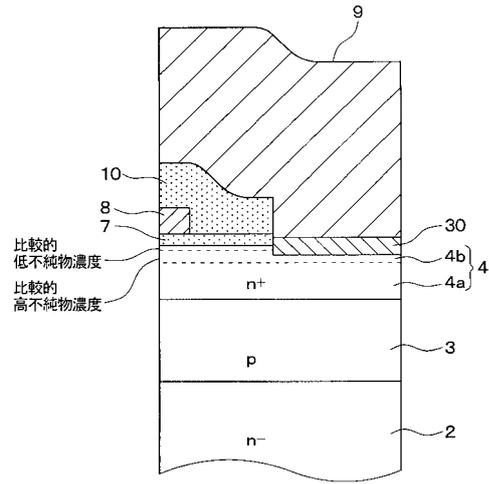
【 図 4 】



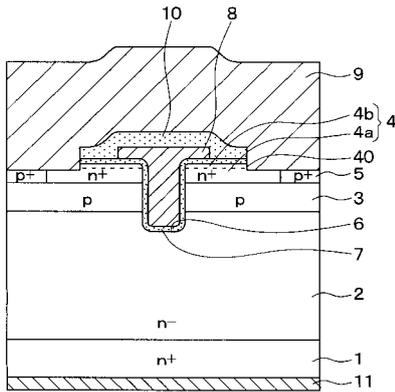
【 図 5 】



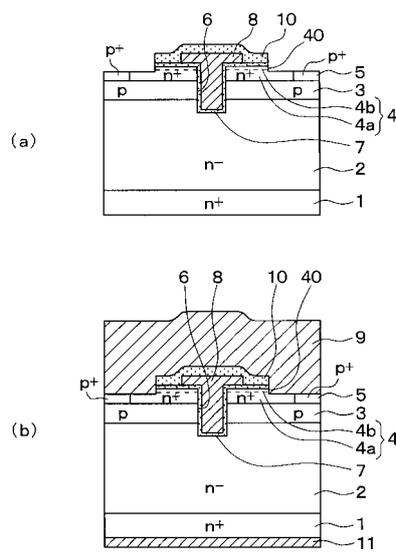
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 8 F
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 21/28	3 0 1 S
(72)発明者 杉本 雅裕		
愛知県豊田市トヨタ町1番地	トヨタ自動車株式会社内	
(72)発明者 高谷 秀史		
愛知県豊田市トヨタ町1番地	トヨタ自動車株式会社内	
(72)発明者 森本 淳		
愛知県豊田市トヨタ町1番地	トヨタ自動車株式会社内	
(72)発明者 副島 成雅		
愛知県愛知郡長久手町大字長湫字横道4-1番地の1	株式会社豊田中央研究所内	
(72)発明者 石川 剛		
愛知県愛知郡長久手町大字長湫字横道4-1番地の1	株式会社豊田中央研究所内	
(72)発明者 渡辺 行彦		
愛知県愛知郡長久手町大字長湫字横道4-1番地の1	株式会社豊田中央研究所内	
Fターム(参考) 4M104 AA03 BB01 BB05 BB21 BB40 CC01 DD16 DD84 FF13 FF27		
FF28 GG09 GG18 HH15		