

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 특2000-0073715
	(43) 공개일자 2000년 12월 05일
(21) 출원번호 10-1999-0017168	
(22) 출원일자 1999년 05월 13일	
(71) 출원인 삼성전자 주식회사 윤종용	
(72) 발명자 김정석	경기도 수원시 팔달구 매탄3동 416
(74) 대리인 임창현	경기도용인시수지읍상현리벽산APT101동1203호

심사청구 : 없음

(54) 반도체 장치의 제조 방법

요약

본 발명은 반도체 메모리 제조 방법에 관한 것으로서, 반도체 장치의 제조 방법은 셀 영역과 주변 영역으로 정의된 반도체 기판상에 폴리실리콘막, 금속-실리사이드막 및 제 1 절연막의 다층막으로 이루어진 게이트 전극을 형성한다. 상기 비활성 영역 및 게이트 전극을 제외한 상기 기판의 활성 영역상에 상기 폴리실리콘막 두께의 0.5배 이상 그리고 상기 게이트 전극 높이보다 낮은 두께를 갖도록 SEG(selective epitaxial growth)막을 형성한다. 상기 기판에 소오스/드레인 형성을 위해 이온 주입한다. 상기 기판 전면에 제 2 절연막을 형성한다. 상기 소오스/드레인을 위한 콘택홀을 형성한다. 상기 콘택홀을 채우면서 상기 산화막상에 제 2 도전막을 형성한다. 적어도 상기 산화막의 상부 표면이 노출될때까지 상기 제 2 도전막을 평탄화 식각하여 콘택 플러그를 형성한다. 상기 콘택 플러그에 각각 N형, P형 불순물 이온을 주입한다. 그리고 상기 기판 전면에 금속 비트라인을 증착한다.

대표도

도3f

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래의 금속 비트라인과의 기판과의 콘택 형성시 문제를 보여주는 도면;
 도 2a는 종래 기술에 따른 DC 콘택이 형성된 반도체 장치의 단면도;
 도 2b는 종래 기술에 따른 불순물 이온이 주입되는 DC 콘택을 보여주는 단면도;
 도 3a 내지 도 3f는 본 발명에 따른 반도체 장치의 제조 방법의 공정들을 순차적으로 보여주는 흐름도 및;
 도 4는 본 발명에 따른 콘택을 보여주는 반도체 장치의 단면도이다.

도면의 주요 부분에 대한 부호의 설명

- 1, 20 : 기판
- 2, 28 : 게이트 전극
- 7, 8, 34, 34' : 소오스/드레인
- 9, 10, 40n, 40p : 콘택 플러그
- 32 : SEG
- 44 : 비트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 더 구체적으로는 DC 콘택 형성 방법에 관한 것이다.
 반도체 메모리 장치에서, 전극은 폴리실리콘막과 금속 실리사이드막(metal silicide layer)을 함께 사용하는 폴리사이드(polycide) 구조가 사용된다.

COB(capacitor over bit line) 구조를 갖는 디램(danamic random access memory)에 있어서, 비트라인 형성 물질로 폴리사이드가 사용되고 있다. 최근들어, 메모리의 고속 동작을 위해 내화 금속물질인 텅스텐(tungsten : W)이 비트라인으로 사용되고있다. 그러나, 금속 비트 라인은 800℃ 이상의 고온 공정이 진행될때, 도 1에서 보여지는 바와 같이 콘택홀 형성후, Ti(14) 및 텅스텐(16)이 차례로 증착되어 800℃ 이상으로 공정이 진행되면 기판(10)의 P+ 도핑 영역(12)과 Ti(14)의 접촉부분에서 TiSix(A)가 형성된다. 이때, P+ 도핑영역(12)의 B01 상기 TiSix(A)와 결합하여 콘택 저항을 증가시킨다. 상기 콘택 저항의 증가는 칩 사이즈가 감소할수록 더욱 심각해진다.

도 2a를 참조하면, 폴리사이드 비트라인(polycide bit line)을 형성할 경우, 기판(1)의 불순물 영역과 비트라인(5)을 연결하는 DC(4)가 도전물질(3)로 채워져 콘택 플러그가 형성된다. 일반적으로 COB 디램에서는 N+ 영역에만 DC가 형성되고 P+영역에는 DC가 형성되지 않는다. 대신, P+ 영역은 후속 금속 콘택 공정에서 금속 브리지(6)를 통해 연결되므로 단차가 커지게 된다.

다음 도 2b를 참조하면, P+ 및 N+ 영역(7, 8)에 대해 DC용 콘택 플러그(9, 10)가 형성된다. 상기 콘택 플러그(9, 10)는 불순물 영역에 따라 N+ 및 P+형 불순물 이온이 주입된다. 그러나, N+ 영역(8)에 대한 콘택 플러그(10)에 N+형 불순물 이온이 주입된후 P+형 불순물이 주입되면 P+형 불순물 이온의 Rp(projected range)로 인해 게이트 전극(2)을 이루는 N형 폴리실리콘막(2a)의 이온이 상쇄되어 드레일드 전압이 변화하게 된다. 상기 이온 상쇄는 게이트 전극(2)의 폴리실리콘막(2a)으로 N+ 불순물 이온이 주입된 도전막이 사용되기 때문이다. 상기 이온 상쇄를 줄이기 위해 P+형 불순물 이온의 주입시 에너지를 줄이게 되면 콘택 저항이 증가되는 문제점이 발생하게 된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 셀 영역과 주변 영역의 각기 다른 불순물 영역에 DC를 동시에 형성하으므로 공정을 단순화하고 단차를 줄일 수 있는 반도체 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 장치의 제조 방법은 셀 영역과 주변 영역으로 정의된 반도체 기판상에 폴리실리콘막, 금속-실리사이드막 및 제 1 절연막의 다층막으로 이루어진 게이트 전극을 형성한다. 상기 비활성 영역 및 게이트 전극 높이하보다 낮은 두께를 갖도록 SEG(selective epitaxial growth)막을 형성한다. 상기 기판에 소오스/드레인 형성을 위해 이온 주입한다. 상기 기판 전면에 제 2 절연막을 형성한다. 상기 소오스/드레인을 위한 콘택홀을 형성한다. 상기 콘택홀을 채우면서 상기 산화막상에 제 2 도전막을 형성한다. 적어도 상기 산화막의 상부 표면이 노출될때까지 상기 제 2 도전막을 평탄화 식각하여 콘택 플러그를 형성한다. 상기 콘택 플러그에 각각 N형, P형 불순물 이온을 주입한다. 그리고 상기 기판 전면에 금속 비트라인을 증착한다.

바람직한 실시예에 있어서, 상기 콘택 플러그 형성 단계후 산화막 상부 표면보다 낮은 높이를 갖도록 에치백을 더 수행하는 단계를 포함한다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 3 및 도 4를 참조하여 상세히 설명한다.

본 발명의 신규한 반도체 장치의 제조 방법은 기판의 활성 영역상에 SEG막을 형성한후 DC를 형성한다. 그러므로 NMOS 및 PMOS 트랜지스터의 불순물 영역 및 게이트 폴리실리콘막에 불순물이 주입되더라도 P+와 N+ 이온의 상쇄를 막을 수 있다.

도 3a 내지 도 3f는 본 발명에 따른 반도체 장치의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 3a를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치의 제조 방법은 먼저, 셀 어레이 영역(cell array region)과 주변회로 영역(periphery region)을 갖는 반도체 기판(20) 상에 활성 영역(active region)과 비활성 영역(inactive region)을 정의하기 위해 소자격리막이 형성된다.

상기 셀 어레이 영역과 주변회로 영역에 각각의 게이트 전극층(28) 즉, 워드 라인(wordline)이 형성된다. 상기 게이트 전극층(28)은 예를 들어, 폴리실리콘막(22), 티타늄 실리사이드막(TiSix)(24), 그리고 게이트 마스크막인 실리콘 질화막(26)이 차례로 적층된 후, 패터닝(patterning)되어 형성된다. 상기 폴리실리콘막(22)에 N형 불순물 이온이 도핑된다. 상기 티타늄 실리사이드막 대신 텅스텐 실리사이드막(WSix)이 사용될 수 있다.

상기 게이트 전극층(28)을 포함하여 반도체 기판 전면에 게이트 스페이서용 절연막이 증착 된다. 상기 절연막이 에치 백(etch back) 공정으로 식각되어 셀 어레이 영역 및 주변회로 영역의 각각에 게이트 스페이서(30)가 형성된다. 상기 게이트 스페이서(30)는 실리콘 산화막으로도 형성할 수 있다.

도 3b를 참조하면, 상기 게이트 전극층을 제외한 기판의 활성 영역에 즉, 후속 소오스/드레인이 형성될 영역에 SEG(selective epitaxial growth)막(32)이 형성된다. 상기 SEG막(32)은 상기 게이트 전극층(28)의 폴리실리콘막(22) 절반의 두께보다 두껍고 전체 게이트 전극층보다는 얇은 두께

범위($\frac{t}{2} < d < T$)로 형성된다. 상기 SEG막(32)은 후속 N+형 및 P+형 영역(34, 34')에 대한 콘택 플러그의 불순물 이온 주입 공정시 에너지를 낮출수 있어 불순물이 게이트 폴리실리콘막의 N+ 도핑 및 NMOS 및 PMOS 채널 영역에 영향을 미치지 않게 된다.

다음, 상기 반도체 기판(20) 전면에 포토레지스트 패턴을 마스크로 사용하여 NMOS 및 PMOS 영역 각각에 불순물 이온이 주입된다. 그러면, 셀 어레이 영역 및 주변회로 영역의 게이트 스페이서(30) 양측의 활성 영역 내에 소오스/드레인 영역(34, 34')이 형성된다. 도 3c에서는 NMOS 영역의 불순물 이온 주입을 보여주고 있다.

상기 기판(20) 전면에 산화막(38)이 증착되고, DC 형성용 마스크를 이용하여 상기 산화막(38)이 식각되므로써 콘택홀이 형성된다(미도시됨). 상기 콘택홀을 포함하여 산화막(38)상에 폴리실리콘막이 증착된다. 상기 콘택홀에 채워지는 콘택 플러그(40n, 40p)를 형성하기 위해 적어도 상기 산화막의 상부 표면이 노출될때까지 상기 폴리실리콘막이 평탄화 식각된다. 상기 폴리실리콘막의 평탄화 식각은 에치백(etch back)이나 CMP(chemical mechanical polishing)에 의해 수행된다. 상기 폴리실리콘막의 평탄화 식각은 후속 증착되는 금속 비트라인의 리프팅(lifting)을 방지하기 위함이다.

도 3d에 있어서, 상기 도전막은 에치백 시간을 늘려 콘택 플러그의 상부 표면이 상기 산화막(38)의 상부 표면보다 낮도록 과식각될 수 있다. 상기 도전막의 과식각은 플러그(40n, 40p)의 전체 높이를 줄여 후속 이온 주입 공정에서 이온 주입 에너지를 과도하게 높이지 않고도 불순물 이온을 플러그에 균일하게 주입할 수 있도록 한다. 상기 콘택 플러그(40n, 40p)의 상부 표면 과식각은 전체 콘택 플러그 높이의 1/3 이하가 되도록 한다.

도 4를 참조하면, 후속공정으로 폴리사이드 비트 라인이 형성되는 경우, 상기 폴리실리콘막(40)이 상기 산화막(38) 상에 20~80nm의 두께범위로 남을 때 까지 평탄화 식각된다. 상기 폴리실리콘막(40)을 상기 산화막(38)상에 일정 두께로 남기는 이유는 후속 실리사이드막의 증착율을 높이기 위함이다. 이는 실리사이드막이 산화막상에서는 형성되기 어려운 특성을 갖기 때문이다.

다음으로, 도 3e를 참조하면, NMOS 영역의 콘택 플러그(40n)에는 N형 불순물 이온이 주입되고, PMOS 영역의 콘택 플러그(40p)에는 P형 불순물 이온이 주입된다. 상기 N형 불순물 이온 주입시, 예를 들어, P는 100~300KeV의 이온 주입 에너지와 $1\sim 5 \times 10^{15}$ 의 도즈(dose)에 의해 콘택 플러그(40n)에 주입된다. 계속해서, 50~200KeV의 에너지와 $1\sim 5 \times 10^{15}$ 의 도즈로 이온 주입이 수행되어 NMOS 영역의 콘택 플러그의 표면 불순물 농도가 증가된다.

반면에, P형 불순물 이온 주입시, 예를 들어, B는 50~150KeV의 이온 주입 에너지와 $1\sim 5 \times 10^{15}$ 의 도즈(dose)에 의해 콘택 플러그(40p)에 주입된다. 계속해서, 10~30KeV의 에너지로 이온 주입이 수행되어 PMOS 영역의 콘택 플러그의 표면 불순물 농도가 증가된다.

상술한 바와 같이, 동시에 형성된 콘택 플러그들에 불순물 이온이 주입된 후, 상기 불순물의 활성화를 위해 어닐링 공정이 700°C~850°C의 온도 범위에서 30~60분간 진행된다. 그리고 N+ 및 P+ 불순물 영역상에 형성되는 콘택 플러그의 도판트(dopant)들의 활성화를 위해 RTA(rapid thermal anneal)가 900°C~100°C의 범위에서 10~30초간 진행된다.

도 3f를 참조하면, 금속 비트라인 예를 들어, W, TiN, WN이 기판 전면에 증착되거나 또는 폴리사이드 비트라인(44) 예를 들어, WSix/폴리실리콘, TiSix/폴리실리콘이 증착된다.

도면에는 도시되진 않았지만 비트라인 패턴링후 금속 배선이 형성된다. 이때, P+ 불순물 영역에 대해 콘택 플러그가 형성되므로 P+의 콘택을 위한 금속 브리지에 비해 단차가 줄어들게 된다.

발명의 효과

이상과 같은 본 발명에 의하면, 셀 어레이 영역과 주변 영역의 활성 영역에 SEG막을 형성한후, 기판의 불순물 영역상에 DC가 동시에 형성되므로써 P+ 영역에 대한 면적이 줄어들게 된다.

또, 본 발명에 따르면 셀 어레이 영역과 주변 영역에 대해 동시에 형성된 DC에 불순물 이온을 주입하므로 공정을 단순화하는 효과가 있다.

(57) 청구의 범위

청구항 1

활성영역과 비활성 영역이 정의된 반도체 기판상에 폴리실리콘막, 금속-실리사이드막 및 제 1 절연막의 다층막으로 이루어진 게이트 전극을 형성하는 단계;

상기 기판의 비활성 영역 및 게이트 전극을 제외한 상기 활성 영역상에 상기 폴리실리콘막 두께의 0.5배 이상 그리고 상기 게이트 전극 높이보다 낮은 두께를 갖도록 SEG(selective epitaxial growth)막을 형성하는 단계;

상기 기판에 소오스/드레인 형성을 위해 이온 주입을 하는 단계;

상기 기판 전면에 제 2 절연막을 형성하는 단계;

상기 소오스/드레인을 위한 콘택홀을 형성하는 단계;

상기 콘택홀을 채우면서 상기 산화막상에 도핑되지 않은 제 2 도전막을 형성하는 단계;

적어도 상기 산화막의 상부 표면이 노출될때까지 상기 제 2 도전막을 평탄화 식각하여 콘택 플러그를 형성하는 단계;

상기 콘택 플러그에 각각 N형, P형 불순물 이온을 주입하는 단계 및;

상기 기판 전면에 금속 비트라인을 증착하는 단계를 포함하는 반도체 메모리 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 콘택 플러그 형성시 상기 산화막 상부 표면보다 낮은 높이를 갖도록 에치백을 더 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 3

활성 영역과 비활성 영역이 정의된 반도체 기판상에 제 1 도전막, 금속-실리사이드막 및 절연막의 다층막으로 이루어진 게이트 전극을 형성하는 단계;

상기 기판의 비활성 영역 및 게이트 전극을 제외한 상기 활성 영역상에 상기 폴리실리콘막 두께의 0.5배 이상의 두께를 갖도록 SEG막을 형성하는 단계;

기판에 소오스/드레인 형성을 위해 이온 주입을 하는 단계;

기판 전면에 제 2 절연막을 형성하는 단계;

상기 소오스/드레인을 위한 콘택홀을 형성하는 단계;

상기 콘택홀을 채우도록 상기 제 2 절연막상에 도핑되지 않은 제 2 도전막을 형성하는 단계;

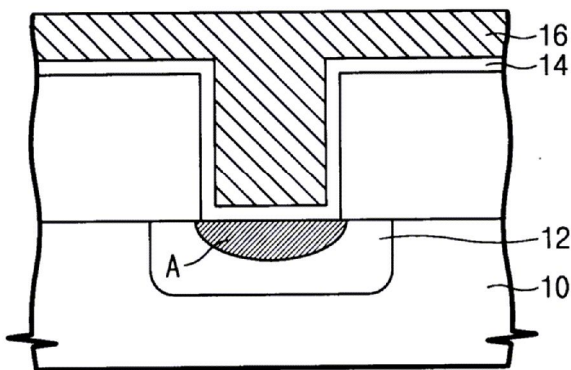
상기 제 2 절연막 상에 상기 제 2 도전막이 일정 두께로 남도록 평탄화 식각하는 단계 및;

상기 제 2 도전막에 불순물 이온을 주입하는 단계 및;

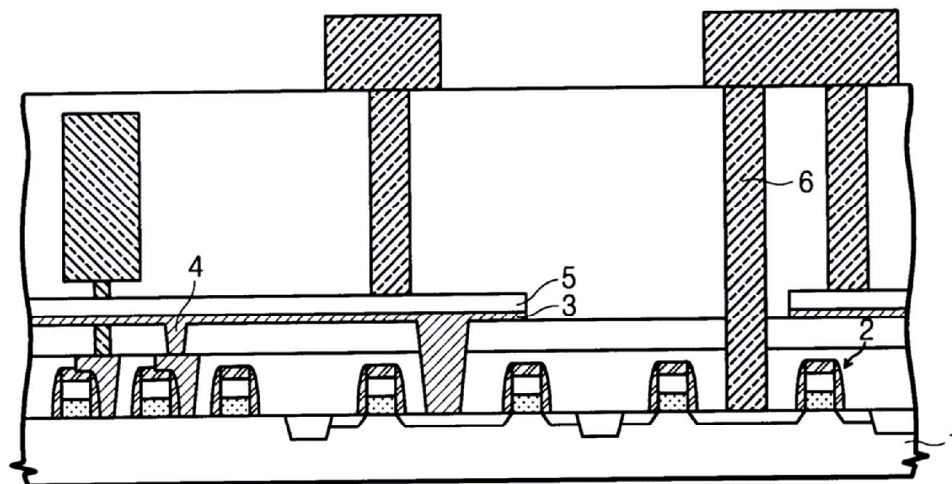
상기 기판 전면에 폴리사이드 비트라인을 증착하는 단계를 포함하는 반도체 메모리 장치의 제조 방법.

도면

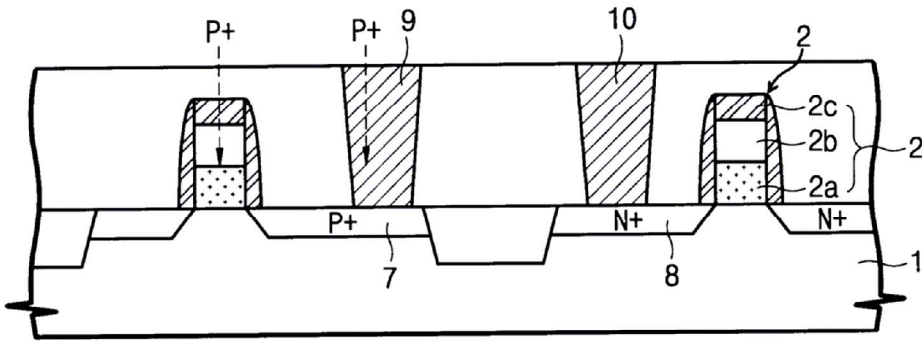
도면1



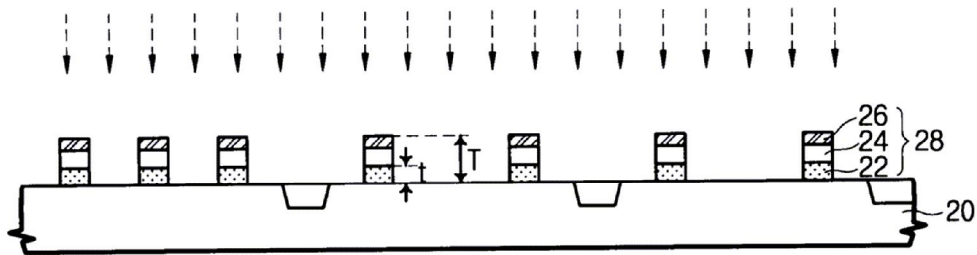
도면2a



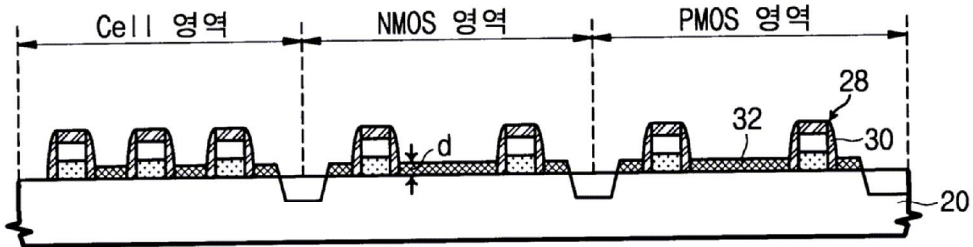
도면2b



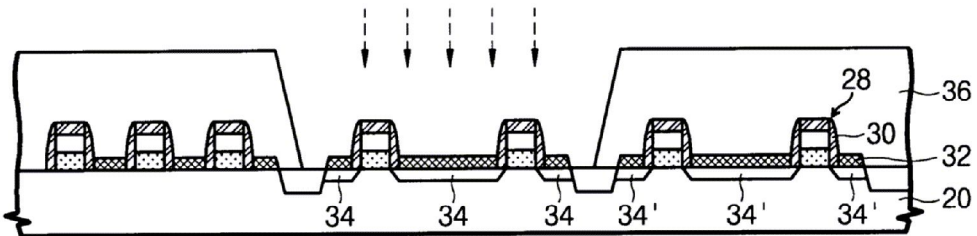
도면3a



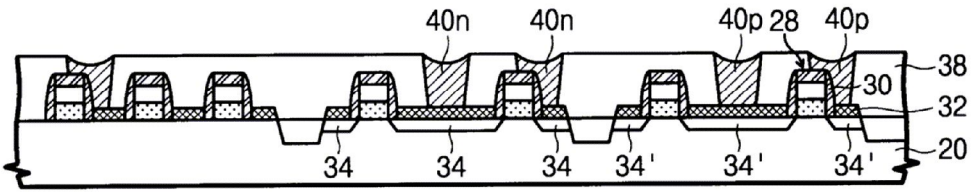
도면3b



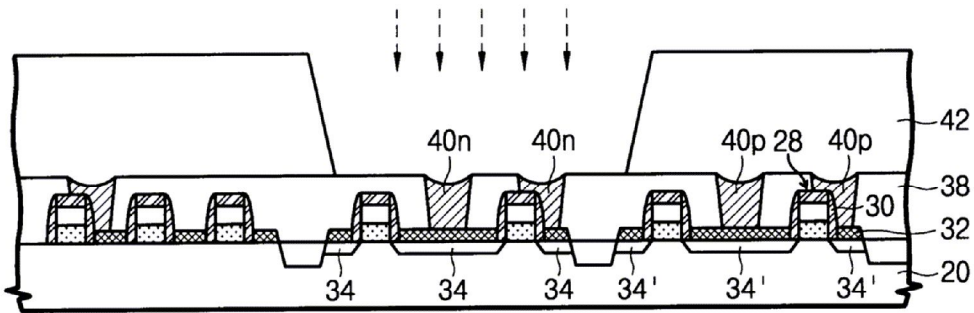
도면3c



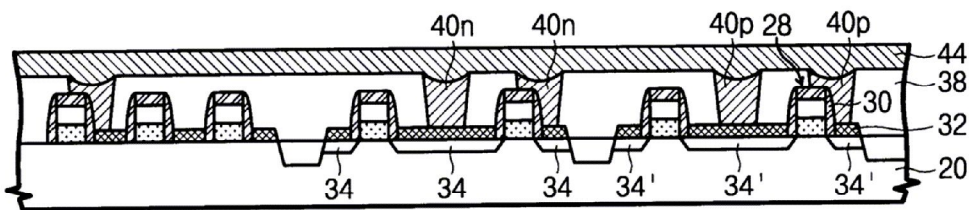
도면3d



도면3e



도면3f



도면4

