



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I511288 B

(45) 公告日：中華民國 104 (2015) 年 12 月 01 日

(21) 申請案號：099108507

(22) 申請日：中華民國 99 (2010) 年 03 月 23 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30) 優先權：2009/03/27 日本

2009-080202

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 阿部貴征 ABE, TAKAYUKI (JP) ; 宍戶英  
明 SHISHIDO, HIDEAKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

TW 200520604

TW 200534369

審查人員：邱智強

申請專利範圍項數：38 項 圖式數：28 共 143 頁

(54) 名稱

半導體裝置

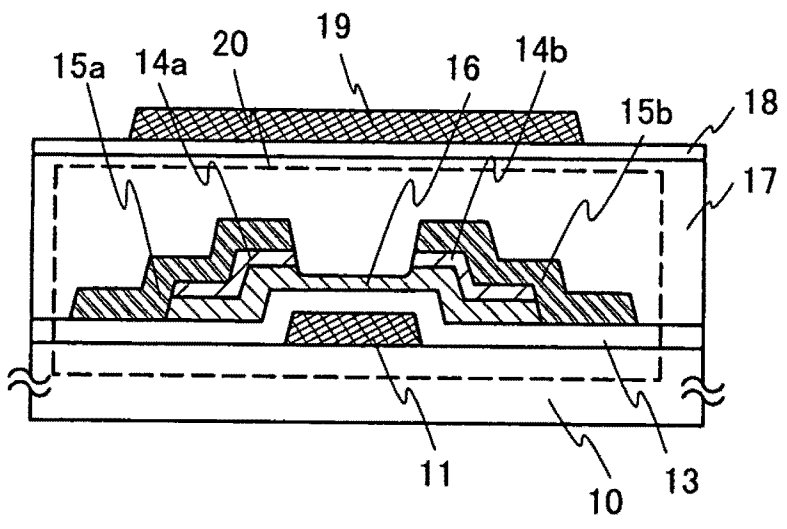
SEMICONDUCTOR DEVICE

(57) 摘要

在一些情況下，閾值電壓在薄膜電晶體的製程中以某未定因數沿負或正方向偏移。如果離 0 V 的偏移量很大，則驅動電壓增加，這引起半導體裝置的功耗的增加。因此，形成具有良好平坦度的樹脂層作為覆蓋氧化物半導體層的第一保護絕緣膜，然後，藉由低功率條件下的濺射方法或者電漿 CVD 方法，在樹脂層之上形成第二保護絕緣膜。此外，為了將閾值電壓調整到所需值，閘極電極設置在氧化物半導體層之上和之下。

The threshold voltage is shifted in a negative or positive direction in some cases by an unspecified factor in a manufacturing process of the thin film transistor. If the amount of shift from 0 V is large, driving voltage is increased, which results in an increase in power consumption of a semiconductor device. Thus, a resin layer having good flatness is formed as a first protective insulating film covering the oxide semiconductor layer, and then a second protective insulating film is formed by a sputtering method or a plasma CVD method under a low power condition over the resin layer. Further, in order to adjust the threshold voltage to a desired value, gate electrodes are provided over and below an oxide semiconductor layer.

圖 1A



- 10 . . . 基底
- 11 . . . 第一閘極電極
- 13 . . . 第一閘極絕緣層
- 14a . . . 源極區
- 14b . . . 汲極區
- 15a . . . 源極電極層
- 15b . . . 汲極電極層
- 16 . . . 氧化物半導體層
- 17 . . . 樹脂層
- 18 . . . 第二保護絕緣層
- 19 . . . 第二閘極電極
- 20 . . . 薄膜電晶體

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099108507

※申請日：99年03月23日

※IPC分類：

## 一、發明名稱：(中文/英文)

半導體裝置

Semiconductor device

H01L 29/78 (2006.01)

H01L 29/62 (2006.01)

## 二、中文發明摘要：

在一些情況下，閾值電壓在薄膜電晶體的製程中以某未定因數沿負或正方向偏移。如果離 0 V 的偏移量很大，則驅動電壓增加，這引起半導體裝置的功耗的增加。因此，形成具有良好平坦度的樹脂層作為覆蓋氧化物半導體層的第一保護絕緣膜，然後，藉由低功率條件下的濺射方法或者電漿 CVD 方法，在樹脂層之上形成第二保護絕緣膜。此外，為了將閾值電壓調整到所需值，閘極電極設置在氧化物半導體層之上和之下。

### 三、英文發明摘要：

The threshold voltage is shifted in a negative or positive direction in some cases by an unspecified factor in a manufacturing process of the thin film transistor. If the amount of shift from 0 V is large, driving voltage is increased, which results in an increase in power consumption of a semiconductor device. Thus, a resin layer having good flatness is formed as a first protective insulating film covering the oxide semiconductor layer, and then a second protective insulating film is formed by a sputtering method or a plasma CVD method under a low power condition over the resin layer. Further, in order to adjust the threshold voltage to a desired value, gate electrodes are provided over and below an oxide semiconductor layer.

四、指定代表圖：

(一)、本案指定代表圖為：第(1A)圖。

(二)、本代表圖之元件代表符號簡單說明：

10：基底

11：第一閘極電極

13：第一閘極絕緣層

14a：源極區

14b：汲極區

15a：源極電極層

15b：汲極電極層

16：氧化物半導體層

17：樹脂層

18：第二保護絕緣層

19：第二閘極電極

20：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明關於具有使用薄膜電晶體（以下稱作TFT）所形成的電路的半導體裝置及其製造方法。舉例而言，本發明關於電子設備，其中安裝了作為其元件的以液晶顯示面板或者包括有機發光元件的發光顯示裝置所代表的電光裝置。

注意，本說明書中的半導體裝置指的是可藉由使用半導體特性而操作的所有裝置。電光裝置、半導體電路和電子設備全部是半導體裝置。

### 【先前技術】

各種金屬氧化物用於各種應用。氧化銦是眾所周知的材料，並且用作液晶顯示器等所需的透明電極材料。

一些金屬氧化物具有半導體特性。作為具有半導體特性的金屬氧化物，例如可給出氧化鎢、氧化錫、氧化銦、氧化鋅。參考文獻公開一種薄膜電晶體，其中具有半導體特性的這種金屬氧化物用於通道形成區（專利文獻1至4和非專利文獻1）。

此外，不僅單成分氧化物而且多成份氧化物已知作為金屬氧化物。例如， $\text{InGaO}_3(\text{ZnO})_m$ （ $m$ 是自然數）是一種同系化合物，它已知作為包括In、Ga和Zn的多成份氧化物半導體（非專利文獻2至4）。

此外已經證實，包括這種In-Ga-Zn基氧化物的氧化物

半導體可適用於薄膜電晶體的通道層（專利文獻5和非專利文獻5、6）。

[專利文獻]

[專利文獻1] 日本公佈專利申請 No. S60-198861

[專利文獻2] 日本公開專利申請 No. H8-264794

[專利文獻3] PCT國際申請號日文譯文 No.H11-505377

[專利文獻4] 日本公開專利申請 No. 2000-150900

[專利文獻5] 日本公開專利申請 No. 2004-103957

[非專利文獻]

[非專利文獻1] M.W.Prins、K.O.Grosse-Holz、G.Muller、J.F.M.Cillessen、J.B.Giesbers、R.P.Weening和R.M.Wolf，“A ferroelectric transparent thin-film transistor”，Appl. Phys. Lett, 17 June 1996, Vol.68, pp.3650-3652

[非專利文獻2] M.Nakamura、N.Kimizuka和T.Mohri，“The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ - $\text{ZnO}$  System at 1350 °C”，J.Solid State Chem., 1991, Vol.93, pp.298-315

[非專利文檔3] N.Kimizuka、M.Isobe和M.Nakamura，“Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m=3, 4, \text{ and } 5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m=7, 8, 9, \text{ and } 16$ ) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ - $\text{ZnO}$  System”，J.Solid State Chem., 1995, Vol.116, pp.170-178

[非專利文獻4] M.Nakamura、N.Kimizuka、T.Mohri和



M.Isobe, "Homologous Series, Synthesis and Crystal Structure of  $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : natural number) and its Isostructural Compound", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol.28, No.5, pp.317-327

[非專利文獻5] K.Nomura、H.Ohta、K.Ueda、T.Kamiya、M.Hirano和H.Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp.1269-1272

[非專利文獻6] K.Nomura、H.Ohta、A.Takagi、T.Kamiya、M.Hirano和H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432, pp.488-492

### 【發明內容】

薄膜電晶體是一種開關元件，它在一定量的電壓（稱作閾值電壓 $(V_{th})$ ）施加到閘極電極時導通，而在小於該一定量電壓被施加時截止。這個閾值電壓 $(V_{th})$ 對應於藉由測量薄膜電晶體的電流電壓特性所得到的曲線上升的起始點處的電壓量。當閾值電壓 $(V_{th})$ 越接近0 V時，薄膜電晶體越好；可以說，閾值電壓 $(V_{th})$ 為0 V的薄膜電晶體是理想開關元件。

在一些情況下，閾值電壓在薄膜電晶體的製造過程中以未定因數沿負或正方向偏移。如果離0 V的偏移量很大

，則驅動電壓增加，這引起半導體裝置的功耗的增加。

而且在使用氧化物半導體層用於通道的薄膜電晶體中，在一些情況下，閾值電壓以未定因數沿負或正方向偏移。

根據本發明的一實施例的一目的是提供包括薄膜電晶體的半導體裝置，薄膜電晶體包括用於通道的氧化物半導體層，並且具有優良的電特性；具體來說，是提供包括薄膜電晶體的半導體裝置，其中減小閾值電壓的改變和變化。

根據本發明的一實施例的另一目的是提供包括薄膜電晶體的半導體裝置，薄膜電晶體包括用於通道的氧化物半導體層，並且其中通道長度很小。

根據本發明的一實施例的另一目的是提供包括薄膜電晶體的半導體裝置，薄膜電晶體包括用於通道的氧化物半導體層，並且為高度可靠。

為了將閾值電壓調整到所需值，閘極電極設置在氧化物半導體層之上和之下。氧化物半導體層之下的閘極電極（可稱作第一閘極電極）具有與閘極佈線相同的電位，而氧化物半導體層之上的閘極電極（可稱作第二閘極電極或背閘極電極）具有等於或低於薄膜電晶體的源極電位的電位。在第一閘極電極和第二閘極電極具有不同電位的情況下，可控制 TFT 的電特性，例如閾值電壓。舉例而言，藉由將第二閘極電極電位設置為接地電位（GND），可阻擋靜電。此外，如果第一閘極電極和第二閘極電極電連接並

且設置為相同電位，則閘極電壓可從氧化物半導體層之上和之下的第一閘極電極和第二閘極電極施加到氧化物半導體層。

另外，為了形成歐姆接觸，在氧化物半導體層與源極電極層（或者汲極電極層）之間特意形成其載子濃度比氧化物半導體層的載子濃度要高的緩衝層（源極區和汲極區）。注意，緩衝層具有n型導電率，並且可稱作 $n^+$ 型區域。在源極區和汲極區稱作 $n^+$ 型區域（ $N^+$ 型區域）的情況下，用作通道形成區的IGZO半導體層又可稱作i型區域（I型區域），其與 $n^+$ 區域相反。藉由設置緩衝層來形成NI界面，以致於可獲得設有具有 $5\ \mu\text{m}$ 或以下的短通道長度和高場效應遷移率的薄膜電晶體的半導體裝置。

另外，在形成氧化物半導體層之後的過程中所產生的電漿中包含離子、特別是氫自由基的情況下，曝露於電漿的氧化物半導體層的表面可能受到損傷。此外，氧化物半導體層也可能被氧化物半導體層形成之後的製程中所產生的電漿的電荷損傷。

特別地，在載子濃度比氧化物半導體層的載子濃度要高的緩衝層（源極區和汲極區）特意設置於氧化物半導體層與源極電極層（或者汲極電極層）之間的情況下，存在緩衝層也被電漿生成的電荷損傷的可能性，並且緩衝層的電阻增加；因而緩衝層無法展現它自己的功能。

此外，存在氧化物半導體層的特性被改變或者可靠性因氧化物半導體層與濕氣、氫離子、 $\text{OH}^-$ 等等的反應而降

低的可能性。

因此，形成具有良好平坦度的樹脂層作為覆蓋氧化物半導體層的第一保護絕緣膜，然後，在樹脂層之上，藉由低功率條件下的濺射方法或者電漿CVD方法，形成第二保護絕緣膜。藉由形成不同保護絕緣膜的疊層，降低電漿對氧化物半導體層的損傷。因此，可獲得具有長期可靠性和優良密封性質的半導體裝置。

此外，覆蓋氧化物半導體層的第二閘極電極對濕氣、氫離子、 $\text{OH}^-$ 等等具有阻擋功能。在阻擋光的導電膜用作第二閘極電極的情況下，第二閘極電極的具有防止薄膜電晶體的電特性因氧化物半導體的光敏性而改變，並且因而使薄膜電晶體的電特性穩定。

本說明書中公開的本發明的一實施例包括半導體裝置，所述半導體裝置包括絕緣表面之上的第一閘極電極、第一閘極電極之上的第一絕緣層、第一絕緣層之上的氧化物半導體層、氧化物半導體層之上的源極電極層和汲極電極層、氧化物半導體層與源極電極層之間的第一緩衝層、以及氧化物半導體層與汲極電極層之間的第二緩衝層、覆蓋源極電極層和汲極電極層的樹脂層、以及樹脂層之上的第二閘極電極。在半導體裝置中，氧化物半導體層包括相較於與源極電極層或汲極電極層重疊的氧化物半導體層的區域具有小厚度的區域、以及與氧化物半導體層的小厚度的區域接觸之樹脂層。

根據上述結構，上述問題的至少一個可得到解決。

在上述結構中，第二保護絕緣膜可在用作第一保護絕緣膜的樹脂層之上形成並且與其接觸，並且第二閘極電極可在第二保護絕緣膜之上形成。因為不論樹脂層要形成於上的表面的不平整性為何，樹脂層都可形成為具有平坦表面，所以，樹脂層可形成為不具針孔，並且在階梯覆蓋方面是良好的。

此外，在上述結構中，為藉由濺射方法或電漿CVD方法，在低功率條件下（或者在 $200^{\circ}\text{C}$ 或以下、較佳地從室溫到 $100^{\circ}\text{C}$ 的低基底溫度下）形成無機絕緣膜以作為第二保護絕緣膜。具體來說，使用氮化矽膜、氧化矽膜或氮化氧化矽膜。這些膜的作用是阻擋濕氣、氫離子、 $\text{OH}^{-}$ 等等。當選擇性蝕刻第二閘極電極時，第二保護絕緣膜用作蝕刻阻止層，以致於其頂表面具有所需形狀。另外，第一保護絕緣膜和第二保護絕緣膜也可用作第二閘極絕緣層。

此外，在上述結構中，在第二閘極電極設置在用作第一保護絕緣膜的樹脂層之上並且與其接觸的情況下，第二閘極電極設置在樹脂層與第二保護絕緣膜之間。如果第二閘極電極設置在第二保護絕緣膜與樹脂層之間，則第二閘極電極以及樹脂層具有降低電漿對氧化物半導體層的損傷之功效。在這種情況下，樹脂層用作第二閘極絕緣層。

此外，在上述結構中，氧化物半導體層的具有小厚度的區域是與第一閘極電極和第二閘極電極重疊的通道形成區。在氧化物半導體層的小厚度的區域中，接近第二閘極電極的區域稱作背通道。當執行使用包含水分、氫、 $\text{OH}^{-}$

等等的電漿的膜形成以形成與背通道接觸的膜時，電荷可積聚，並且電漿的負電荷或 $\text{OH}^-$ 可進入緩衝層中的缺氧型缺陷部分，這可防止企圖要形成的NI接面的形成。氧化物半導體層中的氧的缺乏增加 $Z_n$ ， $Z_n$ 易於接收氧化物半導體層中的負電荷。當電漿的負電荷進入緩衝層中的缺氧型缺陷部分時，緩衝層（ $N^+$ 型區域）改變成 $N$ 型區域，並且進一步改變成 $N^-$ 型區域或 $I$ 型區域。結果，設在緩衝層的介面的NI界面消失。這可能引起空乏層的消失以及薄膜電晶體的 $V_g-I_d$ 特性的不穩定值。

此外，基底膜較佳地在玻璃基底等的絕緣表面之上形成。舉例而言，提供氮化矽膜或者氮化氧化矽膜。這些膜可用作蝕刻阻止層，以在選擇性蝕刻第一閘極電極時防止玻璃基底被蝕刻，使得其頂表面具有所需形狀。另外，基底膜具有對濕氣、氫離子、 $\text{OH}^-$ 等等的阻擋功能。這樣，當具有對水分、氫離子 $\text{OH}^-$ 等的阻擋功能的膜在氧化物半導體層之上、之下和周圍形成以便封裝氧化物半導體層時，可獲得具有優良密封性質和長期可靠性的半導體裝置。

雖然以上描述了作為一種底閘極薄膜電晶體的通道蝕刻類型薄膜電晶體的一實施例，但是對於薄膜電晶體的結構沒有特別限制。舉例而言，可採用底接觸型薄膜電晶體。在源極和汲極電極層藉由選擇性蝕刻導電膜而形成之後，形成底接觸型結構的氧化物半導體層；因此，與通道蝕刻型TFT相比，在形成氧化物半導體層之後的步驟數目小，並且氧化物半導體層曝露於電漿的次數小。由於曝露於

電漿的次數小，所以可降低電漿對氧化物半導體層的損傷。

在薄膜電晶體具有底接觸型結構的情況下，根據本發明的一實施例的半導體裝置包括絕緣表面之上的第一閘極電極、第一閘極電極之上的第一絕緣層、第一絕緣層之上的源極電極層和汲極電極層、源極電極層和汲極電極層之上的氧化物半導體層、覆蓋氧化物半導體層的樹脂層、以及樹脂層之上的第二閘極電極。在半導體裝置中，氧化物半導體層在第一絕緣層之上形成，並且與第一閘極電極重疊，氧化物半導體層的至少一部分位於源極電極層與汲極電極層之間，並且第二閘極電極與氧化物半導體層和第一閘極電極重疊。

在上述底接觸型結構中，第一緩衝層較佳地設置在氧化物半導體層與源極電極層之間，並且第二緩衝層較佳地設置在氧化物半導體層與汲極電極層之間。藉由提供第一和第二緩衝層，形成NI界面，使得可實現設有具有5  $\mu\text{m}$ 或以下的小通道長度和高場效應遷移率的薄膜電晶體的半導體裝置。或者，在底接觸型結構中，第一緩衝層較佳地設置在第一絕緣層與源極電極層之間，並且第二緩衝層較佳地設置在第一絕緣層與汲極電極層之間，其方式是使得第一和第二緩衝層的側表面與氧化物半導體層接觸。在第一緩衝層設置在第一絕緣層與源極電極層之間並且第二緩衝層設置在第一絕緣層與汲極電極層之間的情況下，第一緩衝層（或者第二緩衝層）設置在源極電極層（或者汲極電

極層) 之下，並且源極電極層(或者汲極電極層)具有降低對第一緩衝層(或者第二緩衝層)的電漿損傷之功效。因此，作為降低對緩衝層的電漿損傷的阻擋層，兩個層(亦即，源極電極層(或者汲極電極層)和第二閘極電極)在緩衝層之上形成；因此降低對緩衝層的電漿損傷。

此外，可採用具有通道阻止型結構的薄膜電晶體，其是一種類型底閘極薄膜電晶體。在薄膜電晶體具有通道阻止型結構的情況下，根據本發明的一實施例的半導體裝置包括絕緣表面之上的第一閘極電極、第一閘極電極之上的第一絕緣層、第一絕緣層之上的氧化物半導體層、氧化物半導體層之上並且與其接觸的通道保護層、氧化物半導體層之上的源極電極層和汲極電極層、覆蓋源極電極層和汲極電極層的樹脂層、樹脂層之上的第二閘極電極，以及樹脂層之上的第二絕緣層。在半導體裝置中，樹脂層與通道保護層接觸。

在上述通道阻止型結構中，第一和第二緩衝層設置在通道保護層和氧化物半導體層之上並且與其接觸。第一緩衝層設置在氧化物半導體層與源極電極層之間，並且第二緩衝層設置在氧化物半導體層與汲極電極層之間。藉由提供第一緩衝層(或者第二緩衝層)，可減小源極電極層(或者汲極電極層)與氧化物半導體層之間的接觸電阻。

在上述通道阻止型結構中，藉由使第二閘極電極的寬度大於氧化物半導體層的寬度，閘極電壓可從第二閘極電極施加到整個氧化物半導體層。另外，在樹脂層的厚度為



1  $\mu\text{m}$ 或以上並且寄生電容沒有引起問題的情況下，第二閘極電極層可覆蓋驅動器電路中的多個薄膜電晶體而成爲公共第二閘極電極，並且第二閘極電極層的面積可與驅動器電路幾乎相同或者比其更大。

如果寄生電容引起問題，則在上述通道阻止型結構中，較佳的是，第二閘極電極的寬度設置成小於第一閘極電極的寬度，使得與源極電極層或者汲極電極層重疊的第二閘極電極的面積減小，由此減小寄生電容。此外，第一閘極電極的寬度可設置成大於通道保護層的寬度但小於第二閘極電極的寬度，使得第一閘極電極沒有與源或汲極電極層重疊，由此減小了更多的寄生電容。

在上述通道阻止型結構中，爲可使用藉由濺射方法形成的無機絕緣膜或非晶矽或其化合物的膜，以作爲通道保護層。在與第一閘極電極重疊的氧化物半導體層的區域中，接近第二閘極電極的區域稱作背通道。通道保護層設置成與背通道接觸。爲使用氧化矽膜、氮化矽膜或者氧氮化矽膜，作爲用作通道保護層的無機絕緣膜。用於通道保護層的非晶矽膜的化合物指的是藉由濺射方法形成、包含例如硼等 p 型雜質元素的 p 型非晶矽膜或者通過濺射方法形成、包含例如磷等 n 型雜質元素的 n 型非晶矽膜。特別地，在將 p 型非晶矽膜用於通道保護層的情況下，獲得減小截止狀態的漏電流並且抵消設置成與 p 型非晶矽膜接觸的氧化物半導體層中產生的載子（電子）的效果。由非晶矽膜形成的通道保護層具有對水分、氫離子、 $\text{OH}^-$  等等的阻擋功

能。另外，由非晶矽膜形成的通道保護層還用作擋光層，阻擋光線入射到氧化物半導體層。

而且在上述通道蝕刻型結構中，與氧化物半導體層的小厚度的區域接觸的通道保護層可藉由濺射方法、由非晶矽或者其化合物來形成，以便覆蓋源極電極層和汲極電極層。通道保護層具有對水分、氫離子、 $\text{OH}^-$ 等等的阻擋功能。另外，由非晶矽膜形成的通道保護層還用作擋光層，它阻擋光線入射到氧化物半導體層。此外，在將 p 型非晶矽膜用於通道保護層的情況下，獲得減小截止狀態的漏電流並且抵消設置成與 p 型非晶矽膜接觸的氧化物半導體層中產生的載子（電子）的效果。

在上述通道蝕刻型結構中，藉由使第二閘極電極的寬度大於氧化物半導體層的寬度，閘極電壓可從第二閘極電極施加到整個氧化物半導體層。另外，在寄生電容沒有引起問題的情況下，第二閘極電極層可覆蓋多個薄膜電晶體而成爲驅動器電路中的公共第二閘極電極，並且第二閘極電極層的面積可與驅動器電路幾乎相同或者比其更大。如果寄生電容引起問題，較佳的是，第二閘極電極的寬度設置成小於第一閘極電極的寬度，使得與源極電極層或者汲極電極層重疊的第二閘極電極的面積減小，由此減小寄生電容。

此外，在上述底接觸型結構中，通道保護層可藉由濺射方法、由非晶矽或者其化合物在氧化物半導體層的頂表面或側表面之上形成並且與其接觸。通道保護層具有對水

分、氫離子、 $\text{OH}^-$ 等等的阻擋功能。另外，由非晶矽膜形成的通道保護層還用作擋光層，阻擋光線入射到氧化物半導體層。此外，在將p型非晶矽膜用於通道保護層的情況下，獲得減小截止狀態的漏電流並且抵消設置成與p型非晶矽膜接觸的氧化物半導體層中產生的載子（電子）的效果。

在上述底接觸型結構中，藉由使第二閘極電極的寬度大於第二氧化物半導體層的寬度，閘極電壓可從第二閘極電極施加到整個氧化物半導體層。另外，在寄生電容沒有引起問題的情況下，第二閘極電極層可覆蓋多個薄膜電晶體而成爲驅動器電路中的公共第二閘極電極，並且第二閘極電極層的面積可與驅動器電路幾乎相同或者比其更大。如果寄生電容引起問題，較佳的是，第二閘極電極的寬度設置成小於第一閘極電極的寬度，使得與源極電極層或者汲極電極層重疊的第二閘極電極的面積減小，由此減小寄生電容。

關於爲上述結構中使用的樹脂層，可使用光敏或者非光敏有機材料（聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑或苯並環丁烯或者任何這些材料的疊層。舉例而言，在正型光敏丙烯酸用作樹脂層的材料的情況下，樹脂層的開口的側表面較佳地具有曲率半徑的弧形表面。爲關於樹脂層，可使用因光照射而變成不溶於蝕刻劑的負型或者因光照射而變成可溶於蝕刻劑的正型。有效的是將光敏有機材料用於樹脂層，因爲開口可在無需使用電漿的蝕

刻或無需形成抗蝕劑掩罩的情況下形成；因此，步驟的數目以及氧化物半導體層和緩衝層曝露於電漿的次數可減小。

使用從 Al、Cr、Ta、Ti、Mo 以及 W 中選取的任意元素、包含任何這些元素作為成份的合金、包含任何這些元素的組合的合金膜等，形成上述結構中的源極和汲極電極層。或者，可使用鋁摻雜氧化鋅（AZO）或鎵摻雜氧化鋅（GZO）來形成源極和汲極電極層。藉由將成為例如  $\text{Al}_2\text{O}_3$  或  $\text{Ga}_2\text{O}_3$  等三價離子的元素少量地（例如幾個 wt%）添加到氧化鋅，可以降低源極和汲極電極層的電阻。

可使用 Zn-O 為基礎的非單晶膜、In-Ga-Zn-O 為基礎的非單晶膜、In-Sn-Zn-O 為基礎的、Ga-Sn-Zn-O 為基礎的、In-Zn-O 為基礎的、Sn-Zn-O 為基礎的、In-Sn-O 為基礎的或者 Ga-Zn-O 為基礎的氧化物半導體，形成具有任何上述結構的薄膜電晶體中包括通道形成區的氧化物半導體層。注意，以 In-Ga-Zn-O 為基礎的非單晶膜所代表的氧化物半導體是一種具有寬能隙（ $E_g$ ）的材料；因此，即使兩個閘極電極設置在氧化物半導體層之上和之下，也可抑制截止電流的增加。

此外，在上述結構中，為可使用以包含  $\text{SiO}_x$  的氧化物半導體靶材，藉由濺射方法來取得包含氧化矽的氧化物半導體層，作為包括薄膜電晶體的通道形成區的氧化物半導體層。典型地，包括 0.1 wt%（含）至 20 wt%（含）、較佳地 1 wt%（含）至 6 wt%（含）的  $\text{SiO}_2$  的氧化物半導體靶

材可用以形成膜，使得氧化物半導體層包括抑制結晶化的  $\text{SiO}_x$  ( $x > 0$ )。因此，可實現薄膜電晶體，其中，當薄膜電晶體的閘極被供予盡可能設定成接近 0 V 的正閾值電壓時，形成通道。

此外，在上述結構中，為較佳地使用簡併氧化物半導體，以作為薄膜電晶體的緩衝層（又稱作  $N^+$  型區域、 $n^+$  型層或者源極區或汲極區）。另外，簡併氧化物半導體較佳地具有透光性質。至於氧化物半導體層，使用 Zn-O 為基礎的氧化物半導體、In-Ga-Zn-O 為基礎的氧化物半導體、In-Zn-O 為基礎的氧化物半導體和 Sn-Zn-O 為基礎的氧化物半導體、In-Sn-O 為基礎的氧化物半導體、Al-Zn-O 為基礎的氧化物半導體或者 Ga-Zn-O 為基礎的半導體。或者，包含氮的 In-Ga-Zn-O 為基礎的非單晶膜，亦即，In-Ga-Zn-O-N 為基礎的非單晶膜（又稱作 IGZON 膜）可用作緩衝層。或者，Ga-Zn-O 為基礎的非單晶膜或者包含氮的 Ga-Zn-O 為基礎的非單晶膜，亦即，Ga-Zn-O-N 為基礎的非單晶膜可用作緩衝層。或者，Al-Zn-O 為基礎的非單晶膜或者包含氮的 Al-Zn-O 為基礎的非單晶膜，亦即，Al-Zn-O-N 為基礎的非單晶膜可用作緩衝層。注意，Ga-Zn-O 為基礎的氧化物半導體和 Ga-Zn-O-N 為基礎的氧化物半導體均較佳地包括 1 wt%（含）至 10 wt%（含）的鎵，並且 Al-Zn-O 為基礎的氧化物半導體和 Al-Zn-O-N 為基礎的氧化物半導體均較佳地包括 1 wt%（含）至 10 wt%（含）的鋁。又或者，可使用包含氮的 Zn-O-N 為基礎的非單晶膜或者包含氮的 Sn-Zn-O-

N為基礎的非單晶膜。

本說明書中，指明例如“上面”、“之上”、“下面”、“之下”或“側面”等方向的術語基於以下假設：裝置設置在基底表面之上。

藉由形成不同保護絕緣膜的疊層，降低氧化物半導體層的電漿損傷。因此，可獲得具有長期可靠性和優良密封性質的半導體裝置。

此外，可實現包括具有5  $\mu\text{m}$ 或以下的小通道長度的薄膜電晶體的半導體裝置。此外，在以液晶顯示裝置、包括EL元件的發光裝置、使用電泳顯示元件並且又稱作電子紙的顯示裝置、以及半導體裝置為代表的電光裝置中，可進一步提升至更高清晰度（像素數量的增加）、伴隨發光裝置尺寸的減小的各顯示像素間距的微小化、以及用於驅動像素部分的驅動器電路的更高度集成。

注意，本說明書中例如“第一”和“第二”等序數是為了方便起見而使用，而不是表示步驟的順序和層的堆疊順序。另外，本說明書中的序數不是表示規定本發明的特定名稱。

### 【實施方式】

於下，將參照附圖詳細描述本發明的實施例。注意，本發明並不侷限於以下描述，本領域的技術人員將會易於理解，模式和細節可按照各種方式來修改。因此，本發明不應當被理解為侷限於以下提供的實施例的描述。

( 實施例 1 )

圖 1A 是薄膜電晶體的截面圖的實施例，其中氧化物半導體層夾於設置在該氧化物半導體層之上和之下的兩個閘極電極之間。這個實施例描述製造方法的實施例，藉由該製造方法，用於像素部分和驅動器電路的薄膜電晶體設置在具有絕緣表面的基底之上。

首先，第一閘極電極 11 在具有絕緣表面的基底 10 之上形成。作為具有絕緣表面的基底 10，可使用電子工業中使用的例如鋁矽酸鹽玻璃基底、鋁硼矽酸鹽玻璃基底或者銀硼矽酸鹽玻璃基底等任何玻璃基底（又稱作無鹼玻璃基底）、具有可耐受這個製造過程中的加工溫度的耐熱性的塑膠基底等等。在基底 10 是母板玻璃的情況下，基底可具有下列尺寸的任一個：第一代（320 mm×400 mm）、第二代（400 mm×500 mm）、第三代（550 mm×650 mm）、第四代（680 mm×880 mm 或 730 mm×920 mm）、第五代（1000 mm×1200 mm 或 1100 mm×1250 mm）、第六代（1500 mm×1800 mm）、第七代（1900 mm×2200 mm）、第八代（2160 mm×2460 mm）、第九代（2400 mm×2800 mm 或 2450 mm×3050 mm）、第十代（2950 mm×3400 mm），等等。

對於第一閘極電極 11，具有單層結構或疊層結構的導電層可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等金屬材料或者包含任意這些材料作為主要成份的合金材料

來形成。當導電層在基底 10 的整個表面之上形成之後，執行微影步驟，以便在導電層之上形成抗蝕劑。然後，藉由蝕刻去除不必要的部分，並且形成佈線和電極（包括第一閘極電極 11 的閘極佈線、電容器佈線、端子電極等等）。在這個實施例中，使用厚度為 100 nm 的單層鎢。

舉例而言，在第一閘極電極 11 具有疊層結構的情況下，下列結構是較佳的：鋁層以及其上堆疊的鉬層的二層結構，銅層以及其上堆疊的鉬層的二層結構，銅層以及其上堆疊的氮化鈦層或氮化鉬層的二層結構，以及氮化鈦層和鉬層的二層結構。或者，可使用：包括包含 Ca 的銅層和其上用作障壁層的包含 Ca 的氧化銅層的疊層；或包括含 Mg 的銅層和其上用作障壁層的包含 Mg 的氧化銅層的疊層。又或者，關於為三層結構，鎢層或氮化鎢層、鋁和矽的合金或者鋁和鈦的合金層以及氮化鈦層或鈦層的疊層是較佳的。

隨後，去除抗蝕劑掩罩，然後形成覆蓋第一閘極電極 11 的第一閘極絕緣層 13。第一閘極絕緣層 13 藉由濺射方法、PCVD 方法等形成為 50 nm 至 400 nm 厚。第一閘極絕緣層 13 使用例如氧化矽膜、氧氮化矽膜、氮化氧化矽膜、氮化矽膜或氧化鉬膜等無機絕緣膜來形成為具有單層結構或疊層結構。第一閘極絕緣層 13 可藉由採用有機矽烷氣體的 CVD 方法、使用氧化矽層來形成。為關於有機矽烷氣體，可使用例如四乙氧基甲矽烷（TEOS）（化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS）（化學式： $\text{Si}(\text{CH}_3)_4$



)、四甲基環四矽氧烷 (TMCTS)、八甲基環四矽氧烷 (OMCTS)、六甲基二矽氮烷 (HMDS)、三乙氧基甲矽烷 ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ) 或三(二甲基氨基)矽烷 ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等含矽化合物。

在本實施例中，厚度為 100 nm 的第一閘極絕緣層 13 按照如下方式在第一閘極電極 11 之上形成：將甲矽烷氣體 ( $\text{SiH}_4$ )、一氧化二氮 ( $\text{N}_2\text{O}$ ) 和稀有氣體作為源氣體加入高密度電漿設備的室中，並且在 10 Pa 至 30 Pa 的壓力下生成高密度電漿。第一閘極絕緣層 13 是氧氮化矽膜。在本實施例中，高密度電漿設備指的是可實現  $1 \times 10^{11}/\text{cm}^3$  或更高的電漿密度的設備。舉例而言，藉由施加 3 kW 至 6 kW 的微波功率來形成電漿，以用於形成絕緣膜。在形成絕緣膜時，被導入室中的甲矽烷氣體 ( $\text{SiH}_4$ ) 與一氧化二氮 ( $\text{N}_2\text{O}$ ) 流量比是在 1:10 至 1:200 的範圍之內。另外，關於為被導入室中的稀有氣體，可使用氦、氬、氬、氫等等。具體來說，較佳地使用不貴的氬。

另外，由於採用高密度電漿設備所形成的第一閘極絕緣層 13 可具有均勻厚度，所以第一閘極絕緣層 13 具有優良的階梯覆蓋。此外，可精確地控制採用高密度電漿設備所形成的絕緣薄膜的厚度。

藉由高密度電漿設備所得到的絕緣膜與由傳統的平行板 PCVD 設備所形成的絕緣膜極為不同。在相同蝕刻劑的蝕刻速率相互比較的情況下，採用高密度電漿設備所得到的絕緣膜的蝕刻速率比採用傳統平行板 PCVD 設備所形成

的絕緣膜要低 10%或以上或者 20%或以上。因此，可以說，藉由使用高密度電漿設備所得到的絕緣膜是緻密膜。

隨後，氧化物半導體膜在第一閘極絕緣層 13 之上形成。氧化物半導體膜的厚度為至少 30 nm，較佳地為 60 nm 或以上且 150 nm 或以下。在本實施例中，形成作為氧化物半導體膜的第一 In-Ga-Zn-O 為基礎的非單晶膜。第一 In-Ga-Zn-O 為基礎非單晶膜在氫或氧氣氛中使用直徑為 8 英寸並且包含銦 (In)、鎵 (Ga) 和鋅 (Zn) ( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ ) 的氧化物半導體靶材來形成，其中基底與靶之間的距離設置在 170 mm，在 0.4 Pa 的壓力下，並且直流 (DC) 電源為 0.5 kW。注意，脈衝直流 (DC) 電源是較佳的，因為可減少灰塵，並且膜厚會是均勻的。

注意，在使用大面積玻璃基底的情況下，將一個大背板貼合到一個大的靶材的製造過程是既困難又成本高的。因此，靶材經過分割，並且經分割的靶材接合到背板。藉由將靶材貼合到背板（用於將靶與其貼合的板）及真空包裝，以形成靶。在形成第一 In-Ga-Zn-O 為基礎的非單晶膜時，為了得到薄膜電晶體的優良電特性，較佳的是，包括與其貼合的靶材的背板設置在濺射設備中，同時盡可能地保持遠離空氣中的濕氣等。較佳的是，不僅在將靶設置到濺射設備時，而且在包括製造靶材、將靶材接合到背板等等的直到真空包裝的期間，盡可能地使靶材遠離空氣中的濕氣等。

在 In-Ga-Zn-O 為基礎的氧化物半導體膜藉由濺射方法

來形成的情況下，包含 In、Ga 和 Zn 的氧化物半導體靶包括例如氧化矽等絕緣雜質。在氧化物半導體中包含絕緣雜質以便於形成氧化物半導體膜的非晶化。另外，當氧化物半導體層在稍後步驟經過熱處理時，可抑制因熱處理引起的結晶化。

隨後，藉由濺射方法，在不曝露於空氣的情況下，形成電阻比第一 In-Ga-Zn-O 為基礎的非單晶膜要低的氧化物半導體（在本實施例中為第二 In-Ga-Zn-O 為基礎的非單晶膜）。在本實施例中，使用包含銦（In）、鎵（Ga）和鋅（Zn）（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ ）的氧化物半導體靶（ZnO），在包含氮氣體的氣氛中，藉由濺射方法來形成包含銦、鎵和鋅的氧氮化物膜。為藉由稍後執行的熱處理，此氧氮化物膜成為電阻比第一 In-Ga-Zn-O 為基礎的非單晶的電阻更低的氧化物半導體膜。

隨後，執行微影步驟，以便在第二 In-Ga-Zn-O 為基礎的非單晶膜之上形成抗蝕劑掩罩。然後，蝕刻第一和第二 In-Ga-Zn-O 為基礎的非單晶膜。注意，在這裏，蝕刻並不侷限於濕蝕刻，而是也可執行乾蝕刻。

隨後，去除抗蝕劑掩罩，然後，藉由濺射方法或者真空蒸鍍方法，在第一和第二 In-Ga-Zn-O 為基礎的非單晶膜之上形成由金屬材料所形成的導電膜。為關於導電膜的材料，可為從以下各項中選取的元素：Al、Cr、Ta、Ti、Mo 和 W；包含任意這些元素作為成份的合金；包含任意這些元素的組合的合金；等等。此外，在以 200°C 至 600°C 執行

熱處理的情況下，導電膜較佳地對於這種熱處理具有耐熱性。由於單獨使用 Al 引起例如低耐熱性和易於被腐蝕等缺點，所以 Al 與具有耐熱性的導電材料結合使用。為關於與 Al 結合使用的具有耐熱性的導電材料，可使用任意的下列材料：從鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd) 和鈦 (Sc) 中選取的元素，包含任意這些元素作為成份的合金，包含任意這些元素的組合的合金，以及包含任意這些元素作為成份的氮化物。

在這裏，為使用堆疊 Al 膜和 Ti 膜的導電膜作為導電膜。或者，導電膜可以是單層鈦膜。又或者，導電膜可具有三層結構，其中包括：Ti 膜、堆疊在 Ti 膜上面包含 Nd 的鋁膜 (Al-Nd)、以及在這些膜上面形成的 Ti 膜。導電膜可具有包含矽的鋁膜的單層結構。

隨後，執行微影步驟，以便在導電膜之上形成抗蝕劑掩罩。然後，藉由蝕刻去除不必要的部分，並且形成源極和汲極電極層 15a、15b。在這時將濕蝕刻或乾蝕刻用作蝕刻方法。在這裏，採用乾蝕刻，其中使用  $\text{SiCl}_4$ 、 $\text{Cl}_2$  和  $\text{BCl}_3$  的混合氣體作反應氣體來蝕刻其中堆疊了 Ti 膜和 Al 膜的導電膜。因此，形成源極和汲極電極層 15a、15b。另外，在這個蝕刻中，使用相同抗蝕劑掩罩選擇性地蝕刻第二 In-Ga-Zn-O 為基礎的非單晶膜，以便形成源極區和汲極區 14a、14b，並且曝露第一 In-Ga-Zn-O 為基礎的非單晶膜的一部分。

藉由使用抗蝕劑掩罩的上述蝕刻步驟，選擇性地蝕刻

曝露第一 In-Ga-Zn-O 為基礎的非單晶膜。因此，形成包括厚度比與源極電極層 15a 或者汲極電極層 15b 重疊的區域更小的區域的氧化物半導體層 16。在一個步驟中蝕刻源極和汲極電極層 15a 和 15b、源極區和汲極區 14a 和 14b 以及曝露的第一 In-Ga-Zn-O 為基礎的非單晶膜。因此，如圖 1A 所示，源極和汲極電極層 15a 和 15b 以及源極區和汲極區 14a 和 14b 的邊緣部分對齊並且是連續的。注意，源極和汲極電極層 15a 和 15b、源極區和汲極區 14a 和 14b、曝露的第一 In-Ga-Zn-O 為基礎的非單晶膜的蝕刻並不侷限於一次性蝕刻，而是可在多個步驟中執行蝕刻。

在去除抗蝕劑掩罩之後，較佳地執行 200°C 至 600°C、典型地 300°C 至 500°C 的熱處理。在這裏，熱處理在爐中以 350°C 在包含氧的氮氣氛執行 1 小時。藉由這種熱處理，在第一 In-Ga-Zn-O 為基礎的非單晶膜中發生原子級的重新排列。由於抑制載子移動的應變通過熱處理而釋放，所以熱處理（它可以是光退火）是重要的。另外，降低第二 In-Ga-Zn-O 為基礎的非單晶膜的電阻，並且形成具有低電阻的源極區和汲極區 14a、14b。對於執行熱處理的時間沒有特別限制，只要它在形成第二 In-Ga-Zn-O 為基礎的非單晶膜之後執行。

隨後，樹脂層 17 以 0.5  $\mu\text{m}$  至 3  $\mu\text{m}$  的範圍之內的厚度來形成，以便覆蓋源極和汲極電極層 15a 和 15b 以及包括具有小厚度的區域的氧化物半導體層 16。為關於樹脂層 17 的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、

聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或者任意這些材料的疊層。在這裏，爲了減少步驟數目，光敏聚醯亞胺藉由塗敷方法來形成。執行曝光、顯影和烘焙，並且形成由聚醯亞胺所形成的厚度爲  $1.5\ \mu\text{m}$  並且其表面爲平坦的樹脂層 17。樹脂層 17 用作第一保護絕緣層，它防止包括具有小厚度的區域的氧化物半導體層 16 以及源極區和汲極區 14a、14b 在形成第二保護絕緣層的後續步驟中免受電漿損傷。覆蓋氧化物半導體層 16 的具有小厚度的曝露區域的樹脂層 17 還具有作爲第一保護絕緣層的功能，它阻擋濕氣、氫等進入氧化物半導體層 16。

另外，在形成樹脂層 17 之前，氧化物半導體層 16 的具有小厚度的曝露區域接受氧自由基處理。藉由氧自由基處理，氧化物半導體層的曝露表面和其近處可被修改爲氧過剩區域。可在電漿產生設備中藉由使用包含氧的氣體或者在臭氧產生設備中，產生氧自由基。藉由使薄膜曝露於所產生的氧自由基或氧，可修改膜表面。自由基處理並不侷限於使用氧自由基，而是可使用氫和氧自由基來執行。使用氫和氧自由基的處理是加入氫氣體和氧氣體以生成電漿，藉以修改薄膜表面。

然後，藉由 PCVD 方法或濺射方法，在低功率條件下（或者在  $200^\circ\text{C}$  或以下、較佳地從室溫到  $100^\circ\text{C}$  的低基底溫度下），形成厚度爲  $50\ \text{nm}$  至  $400\ \text{nm}$  的第二保護絕緣層 18。或者，第二保護絕緣層 18 可使用高密度電漿設備在低功率條件下形成。藉由高密度電漿設備所得到的第二保護

絕緣層 18 可比藉由 PCVD 方法所得到的更緻密。第二保護絕緣層 18 使用氮化矽膜、氧氮化矽膜或者氮化矽氧膜來形成，並且阻擋濕氣、氫離子、 $\text{OH}^-$  等等。在這裏，厚度為 200 nm 的氮化矽膜藉由 PCVD 方法在下列條件之下形成：矽烷氣體的流率為 35 sccm，氮 ( $\text{NH}_3$ ) 的流率為 300 sccm，以及氫氣的流率為 800 sccm；壓力為 60 Pa，RF 電力為 300 W；以及功率頻率為 13.56 MHz。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，使得形成佈線和電極（包括第二閘極電極 19 等的佈線）。當選擇性蝕刻第二閘極電極 19，使得其頂表面具有所需形狀時，第二保護絕緣層 18 可用作蝕刻阻止層。

為關於在第二保護絕緣層 18 之上形成的導電層，可使用金屬材料（從鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd) 和鈮 (Sc) 中選取的元素或者包含任意這些元素作為組分的合金）。這些膜具有擋光性質，並且因此可阻擋光到達氧化物半導體層。

在圖 1A 的截面中，第二閘極電極 19 的寬度大於第一閘極電極 11 的寬度並且大於氧化物半導體層的寬度。有效的是，藉由將第二閘極電極 19 的寬度增加到大於氧化物半導體層的寬度，使得第二閘極電極 19 覆蓋氧化物半導體的頂表面，來阻擋光線。由於氧化物半導體層 16 的具有小厚度的區域沒有被源極或汲極電極層覆蓋，所以存在薄膜電晶

體的電特性因光照而改變的可能性。由於藉由濺射方法所形成的 In-Ga-Zn-O 為基礎的非單晶膜對波長為 450 nm 或以下的光敏感，因此，為設置作為阻擋波長為 450 nm 或以下的光的擋光層的第二閘極電極 19 是有用的。

或者，可使用例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下稱作 ITO）、氧化銦鋅或者添加了氧化矽的氧化銦錫等透光導電材料，形成第二保護絕緣層 18 之上形成的導電層。在使用透光導電材料的情況下，當使用與用於像素電極相同的材料時，第二閘極電極和像素電極可使用相同的光罩來形成。當第二閘極電極和像素電極使用相同材料來形成時，可減少步驟的數目。在第二閘極電極使用透光導電材料來形成的情況下，較佳的是，用於遮蔽包括具有小厚度的區域的氧化物半導體層 16 免受光影響的擋光層，分開地形成在氧化物半導體層 16 的具有小厚度的區域之上。在波長 400 nm 至 450 nm 的透光率至少小於 50%、較佳地小於 20% 的材料用於擋光層。舉例而言，氮化鉻或鈦的金屬膜或黑色樹脂可用作擋光層的材料。在黑色樹脂用於擋光的情況下，由於光強度較高，所以黑色樹脂膜必須更厚。因此，在擋光層的膜需要很薄的情況下，較佳地使用具有高擋光性質以及可經過精細蝕刻過程並且可薄化的金屬膜。

藉由上述製程，可得到圖 1A 所示的薄膜電晶體 20。

在以上所述的實施例中，以一般光罩用於微影步驟。



當使用藉由採用多色調掩罩的微影步驟形成的具有多種厚度（通常為兩種厚度）的區域的抗蝕劑掩罩時，可減少抗蝕劑掩罩的數目，並且因此可簡化製程並且可降低成本。注意，在本說明書中，為了方便起見，灰色調曝光掩罩和半色調曝光掩罩共同稱作多色調掩罩。另外，在使用多色調掩罩的情況下，在形成第一 In-Ga-Zn-O 為基礎的非單晶膜、第二 In-Ga-Zn-O 為基礎的非單晶膜和導電膜的疊層之後，形成具有多種厚度的區域的抗蝕劑掩罩。然後，藉由使用抗蝕劑掩罩，形成具有小厚度的區域的氧化物半導體層以及源極和汲極電極層。在這種情況下，源極和汲極電極層的邊緣部分以及氧化物半導體層的邊緣部分對齊並且是連續的，同時氧化物半導體層的側表面曝露。因此，當形成樹脂層時，氧化物半導體層的側表面以及沒有與源或汲極電極層重疊的區域（具有小厚度的區域）與樹脂層接觸。

另外，當第二閘極電極 19 和第一閘極電極 11 相互電連接以便第二閘極電極 19 和第一閘極電極 11 具有相同電位時，在第二閘極電極 19 形成於第二保護絕緣層 18 上之前，執行微影步驟，以便在第二保護絕緣層 18 之上形成抗蝕劑掩罩，以及藉由蝕刻去除不必要的部分並且形成到達第一閘極電極 11 的開口。

注意，在第二閘極電極 19 和第一閘極電極 11 具有不同電位的情況下，不需要第二閘極電極 19 和第一閘極電極 11 的電連接的開口。

圖 1B 與圖 1A 部分地不同。在圖 1B 中，除不同部分之外、與圖 1A 相同的部分由相同參考標號來表示。

圖 1B 示出一實施例，其中，第二閘極電極 19 和第二保護絕緣層 18 按照與圖 1A 不同的順序來形成。

如圖 1B 所示，薄膜電晶體 21 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。圖 1A 中的薄膜電晶體 20 的第二閘極絕緣層是樹脂層 17 和第二保護絕緣層 18 的疊層，而薄膜電晶體 21 的第二閘極絕緣層只是樹脂層 17。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及樹脂層 17 具有降低電漿對氧化物半導體層 16 的損傷之效用。

另外，圖 1B 示出一實施例，其中，基底絕緣層 12 設置在第一閘極電極 11 與基底 10 之間。在厚度為 50 nm 至 200 nm 的氧氮化矽膜、氮化氧化矽膜、氮化矽膜等等用作基底絕緣層 12 的情況下，基底絕緣層 12 可阻擋例如鈉等來自玻璃基底的雜質擴散到並且進入稍後在基底絕緣層 12 之上形成的氧化物半導體。另外，在設置基底絕緣層 12 的情況下，可防止基底 10 在用於形成第一閘極電極 11 的蝕刻步驟中被蝕刻。

此外，在較佳結構中，基底絕緣層 12 和第二保護絕緣層 18 在基底周邊上相互接觸，從而密封薄膜電晶體 20。在基底絕緣層 12 和第二保護絕緣層 18 於基底的周邊上相互接觸的結構中，例如氮化矽膜等保護層位於薄膜電晶體 20 之

上、之下和周圍，以封裝薄膜電晶體 20，由此可防止來自外部的例如濕氣等雜質元素的進入。在基底絕緣層 12 和第二保護絕緣層 18 於基底周邊上相互接觸的結構中，薄膜電晶體的可靠性可進一步提高。

圖 1C 與圖 1A 部分地不同。圖 1C 中，除不同部分之外、與圖 1A 相同的部分由相同參考標號來表示。

為圖 1C 中的薄膜電晶體 39 作為實施例，其中第一閘極電極 11 和第二閘極電極 19 的寬度與圖 1A 不同。圖 1C 中，在通道長度方向的第一閘極電極 11 的寬度大於氧化物半導體層 16 的寬度，而在通道長度方向的第二閘極電極 19 的寬度小於氧化物半導體層的寬度。如圖 1C 所示，只要第二閘極電極 19 在通道長度方向的寬度至少與氧化物半導體層 16 的具有小厚度的區域（與樹脂層 17 接觸的區域）的寬度相同或者比其更大，並且與氧化物半導體層 16 的具有小厚度的區域重疊，由此可減小寄生電容，則是可接受的。

#### （實施例 2）

圖 2A 是薄膜電晶體的截面圖實施例，其中氧化物半導體層夾於設置在氧化物半導體層之上和之下的兩個閘極電極之間。本實施例描述製造方法的實施例，藉由此製造方法，用於像素部分和驅動器電路的薄膜電晶體設置在具有絕緣表面的基底之上。

從在具有絕緣表面的基底 10 之上的第一閘極電極 11 的形成直到覆蓋第一閘極電極 11 的第一閘極絕緣層 13 的形成

，採用與實施例1中的相同步驟。因此，在這裏省略詳細描述，並且與圖1A相同的部分由相同參考標號來表示。

藉由濺射方法或真空蒸鍍方法在第一閘極絕緣層13之上由金屬材料形成導電膜。在本實施例中，採用Ti膜、包含Nd的鋁膜以及Ti膜的三層結構（藉由濺射方法形成）。為關於導電膜的材料，可給出從以下各項中選取的元素：Al、Cr、Ta、Ti、Mo和W；包含任意這些元素作為成份的合金；包含任意這些元素的組合的合金膜；等等。此外，導電膜可具有二層結構，並且鈦膜可堆疊在鋁膜之上。或者，導電膜可具有包含矽的鋁膜的單層結構或者鈦膜的單層結構。

然後，藉由濺射方法在不曝露於空氣的情況下，形成具有低電阻的氧化物半導體膜（緩衝層）。對於緩衝層的材料沒有特別限制，只要膜的電阻比稍後形成的氧化物半導體層26要低即可。為藉由使用包含銦、鎵和鋅（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ ）的氧化物半導體靶，在包含氮氣體的氣氛中，藉由濺射方法，在導電膜之上形成包含銦（In）、鎵（Ga）和鋅（Zn）的氧氮化物膜作為緩衝層。或者，為藉由使用包含5 wt%或以上且50 wt%或以下的 $\text{SiO}_2$ 的In-Sn-O基氧化物半導體靶，藉由濺射方法，在導電膜之上形成包含 $\text{SiO}_x$ 的In-Sn-O基氧化物半導體膜作為緩衝層。在本實施例中，緩衝層在下列條件下形成為10 nm的厚度：使用氧化物半導體靶（ $\text{In}_2\text{O}_3:\text{SnO}_2:\text{SiO}_2=85:10:5$ ），亦即包含5 wt%的 $\text{SiO}_2$ 的氧化物半導體靶，Ar的流率為72

sccm，氧的流率為 3 sccm，電力為 3.2 kw，以及壓力為 0.16 Pa。注意，為了降低電漿對緩衝層的損傷，電力可在形成時減小到 1 kw。

濺射方法的實施例包括：RF濺射方法，其中高頻電源用作濺射電源；DC濺射方法；以及脈衝DC濺射方法，其中以脈衝方式來施加偏壓。RF濺射方法主要用於形成絕緣膜的情況，而DC濺射方法主要用於形成金屬膜的情況。

另外，還存在多源濺射設備，其中可設置不同材料的多個靶。藉由多源濺射設備，在同一個室中，不同材料的膜可形成為堆疊，或者，在相同個室中，同時藉由放電來形成具有多種材料的膜。

另外，存在一種濺射設備，其在室內部設置磁系統並且用於磁控管濺射方法，以及，存在一種用於ECR濺射方法的濺射設備，其中使用藉由使用微波所產生的電漿，而無需使用輝光放電。

此外，為關於濺射的沈積方法，還存在反應濺射方法，其中靶物質和濺射氣體成份在沈積期間相互起化學反應，以形成其化合物薄膜，並且存在偏壓濺射方法，其中電壓在沈積期間也施加到基底。

藉由將靶材貼合到背板（用於將靶與其貼合的板）來形成靶。關於靶材到背板的貼合，靶材可被分割並且貼合到一個背板。4個靶材貼合到一個背板的情況稱作四分割。此外，9個靶材貼合到一個背板的情況稱作九分割。對於靶材的分割數量沒有特別限制。當使用分割的靶材時，

靶的翹曲可在將靶材貼合到背板中被減輕。特別地，當在大的基底之上形成薄膜時，這些分割的靶可適當地用於按照大基底的尺寸變大的靶。不用說，一個靶材可貼合到一個背襯板。

隨後，執行微影步驟，以便在緩衝層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，以及形成源極和汲極電極層 25a、25b。頂表面具有與源極和汲極電極層 25a、25b相同形狀的緩衝層保持在源極和汲極電極層 25a、25b之上。此後，去除抗蝕劑掩罩。

隨後，形成厚度為 5 nm至 200 nm的氧化物半導體膜。在本實施例中，氧化物半導體膜在下列形成條件下形成為 50 nm的厚度：使用包含銦 (In)、鎵 (Ga) 和鋅 (Zn) 的氧化物半導體靶 ( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ )，Ar的流率為 50 sccm，氧的流率為 20 sccm，電力為 1 kw，以及壓力為 0.22 Pa。

另外，在形成氧化物半導體膜之前，較佳地執行用於去除附於源極和汲極電極層 25a、25b的表面的灰塵的電漿處理。舉例而言，藉由執行反濺射，也對曝露的閘極絕緣層執行電漿處理，在反濺射中，藉由加入氬氣體而由 RF 電源來產生電漿。

隨後，執行微影步驟，以便在氧化物半導體膜之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，以及形成氧化物半導體層 26。另外，使用相同的抗蝕劑掩罩，選擇性地蝕刻緩衝層，並且形成源極區和汲極區 24a、24b。

在去除抗蝕劑之後，較佳地執行 200°C 至 600°C，典型地 300°C 至 500°C 的熱處理。在這裏，熱處理在爐中以 350°C 在包含氧的氮氣氛執行 1 小時。藉由此熱處理，在 In-Ga-Zn-O 為基礎的非單晶膜中發生原子級的重新排列。由於抑制載子移動的應變藉由熱處理而釋放，所以熱處理（它可以是光退火）是重要的。

然後，樹脂層 17 以 0.5  $\mu\text{m}$  至 3  $\mu\text{m}$  的範圍之內的厚度來形成，以便覆蓋源極和汲極電極層 25a 和 25b 以及氧化物半導體層 26。為關於樹脂層 17 的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯、或者任何這些材料的疊層。

注意，形成樹脂層 17 之後的步驟與實施例 1 相同，因而在這裏進行簡要描述。

然後，第二保護絕緣層 18 藉由 PCVD 方法或濺射方法在低功率條件下（或者在 200°C 或以下、較佳地從室溫到 100°C 的低基底溫度下）在樹脂層 17 之上形成為 50 nm 至 400 nm 的厚度。或者，第二保護絕緣層 18 可使用高密度電漿設備在低功率條件下形成。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，以致於形成佈線和電極（包括第二閘極電極 19 等的佈線）。

經由上述製程，可得到圖 2A 所示的薄膜電晶體 22。薄膜電晶體 22 包括源極和汲極電極層 25a、25b 的一部分與氧

化物半導體層 26 的一部分重疊的區域。在那個區域中，設置源極區和汲極區 24a、24b 以形成 NI 界面。形成樹脂層 17 以保護 NI 界面。第二保護絕緣層 18 藉由 PCVD 方法在低功率條件下在其上形成。在形成第二保護絕緣層 18 期間，可防止氧化物半導體層 26 以及源極區和汲極區 24a、24b 改變，以致於可防止薄膜電晶體的電特性改變並且使其穩定。

圖 2B 與圖 2A 部分地不同。圖 2B 中，除不同部分之外、與圖 2A 相同的部分由相同參考標號來表示。

圖 2B 顯示一實施例，其中，第二閘極電極 19 和第二保護絕緣層 18 按照與圖 2A 不同的順序來形成。

如圖 2B 所示，薄膜電晶體 23 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及樹脂層 17 具有降低電漿對氧化物半導體層 26 的損傷之功效。

圖 2C 與圖 2A 部分地不同。圖 2C 中，除不同部分之外、與圖 2A 相同的部分由相同參考標號來表示。

圖 2C 示出一實施例，其在源極區及汲極區與源極及汲極電極層之間的位置關係與圖 2A 不同。源極區 27a（或者汲極區 27b）設置在源極電極層 28a（或者汲極電極層 28b）之下。源極電極層 28a（或者汲極電極層 28b）的具有降低電漿對源極區 27a（或者汲極區 27b）的損傷之功效。

換言之，為關於用於降低對源極區和汲極區 27a、27b



的電漿損傷的阻擋層，在源極區和汲極區 27a、27b 之上形成三個層（源極和汲極電極層 28a 和 28b、樹脂層 17 以及第二閘極電極 19）；因此，對源極區和汲極區 27a、27b 的電漿損傷進一步降低。

至於圖 2C 所示的薄膜電晶體 29，具有低電阻的氧化物半導體膜在第一閘極絕緣層 13 之上形成並且與其接觸，以及在其上形成導電膜。此後，使用與用於選擇性地蝕刻導電膜的相同的抗蝕劑掩罩來蝕刻具有低電阻的氧化物半導體膜。因此，藉由蝕刻具有低電阻的氧化物半導體膜而形成的源極區和汲極區 27a、27b 的頂表面具有與在源極區和汲極區 27a、27b 之上形成的源極和汲極電極層 28a、28b 的頂表面幾乎相同的形狀。源和汲極電極層 28a、28b 的頂表面和側表面形成為與氧化物半導體層 26 接觸。

圖 2D 與圖 2C 部分地不同。圖 2D 中，除不同部分之外，與圖 2C 相同的部分由相同參考標號來表示。

圖 2D 示出一實施例，其中，第二閘極電極 19 和第二保護絕緣層 18 按照與圖 2C 不同的順序來形成。

如圖 2D 所示，薄膜電晶體 30 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及樹脂層 17 具有降低電漿對氧化物半導體層 26 的損傷之功效。

本實施例可適當地結合實施例 1 中所述的任意結構來

實施。

(實施例3)

圖3A是薄膜電晶體的截面圖的實施例，其中氧化物半導體層夾於設置在該氧化物半導體層之上和之下的兩個閘極電極之間。本實施例描述製造方法的實施例，藉由此製造方法，用於像素部分和驅動器電路的薄膜電晶體設置在具有絕緣表面的基底之上。

注意，在具有絕緣表面的基底10之上形成第一閘極電極11、形成覆蓋第一閘極電極11的第一閘極絕緣層13以及形成氧化物半導體膜的步驟與實施例1相同。因此，在這裏省略詳細描述，並且與圖1A相同的部分由相同參考標號來表示。

在本實施例中，第一閘極絕緣層13之上的氧化物半導體膜使用包含5 wt% (含) 至50 wt% (含)、較佳地10 wt% (含) 至30 wt% (含)的Zn-O為基礎的氧化物半導體靶來形成，以致於形成包含抑制結晶化的 $\text{SiO}_x$  ( $x>0$ )的Zn-O為基礎的氧化物半導體膜。

然後，藉由濺射方法在不曝露於空氣的情況下，在Zn-O為基礎的氧化物半導體膜之上形成通道保護膜。關於為通道保護膜的材料，可使用無機材料(氧化矽膜、氮化矽膜、氧氮化矽膜、氮化氧化矽膜等等)。

注意，氧氮化矽膜指的是在使用盧瑟福背向散射能譜測定(RBS)和氫前向散射(HFS)來執行測量的情況下

包含的氧比氮要多的膜。另外，氮化氧化矽膜指的是在使用 RBS 和 HFS 來執行測量的情況下包含的氮比氧要多的膜。

隨後，執行微影步驟，以便在通道保護膜之上形成抗蝕劑掩罩。然後，藉由蝕刻去除不必要的部分，並且形成通道保護層 34。注意，第一閘極電極 11 的寬度大於通道保護層 34 的寬度（在通道長度方向的寬度）。

關於為通道保護層 34 的材料，不僅可使用無機絕緣材料，而且還可使用非晶半導體或者其化合物，典型上為非晶矽，它的膜藉由濺射方法來獲得。用於通道保護層的非晶矽膜的化合物指的是藉由濺射方法形成之包含例如硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射方法形成包含例如磷等 n 型雜質元素的 n 型非晶矽膜。特別地，在將 p 型非晶矽膜用於通道保護層 34 的情況下，獲得減小截止狀態的漏電流並且抵消設置成與 p 型非晶矽膜接觸的氧化物半導體層中產生的載子（電子）的效果。在非晶矽膜用作通道保護層 34 的情況下，非晶矽膜具有對濕氣、氫離子、OH<sup>-</sup> 等等的阻擋功能。另外，由非晶矽膜形成的通道保護層還用作擋光層，阻擋光線入射到氧化物半導體。

在本實施例中，以使用包含硼的靶之濺射法所得到的包含硼的非晶矽膜作為通道保護層 34。在低功率條件中或者在低於 200°C 的基底溫度下形成包含硼的非晶矽膜。由於通道保護層 34 形成為與 Zn-O 為基礎的非單晶膜接觸，因此，較佳地盡可能降低形成和蝕刻通道保護層 34 時對 Zn-O

為基礎的非單晶膜的損傷。

隨後，為藉由濺射方法，在 Zn-O 為基礎的非單晶膜和保護層 34 之上形成電阻比 Zn-O 為基礎的非單晶膜要低的氧化物半導體膜（在這個實施例中為 In-Ga-Zn-O-N 為基礎的非單晶膜）。在本實施例中，藉由使用包含銦、鎵和鋅（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ ）的氧化物半導體靶，在包含氮氣體的氣氛中，以濺射方法來形成包含銦（In）、鎵（Ga）和鋅（Zn）的氧氮化物膜。氧氮化物膜藉由稍後執行的熱處理而成為具有低電阻的氧化物半導體膜。

隨後，執行微影步驟，以便在 In-Ga-Zn-O-N 為基礎的非單晶膜之上形成抗蝕劑掩罩。然後，蝕刻 Zn-O 為基礎的非單晶膜和 In-Ga-Zn-O-N 為基礎的非單晶膜。在蝕刻之後，曝露由 Zn-O 為基礎的非單晶膜所形成的氧化物半導體層 33 的側表面。注意，在這裏，蝕刻並不侷限於濕蝕刻，而是可執行乾蝕刻。

隨後，去除抗蝕劑掩罩，然後，藉由濺射方法或者真空蒸鍍方法，在 In-Ga-Zn-O-N 為基礎的非單晶膜之上形成由金屬材料所形成的導電膜。為關於導電膜的材料，可為從以下各項中選取的元素：Al、Cr、Ta、Ti、Mo 和 W；包含任何這些元素作為成份的合金；包含任何這些元素的組合的合金；等等。此外，在以 200°C 至 600°C 執行熱處理的情況下，導電膜較佳地對於這種熱處理具有耐熱性。

執行微影步驟，以便在導電膜之上形成抗蝕劑掩罩。藉由蝕刻去除不必要的部分，並且形成源極和汲極電極層

36a、36b。在此蝕刻中，通道保護層34用作氧化物半導體層33的蝕刻阻止層。因此，沒有蝕刻氧化物半導體層33。另外，在此蝕刻中，使用相同抗蝕劑掩罩來選擇性地蝕刻In-Ga-Zn-O-N為基礎的非單晶膜，並且形成源極區和汲極區35a、35b。

由於通道保護層34設置在氧化物半導體層33的通道形成區之上並且與其接觸的結構，所以可防止製程中對氧化物半導體層33的通道形成區的損傷（例如因電漿或者蝕刻中的蝕刻劑或氧化引起的厚度的減小）。因此，薄膜電晶體31的可靠性可得到提高。

在去除抗蝕劑掩罩之後，較佳地執行200°C至600°C，典型地為300°C至500°C的熱處理。在這裏，熱處理在爐中以350°C在氮氣氛或者包含氧的氮氣氛執行1小時。

然後，樹脂層17以0.5 μm至3 μm的範圍之內的厚度來形成，以便覆蓋源和汲極電極層36a和36b以及通道保護層34。為關於樹脂層17的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯、或者任何這些材料的疊層。

注意，形成樹脂層17之後的步驟與實施例1相同，因而在這裏進行簡要描述。

然後，藉由PCVD方法或濺射方法，在低功率條件下（或者在200°C或以下、較佳地從室溫到100°C的低基底溫度下），在樹脂層17之上形成厚度為50 nm至400 nm的第二保護絕緣層18。或者，可使用高密度電漿設備，在低功

率條件下形成第二保護絕緣層 18。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，以致於形成佈線和電極（包括第二閘極電極 19 等的佈線）。

藉由上述製程，可得到圖 3A 中所示的薄膜電晶體 31。注意，在薄膜電晶體 31 中，通道保護層 34、樹脂層 17 和第二保護絕緣層 18 的疊層用作第二閘極絕緣層。

藉由使第二閘極電極 19 的寬度大於第一閘極電極 11 的寬度和氧化物半導體層 33 的寬度，閘極電壓可從第二閘極電極 19 施加到整個氧化物半導體層 33。另外，在樹脂層 17 和第二保護絕緣層 18 的疊層很厚並且寄生電容沒有引起問題的情況下，第二閘極電極層可覆蓋多個薄膜電晶體而成爲驅動器電路中的公共第二閘極電極，並且第二閘極電極層的面積可與驅動器電路幾乎相同或者更大。

在樹脂層 17 和第二保護絕緣層 18 的疊層很薄並且寄生電容引起問題的情況下，在圖 3A 的結構中，較佳的是，第一閘極電極 11 的寬度設置成小於第二閘極電極 19 的寬度，使得與源極電極層或者汲極電極層重疊的第一閘極電極 11 的面積減小，由此減小寄生電容。此外，第一閘極電極 11 的寬度可設置成小於通道保護層 34 的寬度，並且第二閘極電極 19 的寬度可設置成小於通道保護層 34 的寬度，使得第二閘極電極 19 沒有與源極或汲極電極層重疊，由此可減小更多寄生電容。

圖 3B 與圖 3A 部分地不同。圖 3B 中，除不同部分之外，與圖 3A 相同的部分由相同參考標號來表示。

圖 3B 示出一實施例，其中，第二閘極電極 19 和第二保護絕緣層 18 按照與圖 3A 不同的順序來形成。

如圖 3B 所示，薄膜電晶體 32 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及樹脂層 17 具有降低電漿對氧化物半導體層 33 的損傷之功效。

本實施例可適當地結合其他實施例中所述的任意結構來實施。

#### ( 實施例 4 )

圖 4A 是薄膜電晶體的截面圖的一實施例，其中氧化物半導體層夾於設置在氧化物半導體層之上和之下的兩個閘極電極之間。本實施例描述用於設置在具有絕緣表面的基底之上的像素部分和驅動器電路的薄膜電晶體的一實施例。

注意，除了非晶矽膜設置成與氧化物半導體層 16 接觸之外，本實施例與實施例 1 相同。因此，在這裏省略詳細描述，並且與圖 1A 相同的部分由相同參考標號來表示。在使用源極和汲極電極層 15a、15b 作為掩罩以部分地蝕刻氧化物半導體層 16 而形成氧化物半導體層 16 中具有小厚度的

區域之前，步驟與實施例 1 中的步驟相同。

根據實施例 1，形成包括厚度比與源極電極層 15a 或者汲極電極層 15b 重疊的區域更小的區域的氧化物半導體層 16。

然後，在去除抗蝕劑掩罩之後，形成非晶半導體或者其化合物（典型地為非晶矽）的膜，它通過濺射方法來獲得。注意，非晶矽膜的化合物指的是藉由濺射方法形成包含例如硼等 p 型雜質元素的 p 型非晶矽膜，或者藉由濺射方法形成包含例如磷等 n 型雜質元素的 n 型非晶矽膜。

為了盡可能地降低對氧化物半導體層 16 的損傷，在低功率條件下或者在基底溫度低於 200°C 的條件下形成膜。在本實施例中，形成非晶矽膜，其中基底溫度設置在室溫，並且電力設置在 1 kw。

另外，在形成非晶矽膜之前，氧化物半導體層 16 的具有小厚度的曝露區域可經過氧自由基處理。藉由氧自由基處理，氧化物半導體層的曝露表面和其近處可被修改為氧過剩區域。如果在藉由氧自由基處理所形成的氧過剩區域上面形成非晶矽膜，則  $\text{SiO}_x$  ( $x > 0$ ) 的薄膜在介面處形成，由此可減小截止電流。

氧自由基可在電漿產生設備中藉由使用包含氧的氣體或者在臭氧產生設備中產生。藉由使薄膜曝露於所產生的氧自由基或氧，可修改膜表面。自由基處理並不侷限於使用氧自由基，而是可使用氫和氧自由基來執行。使用氫和氧自由基的處理是加入氫氣體和氧氣體以產生成電漿，藉



以修改薄膜表面。

隨後，執行微影步驟，以便在非晶矽膜之上形成抗蝕劑掩罩。然後，藉由蝕刻去除不必要的部分，並且形成通道保護層 41。注意，在這個實施例中描述其中選擇性地蝕刻非晶矽膜的一實施例，但沒有特別限制。微影步驟在這裏可省略，以便減少光掩罩和步驟的數目。通道保護層 41 可用作層間膜，它可阻擋濕氣、氫離子、 $\text{OH}^-$  等等。另外，由非晶矽膜形成的通道保護層 41 用作擋光層，它阻擋光線入射到氧化物半導體層。

然後，樹脂層 17 以  $0.5\ \mu\text{m}$  至  $3\ \mu\text{m}$  的範圍之內的厚度來形成，以便覆蓋源和汲極電極層 15a 和 15b 以及通道保護層 41。作為樹脂層 17 的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或者任意這些材料的疊層。

注意，形成樹脂層 17 之後的步驟與實施例 1 相同，因而在這裏進行簡要描述。

然後，藉由 PCVD 方法或濺射方法在低功率條件下（或者在  $200^\circ\text{C}$  或以下、較佳地從室溫到  $100^\circ\text{C}$  的低基底溫度下），在樹脂層 17 之上形成為厚度  $50\ \text{nm}$  至  $400\ \text{nm}$  的第二保護絕緣層 18。或者，可使用高密度電漿設備在低功率條件下形成第二保護絕緣層 18。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，以致於形成佈線和電極（包括第二閘極電極 19 等的佈

線)。

經由上述製程，可得到圖4A所示的薄膜電晶體37。

由非晶矽膜形成的通道保護層41還用作擋光層，它阻擋光線入射到氧化物半導體層。在本實施例中，示出非晶矽膜用作通道保護層41的實施例。如果p型非晶矽膜用作通道保護層41，則可減小截止狀態的漏電流，並且可抵消設置成與p型非晶矽膜接觸的氧化物半導體層中產生的載子(電子)。

圖4B與圖4A部分地不同。圖4B中，除不同部分之外，與圖4A相同的部分由相同參考標號來表示。

圖4B示出一實施例，其中第二閘極電極19和第二保護絕緣層18按照與圖4A不同的順序來形成。

如圖4B所示，薄膜電晶體38的第二閘極電極19在作為第一保護絕緣膜的樹脂層17之上形成並與其接觸，並且設置在樹脂層17與第二保護絕緣層18之間。在第二閘極電極19設置在樹脂層17與第二保護絕緣層18之間的情況下，第二閘極電極19以及通道保護層41和樹脂層17具有降低電漿對氧化物半導體層16的損傷之功效。

本實施例可適當地結合其他實施例中所述的任意結構來實施。

(實施例5)

圖5A是薄膜電晶體的截面圖的實施例，其中氧化物半導體層夾於設置在該氧化物半導體層之上和之下的兩個閘

極電極之間。本實施例描述用於設置在具有絕緣表面的基底之上的像素部分和驅動器電路的薄膜電晶體的實施例。

注意，本實施例與實施例2相同，但不同在於，非晶矽膜設置成與氧化物半導體層26接觸。因此，在這裏省略詳細描述，並且與圖2A相同的部分由相同參考標號來表示。直到形成部分與第一閘極絕緣層13接觸的氧化物半導體膜的步驟與實施例2中的相同。

在根據實施例2形成氧化物半導體膜之後，在沒有曝露於空氣的情況下形成非晶半導體或者其化合物的膜，典型上為非晶矽，它藉由濺射方法來獲得。注意，非晶矽膜的化合物指的是藉由濺射方法形成包含例如硼等p型雜質元素的p型非晶矽膜或者藉由濺射方法形成包含例如磷等n型雜質元素的n型非晶矽膜。

為了盡可能地降低對氧化物半導體層26的損傷，在低功率條件下或者在基底溫度低於200°C的條件下形成膜。在本實施例中，形成包含硼的非晶矽膜，其中基底溫度設置在室溫，並且電力設置在1 kw。

另外，在形成包含硼的非晶矽膜之前，氧化物半導體膜的曝露區域可經過氧自由基處理。藉由氧自由基處理，氧化物半導體膜的表面及其近處可被修改為氧過剩區域。如果非晶矽膜在藉由氧自由基處理所形成的氧過剩區域上面形成，則在介面處形成 $\text{SiO}_x$  ( $x > 0$ )的薄膜，由此可減小截止電流。

氧自由基可在電漿產生設備中藉由使用包含氧的氣體

或者在臭氧產生設備中產生。藉由使薄膜曝露於所產生的氧自由基或氧，可修改膜表面。自由基處理並不侷限於使用氧自由基，而是可使用氫和氧自由基來執行。使用氫和氧自由基的處理是加入氫氣體和氧氣體以生成電漿，因而修改薄膜表面。

隨後，執行微影步驟，以便在包含硼的非晶矽膜之上形成抗蝕劑掩罩。然後，藉由蝕刻去除不必要的部分，並且形成通道保護層42。通道保護層42可用作層間膜，它可阻擋濕氣、氫離子、 $\text{OH}^-$ 等等。另外，由非晶矽膜形成的通道保護層42用作擋光層，它阻擋光線入射到氧化物半導體層。另外，使用相同抗蝕劑掩罩去除氧化物半導體膜的不必要部分，並且形成氧化物半導體層26。此外，使用相同的掩罩以選擇性地蝕刻緩衝層，並且形成源極區和汲極區24a、24b。

在去除抗蝕劑掩罩之後，較佳地執行 $200^\circ\text{C}$ 至 $600^\circ\text{C}$ ，典型地為 $300^\circ\text{C}$ 至 $500^\circ\text{C}$ 的熱處理。在這裏，熱處理在爐中以 $350^\circ\text{C}$ 在包含氧的氮氣氛執行1小時。

然後，樹脂層17以 $0.5\ \mu\text{m}$ 至 $3\ \mu\text{m}$ 的範圍之內的厚度來形成，以覆蓋源極和汲極電極層25a和25b以及氧化物半導體層26。作為樹脂層17的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或者任意這些材料的疊層。

注意，形成樹脂層17之後的步驟與實施例2相同，因而在這裏進行簡要描述。

然後，藉由PCVD方法或濺射方法在低功率條件下（或者在200°C或以下、較佳地從室溫到100°C的低基底溫度下），在樹脂層17之上，形成厚度為50 nm至400 nm的第二保護絕緣層18。或者，可使用高密度電漿設備在低功率條件下形成第二保護絕緣層18。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，使得形成佈線和電極（包括第二閘極電極19等的佈線）。

藉由上述製程，可得到圖5A所示的薄膜電晶體53。

圖5B與圖5A部分地不同。圖5B中，除不同部分之外、與圖5A相同的部分由相同參考標號來表示。

圖5B示出一實施例，其中，第二閘極電極19和第二保護絕緣層18按照與圖5A不同的順序來形成。

如圖5B所示，薄膜電晶體54的第二閘極電極19在作為第一保護絕緣膜的樹脂層17之上形成並與其接觸，並且設置在樹脂層17與第二保護絕緣層18之間。在第二閘極電極19設置在樹脂層17與第二保護絕緣層18之間的情況下，第二閘極電極19以及通道保護層42和樹脂層17具有降低電漿對氧化物半導體層26的損傷之功效。

圖5C與圖5A部分地不同。圖5C中，除不同部分之外、與圖5A相同的部分由相同參考標號來表示。

圖5C示出一實施例，其中，在源極區及汲極區和源極及汲極電極層之間的位置關係與圖5A不同。源極區27a（

或者汲極區 27b) 設置在源極電極層 28a ( 或者汲極電極層 28b ) 之下。源極電極層 28a ( 或者汲極電極層 28b ) 具有降低電漿對源極區 27a ( 或者汲極區 27b ) 的損傷之功效。

換言之，關於為用於降低電漿對源極區和汲極區 27a、27b 的損傷的阻擋層，在源極區和汲極區 27a、27b 之上形成四個層 ( 源和汲極電極層 28a 和 28b、樹脂層 17、通道保護層 42 以及第二閘極電極 19 ) ；因此，對源極區和汲極區 27a、27b 的電漿損傷進一步降低。

至於圖 5C 所示的薄膜電晶體 55，具有低電阻的氧化物半導體膜在第一閘極絕緣層 13 之上形成並且與其接觸，以及在其上形成導電膜。此後，使用與用於選擇性地蝕刻導電膜之抗蝕劑掩罩相同的抗蝕劑掩模，來蝕刻具有低電阻的氧化物半導體膜。因此，藉由蝕刻具有低電阻的氧化物半導體膜而形成的源極區和汲極區 27a、27b 的頂表面具有與在源極區和汲極區 27a、27b 之上形成的源極和汲極電極層 28a、28b 的頂表面幾乎相同的形狀。源極和汲極電極層 28a、28b 的頂表面和側表面形成為與氧化物半導體層 26 接觸。

圖 5D 與圖 5C 部分地不同。圖 5D 中，除不同部分之外、與圖 5C 相同的部分由相同參考標號來表示。

圖 5D 示出一實施例，其中第二閘極電極 19 和第二保護絕緣層 18 按照與圖 5C 不同的順序來形成。

如圖 5D 所示，薄膜電晶體 56 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並且與其接觸，並且設

置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及通道保護層 42 和樹脂層 17 具有降低電漿對氧化物半導體層 26 的損傷之功效。

本實施例可適當地結合其他實施例中所述的任意結構來實施。

#### (實施例 6)

圖 6A 是薄膜電晶體的截面圖的一實施例，其中氧化物半導體層夾於設置在氧化物半導體層之上和之下的兩個閘極電極之間。本實施例描述用於設置在具有絕緣表面的基底之上的像素部分和驅動器電路的薄膜電晶體的一實施例。

注意，除了非晶矽膜設置成與氧化物半導體層 26 接觸之外，本實施例均與實施例 2 相同。因此，在這裏省略詳細描述，並且與圖 2A 相同的部分由相同參考標號來表示。直到形成氧化物半導體層 26 的步驟與實施例 2 中的相同。

在根據實施例 2 形成氧化物半導體層 26 之後，在不曝露於空氣的情況下，形成非晶半導體或者其化合物的膜，典型地為非晶矽，以作為在氧化物半導體層 26 之上並且與其接觸的通道保護層 43，它藉由濺射方法來獲得。注意，非晶矽膜的化合物指的是藉由濺射方法形成包含例如硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射方法形成包含

例如磷等 n 型雜質元素的 n 型非晶矽膜。

爲了盡可能地降低對氧化物半導體層 26 的損傷，在低功率條件下或者在基底溫度低於 200°C 的條件下形成膜。在本實施例中，基底溫度設置在室溫且電力設置在 1 kw，以形成包含硼的非晶矽膜。

另外，在形成包含硼的非晶矽膜之前，氧化物半導體層的曝露區域可接受氧自由基處理。藉由氧自由基處理，氧化物半導體層的表面及其近處可被修改爲氧過剩區域。如果在藉由氧自由基處理所形成的氧過剩區域上面形成非晶矽膜，則在介面處形成  $\text{SiO}_x$  ( $x > 0$ ) 的薄膜，由此可減小截止電流。

氧自由基可在電漿產生設備中藉由使用包含氧的氣體或者在臭氧產生設備中產生。藉由使薄膜曝露於所產生的氧自由基或氧，可修改膜表面。自由基處理並不侷限於使用氧自由基的處理，而是可使用氫和氧自由基來執行。使用氫和氧自由基的處理是加入氫氣體和氧氣體以產生電漿，因而修改薄膜表面。

通道保護層 43 可用作層間膜，它可阻擋濕氣、氫離子、 $\text{OH}^-$  等等。另外，由非晶矽膜形成的通道保護層 43 用作擋光層，阻擋光線入射到氧化物半導體層。

然後，較佳地執行 200°C 至 600°C，典型地爲 300°C 至 500°C 的熱處理。在這裏，熱處理在爐中以 350°C 在包含氧的氮氣氛中執行 1 小時。

然後，樹脂層 17 以 0.5  $\mu\text{m}$  至 3  $\mu\text{m}$  的範圍之內的厚度來



形成，以便覆蓋通道保護層 43。為關於樹脂層 17 的光敏或非光敏有機材料，使用聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯、或者任意這些材料的疊層。

注意，形成樹脂層 17 之後的步驟與實施例 2 相同，因而在這裏進行簡要描述。

然後，藉由 PCVD 方法或濺射方法在低功率條件下（或者在 200°C 或以下、較佳地從室溫到 100°C 的低基底溫度下）在樹脂層 17 之上形成厚度為 50 nm 至 400 nm 的第二保護絕緣層 18。或者，可使用高密度電漿設備，在低功率條件下，形成第二保護絕緣層 18。

然後，形成導電層。此後，執行微影步驟，以便在導電層之上形成抗蝕劑掩罩，並且藉由蝕刻去除不必要的部分，使得形成佈線和電極（包括第二閘極電極 19 等的佈線）。

藉由上述製程，可得到圖 6A 所示的薄膜電晶體 57。

圖 6B 與圖 6A 部分地不同。圖 6B 中，除不同部分之外、與圖 6A 相同的部分由相同參考標號來表示。

圖 6B 示出一實施例，其中，第二閘極電極 19 和第二保護絕緣層 18 按照與圖 6A 不同的順序來形成。

如圖 6B 所示，薄膜電晶體 58 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第

二閘極電極 19 以及通道保護層 43 和樹脂層 17 具有降低電漿對氧化物半導體層 26 的損傷之功效。

圖 6C 與圖 6A 部分地不同。圖 6C 中，除不同部分之外、與圖 6A 相同的部分由相同參考標號來表示。

圖 6C 示出一實施例，其中，在源極區及汲極區和源極及汲極電極層之間的位置關係與圖 6A 不同。源極區 27a（或者汲極區 27b）設置在源極電極層 28a（或者汲極電極層 28b）之下。源極電極層 28a（或者汲極電極層 28b）具有降低電漿對源極區 27a（或者汲極區 27b）的損傷之功效。

換言之，為關於用於降低對源極區和汲極區 27a、27b 的電漿損傷的阻擋層，在源極區和汲極區 27a、27b 之上形成四個層（源和汲極電極層 28a 和 28b、樹脂層 17、通道保護層 42 以及第二閘極電極 19）；因此，對源極區和汲極區 27a、27b 的電漿損傷進一步降低。

至於圖 6C 所示的薄膜電晶體 59，具有低電阻的氧化物半導體膜在第一閘極絕緣層 13 之上形成並且與其接觸，以及在其上形成導電膜。此後，使用與用於選擇性地蝕刻導電膜相同的抗蝕劑掩罩來蝕刻具有低電阻的氧化物半導體膜。因此，藉由蝕刻具有低電阻的氧化物半導體膜而形成的源極區和汲極區 27a、27b 的頂表面具有與在源極區和汲極區 27a、27b 之上形成的源極和汲極電極層 28a、28b 的頂表面幾乎相同的形狀。源極和汲極電極層 28a、28b 的頂表面和側表面形成為與氧化物半導體層 26 接觸。

圖 6D 與圖 6C 部分地不同。圖 6D 中，除不同部分之外

、與圖 6C 相同的部分由相同參考標號來表示。

圖 6D 示出一實施例，其中第二閘極電極 19 和第二保護絕緣層 18 按照與圖 6C 不同的順序來形成。

如圖 6D 所示，薄膜電晶體 60 的第二閘極電極 19 在作為第一保護絕緣膜的樹脂層 17 之上形成並與其接觸，並且設置在樹脂層 17 與第二保護絕緣層 18 之間。在第二閘極電極 19 設置在樹脂層 17 與第二保護絕緣層 18 之間的情況下，第二閘極電極 19 以及通道保護層 43 和樹脂層 17 具有降低電漿對氧化物半導體層 26 的損傷之功效。

本實施例可適當地結合其他實施例中所述的任意結構來實施。

#### ( 實施例 7 )

在實施例中，以下描述使用兩個 n 通道薄膜電晶體來形成驅動器電路中的反相器電路的一實施例。圖 7A 中的薄膜電晶體與實施例 1 的圖 1A 中的薄膜電晶體 20 相同，因而相同部分由相同參考標號來表示。

用於驅動像素部分的驅動器電路使用反相器電路、電容器、電阻器等形成。當兩個 n 通道 TFT 組合形成反相器電路時，存在下列組合：增強型電晶體和耗盡型電晶體的組合（下文中，由這種組合所形成的電路稱作 EDMOS 電路）以及增強型 TFT 的組合（下文中，由這種組合所形成的電路稱作 EEMOS 電路）。

圖 7A 示出驅動器電路的反相器電路的截面結構。注意

，圖 7A 和圖 7B 中的薄膜電晶體 20 和第二薄膜電晶體 431 是底閘極薄膜電晶體，並且舉例說明薄膜電晶體，其中佈線設置在氧化物半導體層之上，而將源極區或汲極區夾在其間。

圖 7A 中，第一閘極電極 11 和第三閘極電極 402 設置在基底 10 之上。可使用例如鉬、鈦、鉻、鋁、鎢、鋁、銅、鈳或鈳等金屬材料或者包含任意這些材料作為主要成份的合金材料，將第一閘極電極 11 和第三閘極電極 402 形成為具有單層結構或疊層結構。

此外，在覆蓋第一閘極電極 11 和第三閘極電極 402 的第一閘極絕緣層 13 之上，設置氧化物半導體層 16 和第二氧化物半導體層 407。

用作第一端子的電極層（源極電極層 15a）和用作第二端子的電極層（汲極電極層 15b）設置在氧化物半導體層 16 之上。用作第二端子的電極層藉由在第一閘極絕緣層 13 中形成的接觸孔 404 直接連接到第三閘極電極 402。另外，用作第三端子 411 的電極層設置在第二氧化物半導體層 407 之上。

薄膜電晶體 20 包括第一閘極電極 11 以及與第一閘極電極 11 重疊的氧化物半導體層 16，而以第一閘極絕緣層 13 設在第一閘極電極 11 與氧化物半導體層 16 之間。用作第一端子的電極層（源極電極層 15a）是有負電壓 VDL 施加於上的電源線（負電源線）。這個電源線可以是具有地電位的電源線（地電位電源線）。注意，在反相器電路中，在一

些情況下，取決於連接至用作第二端子的電極層（汲極電極層 15b）的佈線的電位，作為第一端子的電極層是汲極電極層，而作為第二端子的電極層是源極電極層，。

第二薄膜電晶體 431 包括第三閘極電極 402 以及與第三閘極電極 402 重疊的第二氧化物半導體層 407，以第一閘極絕緣層 13 設在第三閘極電極 402 與第二氧化物半導體層 407 之間。第三端子 411 是有正電壓 VDH 施加至其上的電源線（正電源線）。注意，在反相器電路中，在一些情況下，取決於連接到用作第二端子的電極層（汲極電極層 15b）的佈線的電位，作為第二端子的電極層是源極電極層，而作為第三端子 411 的電極層是汲極電極層，。

緩衝層 408a（又稱作源極區或汲極區）設置在第二氧化物半導體層 407 與汲極電極層 15b 之間。緩衝層 408b（又稱作汲極區或源極區）設置在第二氧化物半導體層 407 與第三端子 411 之間。

此外，圖 7B 是驅動器電路的反相器電路。圖 7B 中，沿虛線 Z1-Z2 截取的截面與圖 7A 對應。

在本實施例中，為了薄膜電晶體 20 可作為 n 通道增強型電晶體，第二閘極絕緣層（樹脂層 17 和第二保護絕緣層 18 的疊層）設置在氧化物半導體層 16 之上，並且第二閘極電極 19 設置在第二閘極絕緣層之上，使得薄膜電晶體 20 的閾值由施加到第二閘極電極 19 的電壓來控制。

此外，在本實施例中，第二閘極絕緣層（樹脂層 17 和第二保護絕緣層 18 的疊層）設置在第二氧化物半導體層

407之上，並且第四閘極電極470設置在第二閘極絕緣層之上，使得第二薄膜電晶體431的閾值由施加到第四閘極電極470的電壓來控制。

注意，圖7A和圖7B中示出的實施例中，用作第二端子的電極層（汲極電極層15b）經由在第一閘極絕緣層13中形成的接觸孔404直接連接到第三閘極電極402，但沒有特別地限制。用作第二端子的電極層（汲極電極層15b）可藉由分別設置的連接電極而電連接到第三閘極電極402。

注意，本實施例可與實施例1任意組合。

#### （實施例8）

在本實施例中，參照方丟圖、電路圖、顯示信號的電位變化的波形圖、頂視圖（佈局圖）等等，描述顯示裝置。

主動矩陣液晶顯示裝置的方塊圖的一實施例如圖8A所示。圖8A所示的液晶顯示裝置在基底800之上包括：像素部分801，包括均設有顯示元件的多個像素；掃描線驅動器電路802，控制連接到像素的閘極電極的掃描線；以及，信號線驅動器電路803，控制輸入到所選像素的視頻信號。各像素設有圖8B中的薄膜電晶體（下文中稱作TFT）804。TFT 804是採用第一控制信號G1和第二控制信號G2控制In端子與Out端子之間的電流的元件。注意，圖8B中的TFT 804的符號表示採用上述實施例1至6中任一實施例中所述的四個端子來控制的TFT，並且以下用於其他附圖

中。

注意，雖然這裏描述一模式，其中掃描線驅動器電路 802 和信號線驅動器電路 803 形成於顯示裝置中，但是，掃描線驅動器電路 802 的一部分可安裝在例如 IC 等半導體裝置之上。此外，信號線驅動器電路 803 的一部分可安裝在例如 IC 等半導體裝置之上。又進一步，多個掃描線驅動器電路 802 可設置在基底 800 之上。

圖 9 示出顯示裝置中的信號輸入端子、掃描線、信號線、包括非線性元件的保護電路和像素部分的位置關係。在具有絕緣表面的基底 820 之上，掃描線 823A 和控制線 832B 與像素部分 827 中的信號線 824 相交。像素部分 827 對應於圖 8A 中的像素部分 801。注意，控制線 823B 可與信號線 824 平行配置。

像素部分 827 包括以矩陣排列的多個像素 828。像素 828 包括連接到掃描線 823A、控制線 823B 和信號線 824 的像素 TFT（可稱作 TFT）829、儲存電容器 830 和像素電極 831。

在這裏，像素結構顯示一情況，其中，儲存電容器 830 的一個電極連接到像素 TFT 829，而儲存電容器 830 的另一個電極連接到電容器線 832。像素電極 831 用作驅動顯示元件（例如液晶元件、發光元件或者對比介質（電子墨水））的電極之一。顯示元件的另一個電極（又稱作對立電極）連接到公共端子 833。從公共端子，公共電位施加到顯示元件的另一個電極。

保護電路 835 設置在從像素部分 827 延伸的佈線與信號線輸入端子 822 之間。保護電路 835 還設置在掃描線驅動器電路 802 與像素部分 827 之間。在本實施例中，設置多個保護電路 835，使得像素 TFT 829 等在因靜電等而引起的突波電壓施加到掃描線 823A、控制線 823B、信號線 824 或者電容器線 832 時不會被損壞。因此，保護電路 835 形成為使得電荷在突波電壓被施加時釋放到公共佈線中。

在本實施例中，示出一實施例，其中，保護電路 835 設置在信號線輸入端子 822 近處。但是，保護電路 835 的位置和保護電路 835 是否存在並不侷限於該實施例。

上述實施例 1 至 6 的任一實施例中所述的 TFT 用作圖 9 的像素 TFT 829 提供下列優點。

上述實施例 1 至 6 的任一實施例中所述的 TFT 的設置允許 TFT 的閾值電壓受到控制和 / 或允許 TFT 的導通電流增加。

TFT 的閾值電壓控制的具體實施例如圖 18 至圖 20 所示。圖 18 示出控制線 823B 的電位處於浮動狀態時的 n 通道 TFT 的汲極電流 ( $I_d$ ) - 閘極電壓 ( $V_g$ ) 曲線和遷移率曲線，其中氧化物半導體用於半導體層。圖 18 中的 n 通道 TFT 藉由與實施例 2 相同的製程來製造。n 通道 TFT 具有通道長度為  $20\ \mu\text{m}$  並且通道寬度為  $20\ \mu\text{m}$  的底接觸型結構。圖 18 中的資料藉由汲極電壓 ( $V_d$ ) 為 1 V (圖表中的細線) 和 10 V (圖表中的粗線) 的測量來獲得。圖 19 示出控制線 823B 的電位為 0 V 時的 n 通道 TFT 的  $I_d$ - $V_g$  曲線和遷移率曲線，其中



氧化物半導體用於半導體層。圖 19 中的 n 通道 TFT 藉由與實施例 2 相同的製程來製造。n 通道 TFT 具有通道長度為  $20\ \mu\text{m}$  並且通道寬度為  $20\ \mu\text{m}$  的底接觸型結構。圖 19 中的資料藉由汲極電壓 ( $V_d$ ) 為  $1\ \text{V}$  (圖表中的細線) 和  $10$  (圖表中的粗線) 的測量來獲得。

從圖 18 和圖 19 中清楚地知道，圖 18 中，關於汲極電壓的  $I_d$ - $V_g$  曲線在控制線 823B 的電位處於浮動狀態的條件下大幅地偏移，而圖 19 中，關於汲極電壓的  $I_d$ - $V_g$  曲線在控制線 823B 的電位是  $0\ \text{V}$  的固定電位 (GND) 的條件下較少漂移。

根據圖 18 和圖 19，發現當控制線 823B 的電位設置成固定電位時，關於汲極電壓的 TFT 的  $I_d$ - $V_g$  曲線的偏移量可減小。

圖 20 示出在控制線 823B 的電位 G2 設置成固定電位並且固定電位變化的情況下的閾值電壓 ( $V_{th}$ ) 和上升電壓 (偏移值) 的特性。如圖 20 所示，藉由改變控制線 823B 的作為固定電位的電位 G2，TFT 的上升電壓和閾值電壓可受到控制。注意，雖然在圖 18 至圖 20 中示出實施例 2 中所述的底接觸型結構的資料，但是該資料不是特定用於 TFT 的結構。在實施例 1 和 3 至 6 的任一實施例中所述的 TFT 中，藉由改變控制線 823B 的作為固定電位的電位 G2，可控制上升電壓和閾值電壓。

注意，上升電壓 (偏移值) 定義為在亞閾值特性中的最大斜率的點處的  $I_d$ - $V_g$  曲線的切線與  $I_d = 1 \times 10^{-12}\ \text{A}$  的水平

線相交處的電壓值。

圖 10A 是示出施加到像素 828 的信號的電位變化的波形圖。參照圖 10A 來描述像素 828 的操作。圖 10A 示出連接到一個像素的掃描線 823A、控制線 823B、信號線 824 和電容器線 832 中每一者的電位的波形。在圖 10A 中，波形 G1 代表掃描線 823A 的電位變化，波形 G2 代表控制線 823B 的電位變化，波形 D 代表信號線 824 的電位變化，以及波形 COM 代表電容器線 832 的電位變化。採用代表時間的水平軸和代表電位的垂直軸，顯示那些波形隨時間的變化。注意，波形 G1 的高電源電位表示為  $V_1$ ，而波形 G1 的低電源電位表示為  $V_2$ 。波形 G2 的電位表示為  $V_c$ 。波形 D 的高電源電位表示為  $V_{D1}$ ，而波形 D 的低電源電位表示為  $V_{D2}$ 。波形 COM 的電位表示為  $V_{COM}$ 。如圖中所示，從波形 G1 變為  $V_1$  的時間直到波形 G1 在變為  $V_2$  之後再次變為  $V_1$  的時間週期對應於一格週期。此外，如圖中所示，從波形 G1 變為  $V_1$  的時間直到波形 G1 變為  $V_2$  的時間週期對應於一閘極選擇週期。

在圖 10A，在一格週期的一閘極選擇週期中，亦即，在掃描線 823A 具有  $V_1$  的時間週期中，像素 828 中的儲存電容器 830 使信號線 824 固持在從  $V_{D1}$  至  $V_{D2}$  範圍之內的電位。在圖 10A 中，在一格週期中閘極選擇週期除外的週期中，亦即，在掃描線 823A 具有  $V_2$  的時間週期中，像素 828 中的儲存電容器 830 固持一閘極選擇週期中輸入的電位，而與信號線 824 從  $V_{D1}$  至  $V_{D2}$  範圍之內的電位無關。注意，代表控制線 823B 的電位變化的波形 G2 較佳地保持在 823B 不會

引起由掃描線 823A 控制導通或截止的像素 TFT 829 誤動作的範圍之內的固定電位。藉由將控制線 823B 的電位  $V_c$  設置在  $V_{D2}$  或更低，較佳地在從  $V_2$  至  $V_{D2}$  的範圍之內，可防止由掃描線 823A 控制導通或截止的像素 TFT 829 的誤動作。

圖 10B 是在信號線 824 的電位在某個時間週期具有  $V_{D1}$  的情況下的電位變化的波形圖的另一實施例。圖 10B 與圖 10A 的不同之處在於具體示出表示信號線 824 的電位變化的波形 D，並且示出表示由像素 828 中的儲存電容器 830 所保持的電位的變化的波形  $C_{pix}$ 。在圖 10B 中，在波形 G1 變為  $V_1$  之前，波形 D 從  $V_{D2}$  變為  $V_{D1}$ ，然後波形 G1 變為  $V_1$ ，並且像素 828 中的儲存電容器 830 的電位上升，亦即，波形  $C_{pix}$  的電位上升。另外，圖 10B 中，在波形 G1 變為  $V_1$  之前，波形 D 從  $V_{D1}$  變為  $V_{D2}$ ，然後波形 G1 變為  $V_1$ ，並且像素 828 中的儲存電容器 830 的電位下降，亦即波形  $C_{pix}$  的電位下降。如果在波形 G1 變為  $V_1$  之前，波形 D 從  $V_{D2}$  變為  $V_{D1}$  或者從  $V_{D1}$  變為  $V_{D2}$ ，則可降低因信號延遲等而引起的誤動作。注意，在圖 10B 中，雖然存在波形 D 和波形  $C_{pix}$  處於相同電位的週期，但是為了清楚起見而將它們分別地顯示。

如圖 10A 和圖 10B 所示，藉由設置控制線 823B，像素 TFT 829 的閾值電壓可受到控制，同時獲得實施例 1 至 6 中任一實施例中所述的 TFT 的相似效果。具體來說，藉由將控制線 823B 的波形 G2 的電位設定在固定電位，可獲得具有穩定閾值電壓的 TFT，這是較佳的。

注意，圖 10A 和圖 10B 中示出提供給像素 828 的信號的

電位變化的波形圖只是實施例，並且可與其它驅動方法組合。舉例而言，可採用諸如反相驅動等驅動方法，其中施加上到像素電極的電壓的極性每隔一定週期按照公共電極的公共電位來反相。藉由反相驅動，可抑制例如影像的閃爍等不均勻顯示以及例如液晶材料等顯示元件的劣化。注意，為關於反相驅動的一實施例，可為源極線反相驅動、閘極線反相驅動、點反相驅動等以及格反相驅動。注意，為關於顯示方法，可採用漸進式方法、隔行掃描方法等。此外，一個像素可包括多個子像素。

圖 11 是圖 9 中的像素 828 的佈局圖的一實施例。圖 11 示出一實施例，其中薄膜電晶體的結構是實施例 1 中所述的通道蝕刻型。在圖 11 中，沿虛線 A-B 截取的截面與圖 1C 的截面圖對應。注意，圖 11 的像素的佈局圖顯示所謂的帶狀配置的一實施例，其中三種顏色 RGB（R 為紅色，G 為綠色，以及 B 為藍色）的像素沿掃描線 823A 配置。關於像素 828 的配置，可交替地使用  $\Delta$  或拜耳（Bayer）配置。注意，無需侷限於 RGB 三種顏色，可使用三種以上顏色。舉而言，可使用 RGBW（W 為白色）或者具有黃色、青色或品紅中的一種或多種顏色的 RGB。注意，像素中的顯示區域的面積在 RGB 的色彩元素之間可以是不同的。

圖 11 顯示像素電路，其包括：第一導電層 1101，用作充當掃描線 823A 的佈線和電容器線 832 的一電極；氧化物半導體層 1102，形成 TFT 829 的通道區；第二導電層 1103，用作充當信號線 824 的佈線和電容器線 832 的另一電極；

像素電極層 1104，用作像素電極 831；第三導電層 1105，用作充當控制線 823B 的佈線；以及開口 1106（稱作接觸孔），用於第二導電層 1103 與像素電極 831 之間的連接。雖然圖 11 顯示一結構，其中與第一導電層 1101 平行的第三導電層 1105 在氧化物半導體層 1102 之上延伸，但是可採用圖 12 中的結構，其中第三導電層 1105 設置成與第一導電層 1101 和氧化物半導體層 1102 重疊。當第三導電層 1105 由擋光導電材料形成時，第三導電層 1105 為在圖 12 的結構中可以比圖 11 的佈局圖中更為有效地作為擋光膜。

注意，圖 11 和圖 12 的佈局圖的一部分可經過修改，並且 TFT 的源極區或汲極區可具有 U 形或 C 形形狀。另外，用作第一閘極電極的第一導電層 1101 之通道長度方向的寬度大於氧化物半導體層 1102 的寬度。另外，用作第二閘極電極的第三導電層 1105 在通道長度方向的寬度小於第一導電層 1101 的寬度和氧化物半導體層 1102 的寬度。

圖 13 示出一實施例，其中像素 TFT 與掃描線之間的連接與圖 9 中不同。在圖 13 的實施例中，作為掃描線的第一閘極電極 11 以及作為控制線的第二閘極電極 19 具有相同電位，它們設置成將實施例 1 至 6 的任一實施例中所述的 TFT 中的氧化物半導體層夾在中間。注意，圖 13 中與圖 9 相同的部分不作重復說明。

圖 13 示出顯示裝置中的信號輸入端子、掃描線、信號線、包括非線性元件的保護電路和像素部分的位置關係。圖 13 與圖 9 的不同之處在於沒有提供控制線 823B，但是提

供與圖 9 的掃描線 823A 對應的掃描線 823。如圖 13 所示，藉由採用掃描線 823 控制像素 TFT，可省略控制線，這可減少佈線和信號線輸入端子 822 的數目。

圖 14 是波形圖，示出提供給圖 13 的像素 828 的信號的電位變化。參照圖 14 來描述圖 13 中的像素 828 的操作。圖 14 示出連接到一像素的掃描線 823、信號線 824 和電容器線 832 的每個的電位的波形。注意，在圖 14 中，為了闡明與圖 10A 的差別，掃描線 823 的電位分別示為第一閘極電極的電位和第二閘極電極的電位，它們設置成將 TFT 的氧化物半導體層夾在中間。在圖 14 中，波形 G1 代表第一閘極電極的電位變化，波形 G2 代表第二閘極電極的電位變化，波形 D 代表信號線 824 的電位變化，以及波形 COM 代表電容器線 832 的電位變化。採用代表時間的水平軸和代表電位的垂直軸示出那些波形隨時間的變化。注意，波形 G1 和波形 G2 的高電源電位表示為  $V_1$ ，而波形 G1 和波形 G2 的低電源電位表示為  $V_2$ 。波形 D 的高電源電位表示為  $V_{D1}$ ，而波形 D 的低電源電位表示為  $V_{D2}$ 。波形 COM 的電位表示為  $V_{COM}$ 。如圖中所示，從波形 G1 變為  $V_1$  時直到波形 G1 變為  $V_2$  之後再次變為  $V_1$  的時間長度相當於一格週期。此外，如圖中所示，從波形 G1 變為  $V_1$  時直到波形 G1 變為  $V_2$  的時間長度相當於一閘極選擇週期。

在圖 14 中，在一格週期中的一閘極選擇週期中，亦即，在波形 G1 和 G2 具有  $V_1$  時的時間長度中，像素 828 中的儲存電容器 830 固持信號線 824 的電位，其在  $V_{D1}$  至  $V_{D2}$  的範圍

之內。在圖 14 中，在一格週期中閘極選擇週期之外的週期中，即，在波形 G1 和 G2 具有  $V_2$  的時間長度中，像素 828 中的儲存電容器 830 固持一閘極選擇週期中輸入的電位，而與信號線 824 從  $V_{D1}$  至  $V_{D2}$  的範圍之內的電位無關。注意，在圖 14 中，雖然波形 G1 和波形 G2 處於相同電位，但是為了清楚起見而將它們分別示出。

藉由以圖 14 所示波形 G1 和波形 G2 處於相同電位的方式來驅動 TFT 829，可增加成為像素 TFT 829 中的通道的面積。因此，流經像素 TFT 829 的電流量增加，由此可實現顯示元件的高響應速度。為關於以波形 G1 和波形 G2 處於相同電位的方式來驅動像素 TFT 829 的結構，可為設有圖 15 所示的第一掃描線驅動器電路 802A 和第二掃描線驅動器電路 802B 的結構。在圖 15 的顯示裝置中，TFT 由第一掃描線驅動器電路 802A 和第二掃描線驅動器電路 802B 來控制，它們分別經由第一掃描線 823C 和第二掃描線 823D 而提供第一掃描信號和第二掃描信號給 TFT。

注意，圖 14 中顯示電位變化的波形圖是與圖 10A 和圖 10B 的波形圖相似的一實施例，並且可與另一驅動方法組合。舉例而言，可採用諸如反相驅動等驅動方法，其中施加到像素電極的電壓的極性每隔一定週期按照公共電極的公共電位來反相。藉由反相驅動，可抑制例如影像的閃爍等不均勻顯示以及例如液晶材料等顯示元件的劣化。注意，為關於反相驅動的施實例，可為源極線反相驅動、閘極線反相驅動、點反相驅動等以及格反相驅動。注意，為關

於顯示方法，可採用漸進式方法、隔行掃描方法等。此外，一像素可包括眾多子像素。

圖 16 是圖 13 中的像素 828 的佈局圖的一實施例。注意，圖 16 的像素的佈局圖示出所謂的帶狀配置的一實施例，其中三種顏色 RGB（R 為紅色，G 為綠色，以及 B 為藍色）的像素沿著掃描線 823A 配置。關於像素 828 的配置，可交替地使用  $\Delta$  或拜耳配置。注意，無需侷限於 RGB 三種顏色，可使用三種以上顏色。例如，可使用 RGBW（W 為白色）或者具有黃色、青色或品紅中的一種或多種顏色的 RGB。注意，像素中的顯示區域的面積在 RGB 的色彩元素之間可以是不同的。

圖 16 示出像素電路，其包括：第一導電層 1101，用作充當掃描線 823 的佈線和電容器線 832 的一電極；氧化物半導體層 1102，形成 TFT 829 的通道區；第二導電層 1103，用作充當信號線 824 的佈線和電容器線 832 的另一電極；像素電極層 1104，用作像素電極 831；第三導電層 1105，連接到第一導電層 1101；以及開口 1106（稱作接觸孔），用於第二導電層 1103 與像素電極 831 之間或者第一導電層 1101 與第三導電層 1105 之間的連接。雖然圖 16 示出之結構中，第三導電層 1105 設置在各 TFT 829 的氧化物半導體層 1102 之上，但是可採用圖 17 中第三導電層 1105 設置成與第一導電層 1101 和氧化物半導體層 1102 重疊的結構。當第三導電層 1105 由擋光導電材料形成時，第三導電層 1105 為在圖 17 的結構中比圖 16 的佈局圖中更為有效地作為擋光膜。



注意，圖 16 和圖 17 的佈局圖的一部分可經過修改，並且 TFT 的源極區或汲極區可具有 U 形或 C 形形狀。另外，圖 17 中，用作第一閘極電極的第一導電層 1101 在通道長度方向的寬度大於氧化物半導體層 1102 的寬度。另外，用作第二閘極電極的第三導電層 1105 在通道長度方向的寬度大於第一導電層 1101 的寬度，並且大於氧化物半導體層 1102 的寬度。

如到現在為止所述，藉由採用上述實施例 1 至 6 的任一實施例中所述的 TFT 結構，閾值電壓可受到控制，同時可獲得上述實施例中所述的效果。

注意，本實施例中關於各附圖的描述可適當地與另一實施例中的描述任意組合或者由其替代。

#### ( 實施例 9 )

在本實施例中，將發光顯示裝置的一實施例描述為包括上述實施例 1 至 6 的任一實施例中所述的電晶體的顯示裝置。為關於顯示裝置的顯示元件，在這裏描述利用電致發光的發光元件。利用電致發光的發光元件按照發光材料是有機化合物還是無機化合物來分類。前一種稱作有機 EL 元件，而後一種稱作無機 EL 元件。

在有機 EL 元件中，藉由向發光元件施加電壓，電子和電洞從一對電極分別注入包含發光有機化合物的層，並且電流流動。然後，那些載子（即電子和電洞）重新復合，因而激發發光有機化合物。當發光有機化合物從激發狀態

返回到基態時，發出光線。由於這種機制，這個發光元件稱作電流激發發光元件。

無機 EL 元件按照其元件結構分為分散型無機 EL 元件和薄膜類型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的微粒在黏合劑中分散，並且其發光機制是利用施子能階和受子能階的施子-受子復合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在介電層之間（介電層又夾在電極之間），並且其發光機制是利用金屬離子的內殼層電子躍遷的定域型（localized type）發光。注意，在這裏使用有機 EL 元件作為發光元件來進行描述。

圖 21 示出包括上述實施例 1 至 6 的任一實施例中所述的電晶體的發光顯示裝置的像素的一實施例。

描述發光顯示裝置中的像素的結構和操作。在本實施例中，一像素包括兩個 n 通道電晶體，在每一電晶體中，氧化物半導體層（通常為 In-Ga-Zn-O 為基礎的非單晶膜）用於通道形成區。

像素 6400 包括開關電晶體 6401（又稱作第一電晶體）、驅動器電晶體 6402（又稱作第二電晶體）、發光元件 6404 和電容器 6403。開關電晶體 6401 具有連接到掃描線 6406A 的第一閘極電極、連接到控制線 6406B 的第二閘極電極、連接到信號線 6405 的第一電極（源極電極層和汲極電極層其中之一）以及連接到驅動器電晶體 6402 的閘極的第二電極（源極電極層和汲極電極層中的另一個）。驅動器

電晶體 6402 具有藉由電容器 6403 連接到電源線 6407 的第一閘極電極、連接到控制線 6406B 的第二閘極電極、連接到電源線 6407 的第一電極以及連接到發光元件 6404 的第一電極（像素電極）的第二電極。發光元件 6404 的第二電極對應於公共電極 6408。公共電極 6408 電連接到設置在相同基底之上的公共電位線，並且連接部分可用作公共連接部分。

注意，發光元件 6404 的第二電極（公共電極 6408）設置成低電源電位。低電源電位是當設置到電源線 6407 的高電源電位為基準時小於高電源電位的電位。為關於低電源電位，舉例而言，可採用 GND、0 V 等。高電源電位與低電源電位之間的電位差施加到發光元件 6404，以便使電流流經發光元件 6404，使得發光元件 6404 發光。因此，每個電位設置成使得高電源電位與低電源電位之間的電位差等於或大於發光元件 6404 的順向閾值電壓。

注意，驅動器電晶體 6402 的閘極電容可用作電容器 6403 的替代，以致於可省略電容器 6403。驅動器電晶體 6402 的閘極電容可在通道區與閘極電極之間形成。

在執行類比灰度級驅動的情況下，等於或高於發光元件 6404 的順向電壓與驅動器電晶體 6402 的閾值電壓之和的電壓施加到驅動器電晶體 6402 的閘極。發光元件 6404 的順向電壓表示獲得預期亮度的電壓，並且至少包括順向閾值電壓。藉由輸入視頻信號以允許驅動器電晶體 6402 在飽和區域工作，電流可流經發光元件 6404。為了允許驅動器電

晶體 6402 在飽和區域工作，電源線 6407 的電位設置成高於驅動器電晶體 6402 的閘極電位。當使用類比視頻信號時，電流可按照視頻信號流經發光元件 6404，並且可以執行類比灰度級驅動。

如圖 21 所示，藉由提供控制線 6406B，開關電晶體 6401 和驅動器電晶體 6402 的閾值電壓可如同實施例 1 至 6 中的任一實施例所述的 TFT 中那樣來控制。具體來說，在驅動器電晶體 6402 中，輸入視頻信號，使得驅動器電晶體 6402 在飽和區域工作。因此，藉由控制線 6406B 的電位來控制閾值電壓，輸入視頻信號與發光元件的亮度之間因閾值電壓偏移而引起的偏差可減小。結果，可提高顯示裝置的顯示品質。

注意，開關電晶體 6401 用作開關，並且不是總是要求第二閘極的電位由控制線 6406B 來控制。

注意，像素結構並不侷限於圖 21 所示。舉例而言，開關、電阻器、電容器、電晶體、邏輯電路等可添加到圖 21 所示的像素中。

在數位灰度級驅動代替類比灰度級驅動的情況下，將視頻信號輸入到驅動器電晶體 6402 的閘極，使得驅動器電晶體 6402 完全導通或者完全截止。也就是說，驅動器電晶體 6402 在線性區域工作。由於驅動器電晶體 6402 在線性區域工作，所以比電源線 6407 的電壓更高的電壓施加到驅動器電晶體 6402 的閘極。注意，等於或高於電源線的電壓與驅動器電晶體 6402 的  $V_{th}$  之和的電壓施加到信號線 6405。

在這種情況中，可採用與圖 21 相同的結構。

接下來參照圖 22A 至圖 22C 以描述發光元件的結構。在這裏以 n 通道驅動器 TFT 為例來描述像素的截面結構。用作用於圖 22A 至圖 22C 所示的半導體裝置的驅動器 TFT 的 TFT 7001、7011 和 7021 可藉由與用於形成實施例 1 中所述的薄膜電晶體 20 的方法相似的方法來形成。TFT 7001、7011 和 7021 均包括氧化物半導體層以用於通道形成區。

爲了取出從發光元件所發出的光，陽極和陰極中的至少之一應當是透明的。有在與薄膜電晶體相同的基底之上形成發光元件的以下結構：頂部發光結構，其中光經由與基底相對的表面來取出；底部發光結構，其中光經由基底表面來取出；以及雙發光結構，其中光經由與基底相對的表面和基底表面來取出。像素結構可適用於具有任意這些發光結構的發光元件。

參照圖 22A 來描述具有頂部發光結構的發光元件。

圖 22A 是像素的截面圖，其中藉由實施例 1 中所述的製造薄膜電晶體的方法所形成的 TFT 7001 作爲像素中的驅動器 TFT，並且從電連接到 TFT 7001 的發光元件 7002 所發出的光經由陽極 7005 出來。TFT 7001 覆蓋有樹脂層 7017，其上設置由氮化矽膜所形成的第二保護絕緣層 7018。In-Zn-O 爲基礎的氧化物半導體用於 TFT 7001 中的氧化物半導體層。圖 22A 中，發光元件 7002 的陰極 7003 電連接到用作驅動器 TFT 的 TFT 7001，並且發光層 7004 和陽極 7005 按照這個順序堆疊在陰極 7003 之上。陰極 7003 可使用具有低功函

數且其導電膜會反射光的任何導電材料來形成。舉例而言，較佳地使用 Ga、Al、MgAg、AlLi 等等。

在圖 22A 中，由與陰極 7003 相同的材料形成的第二閘極電極 7009 與氧化物半導體層重疊，以便遮蔽氧化物半導體層免受光線影響。另外，第二閘極電極 7009 控制 TFT 7001 的閾值。由相同材料形成陰極 7003 和第二閘極電極 7009，步驟的數目可減少。

另外，設置由絕緣材料所形成的分隔物 (partition) 7006，以便防止第二閘極電極 7009 和陰極 7003 短路。發光層 7004 設置成與分隔物 7006 的一部分和陰極 7003 的曝露部分重疊。

發光層 7004 可使用單層或者多層的疊層來形成。當發光層 7004 使用多層來形成時，藉由在陰極 7003 之上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層和電洞注入層來形成發光層 7004。並非須要形成所有這些層。使用由例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫 (以下稱作 ITO)、氧化銦鋅或者添加了氧化矽的氧化銦錫等透光導電材料所形成的透光導電膜來形成陽極 7005。

發光元件 7002 對應於陰極 7003 和陽極 7005 將發光層 7004 夾在中間的區域。在圖 22A 所示的像素中，如箭頭所示般，光從發光元件 7002 發出，並且經過陽極 7005 出來。

接下來參照圖 22B 描述具有底部發光結構的發光元件。圖 22B 是像素的截面圖，其中藉由實施例 1 中所述的製造

薄膜電晶體的方法所形成的TFT作為像素中的驅動器TFT，並且從電連接到驅動器TFT 7011的發光元件7012所發出的光經過陰極7013出來。TFT 7011覆蓋有樹脂層7017，其上設置了由氮化矽膜所形成的第二保護絕緣層7018。In-Ga-Zn-O為基礎的氧化物半導體用於TFT 7011中的氧化物半導體層。圖22B中，發光元件7012的陰極7013在電連接至驅動器TFT 7011、具有透光性質的導電膜7010之上形成，並且發光層7014和陽極7015依序堆疊在陰極7013之上。注意，當陽極7015具有透光性質時，用於反射或阻擋光線的阻擋膜7016可形成以覆蓋陽極7015。對於陰極7013，可如圖22A的情況中那樣使用具有低功函數的導電材料的任一種。注意，陰極7013形成為具有使光可透射過陰極7013的厚度（較佳地大約從5 nm至30 nm）。舉例而言，厚度為20 nm的鋁膜可用作陰極7013。如圖22A的情況中那樣，發光層7014可由單層或者多層的疊層來形成。陽極7015無需透射光線，而是如圖22A的情況中那樣可使用透光導電材料來形成。對於阻擋膜7016，可使用反射光線的金屬等；但是並不侷限於金屬膜。舉例而言，可使用添加了黑色顏料的樹脂等。

在圖22B中，由與具有透光性質的導電膜7010相同的透光導電材料所形成的第二閘極電極7019與氧化物半導體層重疊。在本實施例中，包含SiO<sub>x</sub>的氧化銦錫用作第二閘極電極7019的材料。另外，第二閘極電極7019控制TFT 7011的閾值。由相同材料形成具有透光性質的導電膜7010

和第二閘極電極 7019，步驟的數目可減少。此外，由設置在第二閘極電極 7019 之上的阻擋膜 7016 來遮蔽 TFT 7011 中的氧化物半導體層免受光線影響。

發光元件 7012 對應於陰極 7013 和陽極 7015 將發光層 7014 夾在中間的區域。在圖 22B 所示的像素中，如箭頭所示，光從發光元件 7002 發出，並且經過陰極 7013 出來。

接下來參照圖 22C 描述具有雙發光結構的發光元件。圖 22C 是像素的截面圖，其中藉由實施例 1 中所述的製造薄膜電晶體的方法所形成的 TFT 7021 作為像素中的驅動器 TFT，並且從電連接到 TFT 7021 的發光元件 7022 所發出的光經過陽極 7025 和陰極 7023 出來。TFT 7021 覆蓋有樹脂層 7017，其上設置了由氮化矽膜所形成的第二保護絕緣層。Zn-O 為基礎的氧化物半導體用於 TFT 7021 中的氧化物半導體層。

另外，發光元件 7022 的陰極 7023 形成於經由連接電極 7028 電連接到 TFT 7021 之具有透光性質的導電膜 7027 之上。發光層 7024 和陽極 7025 依此次序堆疊在陰極 7023 之上。對於陰極 7023，可如圖 22A 的情況中那樣使用具有低功函數的導電材料的任一種。注意，陰極 7023 形成至具有使光透射過陰極 7023 的厚度。舉例而言，厚度為 20 nm 的 Al 膜可用作陰極 7023。如圖 22A 的情況中那樣，發光層 7024 可由單層或者多層的疊層來形成。陽極 7025 可如圖 22A 的情況中那樣使用透光導電材料來形成。

發光元件 7022 對應於陰極 7023 和陽極 7025 將發光層



7024夾在中間的區域。在圖22C所示的像素中，如箭頭所示，光從發光元件7022發出，並且通過陽極7025和陰極7023出來。

在圖22C中，第二閘極電極7029與氧化物半導體層重疊。為關於第二閘極電極7029的材料，使用透光導電材料（例如鈦、氮化鈦、氮化鋁或者鎢）。在本實施例中，鈦膜用作第二閘極電極7029的材料。另外，第二閘極電極7029控制TFT 7021的閾值。由第二閘極電極7029來遮蔽TFT 7021中的氧化物半導體層免受光線影響。與用於第二閘極電極7029相同的Ti膜用於電連接到TFT 7021的連接電極7028。

雖然有機EL元件在這裏描述為發光元件，但是可替代地設置無機EL元件作為發光元件。

注意，這個實施例描述控制發光元件的驅動的薄膜電晶體（驅動器TFT）電連接到發光元件的一實施例，但是可採用電流控制TFT連接在驅動器TFT與發光元件之間的結構。

接下來，將參照圖23A和圖23B描述半導體裝置的一種模式的發光顯示面板（又稱作發光面板）的外觀和截面。圖23A是面板的頂視圖，其中，在第一基底之上的薄膜電晶體和發光元件由密封劑密封在第一基底與第二基底之間。圖23B是沿圖23A的H-I的截面圖。

密封劑4505設置成以便圍繞設置在第一基底4500之上的像素部分4502、信號線驅動器電路4503a和4503b以及掃

描線驅動器電路 4504a 和 4504b。另外，第二基底 4506 設置在像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 之上。因此，藉由第一基底 4500、密封劑 4505 和第二基底 4506，像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 與填充物 4507 密封在一起。依此方式，較佳的是，發光顯示面板可由保護膜（例如貼合膜或紫外線可固化樹脂膜）或者具有高氣密性和極小脫氣性的覆蓋材料來封裝（密封），以便不會曝露於外部空氣。

在第一基底 4500 之上形成的像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 各包括多個薄膜電晶體。在圖 23B 中舉例說明像素部分 4502 中包含的薄膜電晶體 4510 和信號線驅動器電路 4503a 中包含的薄膜電晶體 4509 為。

薄膜電晶體 4509 和 4510 包括 Zn-O 為基礎的氧化物半導體。在本實施例中，薄膜電晶體 4509 和 4510 是 n 通道薄膜電晶體。薄膜電晶體 4509 和 4510 由與氧化物半導體層接觸的樹脂層 4508 覆蓋，並且由樹脂層 4508 之上的第二保護絕緣層 4514 覆蓋。由氮化矽膜所形成的第二保護絕緣層 4514 形成為覆蓋樹脂層的頂和側表面，並且與第一閘極絕緣層 4501 接觸，用於像素部分外部的密封。此外，用作第二閘極電極的導電層 4522 設置在薄膜電晶體 4509 之上。另外，用作第二閘極電極的導電層 4521 設置在薄膜電晶體 4510 之上。導電層 4521 和導電層 4522 不僅控制薄膜電晶體的閾值

，而且還用作氧化物半導體層的保護層。

導電層 4522 的寬度大於薄膜電晶體 4509 的閘極電極的寬度，並且閘極電壓可從第二閘極電極施加到整個氧化物半導體層。在擋光導電膜用作導電層 4522 的情況下，可遮蔽薄膜電晶體 4509 的氧化物半導體層免受光線影響。在具有擋光性質的導電層 4522 用作第二閘極電極的情況下，可防止因氧化物半導體的光敏性而引起的薄膜電晶體的電特性的變化，並且因而可使電特性穩定。

此外，導電層 4521 的寬度與導電層 4522 的寬度不同，並且小於薄膜電晶體 4510 的閘極電極的寬度。藉由使導電層 4521 的寬度小於薄膜電晶體 4510 的閘極電極的寬度，導電層 4521 與源極電極層或汲極電極層重疊的面積減小，由此寄生電容可減小。導電層 4521 的寬度小於薄膜電晶體 4510 的氧化物半導體層的寬度；因此，僅遮蔽氧化物半導體層的一部分免受光線影響，但是第二電極層 4513 設置在導電層 4521 之上，以便遮蔽氧化物半導體層的整個部分免受光線影響。

此外，參考標號 4511 代表發光元件。作為發光元件 4511 中包含的像素電極的第一電極層 4517 電連接到薄膜電晶體 4510 的源極或汲極電極層。注意，雖然在本實施例中，發光元件 4511 具有第一電極層 4517、電致發光層 4512 和第二電極層 4513 的堆疊結構，但是發光元件 4511 的結構並不侷限於此。發光元件 4511 的結構可根據從發光元件 4511 取出光的方向等適當地改變。

分隔物 4520 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成。特別較佳的是，分隔物 4520 使用光敏材料來形成，以便在第一電極層 4517 上具有開口，使得開口的側壁形成為具有連續曲率的斜面。

電致發光層 4512 可使用單層或者多層的疊層來形成。

爲了防止氧、氫、濕氣、二氧化碳等進入發光元件 4511，保護膜可在第二電極層 4513 和分隔物 4520 之上形成。爲關於保護膜，可形成氮化矽膜、氮化氧化矽膜、DLC 膜等等。

另外，各種信號和電位從 FPC 4518a 和 4518b 提供給信號線驅動器電路 4503a 和 4503b、掃描線驅動器電路 4504a 和 4504b 或者像素部分 4502。

在本實施例中，連接端子電極 4515 使用與發光元件 4511 中包含的第一電極層 4517 相同的導電膜來形成。端子電極 4516 使用與薄膜電晶體 4509 和 4510 中包含的源極和汲極電極層相同的導電膜來形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC 4518a 中包含的端子。

位於從發光元件 4511 取出光的方向的第二基底需要具有透光性質。在那種情況下，可使用例如玻璃板、塑膠板、聚酯膜或丙烯酸膜等透光材料。

爲關於填充物 4507，可使用紫外線可固化樹脂或熱固樹脂以及例如氮或氫等惰性氣體。舉例而言，可使用聚氯乙烯 (PVC)、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、

聚乙烯醇縮丁醛（PVB）或乙烯醋酸乙烯酯（EVA）。在本實施例中，氮用於填充物。

另外，在需要時，例如偏振板、圓偏振板（包括橢圓偏振板）、延遲板（四分之一波片或半波片）或濾色器等光學膜可適當地設置在發光元件的發光表面上。此外，偏振板或圓偏振板可設有抗反射膜。舉例而言，可執行防眩光處理，藉由防眩光處理，反射光經由表面的凹陷和凸出而被散射，以便降低眩光。

為可安裝藉由使用在分別製備的基底之上的單晶半導體膜或多晶半導體膜所形成的驅動器電路，以作為信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b。另外，只有信號線驅動器電路或其部分或者僅掃描線驅動器電路或其部分可分別形成然後再安裝。本實施例並不侷限於圖 23A 和圖 23B 所示的結構。

經由上述步驟，可製造作為半導體裝置的極可靠發光裝置（顯示面板）。

本實施例可適當地結合其他實施例中所述的任意結構來實施。

#### （實施例 10）

可製造包括實施例 1 至 6 的任一實施例中描述的氧化物半導體層的薄膜電晶體，並且可以不僅在驅動器電路中而且還在像素部分中使用薄膜電晶體來製造具有顯示功能的液晶顯示裝置。此外，在與像素部分相同的基底之上形成

使用薄膜電晶體的驅動器電路的部分或全部，由此可獲得面板上系統。液晶顯示裝置包括作為顯示元件的液晶元件（又稱作液晶顯示元件）。

另外，液晶顯示裝置包括密封有顯示元件的面板、以及模組，在模組中，包括控制器的IC等安裝到面板上。液晶顯示裝置還包括在液晶顯示裝置的製程中完成顯示元件之前的元件基底的一種模式，並且該元件基底設有向多個像素的每個中的顯示元件提供電流的機構。具體來說，元件基底可處於僅形成顯示元件的像素電極之後的狀態、形成將要作為像素電極的導電膜之後但在將導電膜蝕刻成像素電極之前的狀態、或者任何其他狀態。

本說明書中的液晶顯示裝置指的是影像顯示裝置、顯示裝置或者光源（包括照明裝置）。此外，液晶顯示裝置在其類別中還包括任意以下模組：有例如可撓印刷電路（FPC）、帶式自動接合（TAB）帶或者帶載封裝（TCP）等連接器與其附著的模組；具有端部設置了印刷線路板之TAB帶或TCP的模組；以及，積體電路（IC）藉由玻璃上晶片（COG）方法直接安裝到顯示元件上的模組。

將參照圖24A1、圖24A2和圖24B來描述作為液晶顯示裝置的一實施例的液晶顯示面板的外觀和截面。圖24A1和圖24A2是液晶元件4013在第一基底4001與第二基底4006之間採用密封劑4005進行密封的面板的頂視圖。圖24B是沿圖24A1和圖24A2的M-N截取的截面圖。

密封劑4005設置成以便圍繞設置在第一基底4001之上

的像素部分 4002 和掃描線驅動器電路 4004。第二基底 4006 設置在像素部分 4002 和掃描線驅動器電路 4004 之上。因此，像素部分 4002 和掃描線驅動器電路 4004 以及液晶層 4008 在第一基底 4001 與第二基底 4006 之間採用密封劑 4005 進行密封。在本實施例中藍相液晶材料用於液晶層 4008，但非特別限定。呈現藍相的液晶材料從沒有施加電壓的狀態到施加電壓的狀態具有 1 毫秒或以下的短回應時間，由此短時間回應是可能的。藍相液晶材料包括液晶和手性試劑。手性試劑用於將液晶排列成螺旋結構，以及使液晶呈現藍相。舉例而言，混有 5 wt% 或以上的手性試劑的液晶材料可用於液晶層。為關於液晶，可使用熱致液晶、低分子液晶、高分子液晶、鐵電液晶、反鐵電液晶等等。

在圖 24A1 中，藉由使用在基底之上分別製備的單晶半導體膜或多晶半導體膜而形成的信號線驅動器電路 4003 安裝在第一基底 4001 之上與密封劑 4005 所圍繞的區域不同的區域中。相比之下，圖 24A2 示出信號線驅動器電路的一部分在第一基底 4001 之上形成的一實施例。在圖 24A2 中，信號線驅動器電路 4003b 在第一基底 4001 之上形成，並且藉由使用在基底之上分別製備的單晶半導體膜或多晶半導體膜所形成的信號線驅動器電路 4003a 安裝在第一基底 4001 之上。

注意，對於分別形成的驅動器電路的連接方法沒有特別限制，並且可使用 COG 方法、導線接合方法、TAB 方法等。圖 24A1 示出信號線驅動器電路 4003 藉由 COG 方法來安

裝的一實施例，而圖 24A2 示出信號線驅動器電路 4003 藉由 TAB 方法來安裝的一實施例。

設置在第一基底 4001 之上的像素部分 4002 和掃描線驅動器電路 4004 均包括多個薄膜電晶體。圖 24B 示出像素部分 4002 中包含的薄膜電晶體 4010 和掃描線驅動器電路 4004 中包含的薄膜電晶體 4011。樹脂層 4021 設置在薄膜電晶體 4010 和 4011 之上。為關於薄膜電晶體 4010 和 4011，可採用在實施例 1 至 6 的任一實施例中描述的薄膜電晶體。在本實施例中，薄膜電晶體 4010 和 4011 均是 n 通道薄膜電晶體，均包括氧化物半導體以用於通道形成區。

薄膜電晶體 4010 和 4011 為由作為第一保護絕緣層的樹脂層 4021 以及第二保護絕緣層 4022 覆蓋。為作為第一保護絕緣層的樹脂層 4021 設置在薄膜電晶體 4010 和 4011 的氧化物半導體層以及第一閘極絕緣層 4020 之上並且與其接觸。

可用作平坦化絕緣膜的樹脂層 4021 可由例如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧樹脂等具有耐熱性的有機材料來形成。為關於這類有機材料的替代，能夠使用低介電常數材料（低 k 材料）、矽氧烷基樹酯、磷矽酸鹽玻璃（PSG）、硼磷矽酸鹽玻璃（BPSG）等。注意，可藉由堆疊由任意這些材料所形成的多個絕緣膜，來形成平坦化絕緣膜。

用於形成堆疊絕緣膜的方法並不侷限於特定方法，而是可根據材料來使用下列方法：濺射方法、SOG 方法、旋塗、浸塗、噴塗、微滴排放方法（例如噴墨方法、絲網印



刷或膠印)、塗膠刀、輥塗機、幕塗機、刮刀式塗層機等。

注意，設置第二保護絕緣層4022，以便防止空氣中漂浮的例如有機物質、金屬物質或濕氣等雜質進入，並且較佳地是緻密膜。可藉由PCVD方法或濺射方法，使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮化氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或者氮化氧化鋁膜的單層或疊層來形成保護膜。

樹脂層4021是透光樹脂層，並且在本實施例中使用光敏聚醯亞胺樹脂。此外，第二保護絕緣層4022是藉由PCVD方法在低功率條件下所得到的氮化矽膜。此外，作為氮化矽膜的基底絕緣層4007以及第二保護絕緣層4022在像素部分外部相互接觸，以便包圍樹脂層4021。因此，藉由採用氮化矽膜來封裝薄膜電晶體4010和4011，薄膜電晶體4010和4011的可靠性得到提高。

此外，第二閘極電極4028在第二保護絕緣層4022之上形成，並且處於與薄膜電晶體4011的氧化物半導體層重疊的位置。第二閘極電極4029在第二保護絕緣層4022之上形成，並且處於與薄膜電晶體4010的氧化物半導體層重疊的位置。

另外，像素電極層4030和公共電極層4031在第一基底4001之上形成。像素電極層4030電連接到薄膜電晶體4010。第二閘極電極4028和4029可具有與公共電極層4031相同的電位。第二閘極電極4028和4029可在與公共電極層4031

相同的步驟中形成。此外，如果第二閘極電極 4028 和 4029 使用擋光導電膜來形成，則它們還可用作遮蔽薄膜電晶體 4011 和 4010 的氧化物半導體層免受光線影響的擋光層。

替代地，第二閘極電極 4028 和 4029 可具有與公共電極層 4031 不同的電位。在這種情況下，提供電連接到第二閘極電極 4028 和 4029 的控制線，並且薄膜電晶體 4011 和 4010 的閾值電壓採用控制線的電位來控制。

液晶元件 4013 包括像素電極層 4030、公共電極層 4031 和液晶層 4008。在本實施例中，使用一方法，其中，藉由產生與基底實質上平行（亦即，在橫向上）的電場，控制灰階，以便在與基底平行的平面中移動液晶分子。在此方法中，可使用共面轉換（IPS）模式或者邊緣場轉換（FFS）模式中使用的電極結構。注意，偏振板 4032 和 4033 分別設置在第一基底 4001 和第二基底 4006 的外側。

關於為第一基底 4001 和第二基底 4006，可使用具有透光性質的玻璃、塑膠等等。關於為塑膠，可使用玻璃纖維增強塑膠（FRP）板、聚氟乙烯膜、聚酯膜或丙烯酸樹脂膜。替代地，可使用具有鋁箔夾在 PVF 膜或聚酯膜中間的薄片。

參考標號 4035 表示藉由選擇性地蝕刻絕緣膜所得到的柱狀隔離件，並且設置用於控制液晶層 4008 的厚度（胞間隙）。注意，可使用球形隔離件。柱狀隔離件 4035 定位成與第二閘極電極 4029 重疊。

圖 24A1、圖 24A2 和圖 24B 示出液晶顯示裝置的實施例

，其中偏振板設置在基底的外側（觀看側）；但是，偏振板可設置在基底的內側。可根據偏振板的材料和製程的條件適當地確定偏振板的位置。此外，可設置用作黑矩陣的擋光層。

在圖 24A1、圖 24A2 和圖 24B 中，擋光層 4034 設置在第二基底 4006 上面，以便與薄膜電晶體 4010 和 4011 重疊。藉由設置擋光層 4034，可進一步增進薄膜電晶體的對比度和穩定性。

當設置擋光層 4034 時，薄膜電晶體的半導體層上的入射光的強度可被衰減。因此，可防止薄膜電晶體的電特性因氧化物半導體的光敏性而變化，並且可使其穩定。

可由例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下稱作 ITO）、氧化銦鋅或添加了氧化矽的氧化銦錫等透光導電材料來形成像素電極層 4030、公共電極層 4031、第二閘極電極 4028 和 4029。

包含導電高分子（又稱作導電聚合物）的導電成分也可用於像素電極層 4030、公共電極層 4031 和第二閘極電極 4028 和 4029。

各種信號和電位從 FPC 4018 提供給分別形成的信號線驅動器電路 4003、掃描線驅動器電路 4004 和像素部分 4002。

此外，由於薄膜電晶體易於被靜電等損壞，所以用於保護驅動器電路的保護電路較佳地設置在閘極線或源極線

的相同基底之上。保護電路較佳地由使用氧化物半導體的非線性元件來形成。

在圖 24A1、圖 24A2和圖 24B中，連接端子電極 4015使用與像素電極層 4030相同的導電膜來形成，並且端子電極 4016使用與薄膜電晶體 4010和 4011的源極和汲極電極層相同的導電膜來形成。

連接端子電極 4015藉由各向異性導電膜 4019電連接到 FPC 4018中包含的端子。

圖 24A1、圖 24A2和圖 24B非限制性地示出一實施例，其中，信號線驅動器電路 4003分別形成並且安裝到第一基底 4001上。掃描線驅動器電路可分別形成然後再安裝，或者只有信號線驅動器電路的一部分或者掃描線驅動器電路的一部分可分別形成然後再安裝。

圖 25示出液晶顯示裝置的截面結構的一實施例，其中，採用密封劑 2602將元件基底 2600和對立基底 2601相互貼合，並且包括 TFT等的元件層 2603和液晶層 2604設置在基底之間。

在執行彩色顯示的情況下，發出多種顏色的光線的發光二極體排列在背光部分。在 RGB模式的情況下，紅色發光二極體 2910R、綠色發光二極體 2910G和藍色發光二極體 2910B設置在液晶顯示裝置的顯示區域被分割成的複數個區域中的每一區域中。

偏振板 2606設置在對立基底 2601的外側，並且偏振板 2607和光學片 2613設置在元件基底 2600的外側。光源使用

紅色發光二極體 2910R、綠色發光二極體 2910G、藍色發光二極體 2910B和反射板 2611來形成。為電路基底 2612所提供的 LED 控制電路 2912經由可撓線路板 2609連接到元件基底 2600的線路電路部分 2608，並且還包括例如控制電路或電源電路等外部電路。

本實施例描述場序液晶顯示裝置，其中沒有特別限制地藉由這個 LED 控制電路 2912使這些 LED 獨立地發光。還有可能使用冷陰極螢光燈或白色 LED 作為背光的光源，以及提供濾光器。

此外，並非特別限制，本實施例採用共面轉換（IPS）模式中使用的電極結構。可使用扭轉向列（TN）模式、多區域垂直排列（MVA）模式、圖型化垂直排列（PVA）模式、軸向對稱排列微單元（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等等。

這個實施例可適當地結合其他實施例中所述的任意結構來實現。

#### （實施例 11）

在這個實施例中，電子紙的一實施例描述為包括多個薄膜電晶體（包含氧化物半導體層）的半導體裝置。

圖 26A 是示出主動矩陣電子紙的截面圖。作為半導體裝置的顯示部分中使用的薄膜電晶體 581，可採用實施例 1 至 6 的任一實施中描述的薄膜電晶體。

圖 26A 的電子紙是採用扭轉球顯示系統的顯示裝置的一實施例。扭轉球顯示系統指的是一方法，其中，各以黑色和白色著色的球形粒子配置在作為用於顯示元件的電極層的第一電極層與第二電極層之間，並且在第一電極層與第二電極層之間產生電位差，以便控制球形粒子的取向，以執行顯示。

在基底 580 與基底 596 之間密封的薄膜電晶體 581 具有底閘極結構。第一電極層 587 藉由在第二保護絕緣層 586 和樹脂層 585 中形成的開口電連接到源極或汲極電極層。在第一電極層 587 與第二電極層 588 之間，提供各具有黑色區域 590a、白色區域 590b 以及區域周圍填充有液體的腔室的球形粒子 589。球形粒子 589 周圍的空隙填充有例如樹脂等填充物 595（參見圖 26A）。

第二閘極電極 582 在覆蓋薄膜電晶體 581 的樹脂層 585 之上形成。另外，第二保護絕緣層 586 形成為覆蓋第二閘極電極 582。薄膜電晶體 581 的氧化物半導體層由用作第一保護絕緣層的樹脂層 585、第二閘極電極 582 和第二保護絕緣層 586 來保護。

在本實施例中，第一電極層 587 對應於像素電極，而第二電極層 588 對應於公共電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 相同的基底 580 之上的公共電位線。藉由使用公共連接部分，第二電極層 588 可經由設置在基底對 580 與 596 之間的導電粒子電連接到公共電位線。

可使用電泳元件代替扭轉球。使用直徑大約為 10  $\mu\text{m}$

至 200  $\mu\text{m}$ 、其中封裝透明液體、帶正電的白色微粒和帶負電的黑色微粒的微膠囊。在設置於第一電極層與第二電極層之間的微膠囊中，當電場由第一電極層和第二電極層施加時，白色微粒和黑色微粒遷移到彼此相對側，以致於可顯示白色或黑色。使用這種原理的顯示元件是電泳顯示元件，並且稱作電子紙。電泳顯示元件具有比液晶顯示元件更高的反射率，因此輔助光是不必要的，功耗低，並且在昏暗位置可識別顯示部分。另外，甚至當電力沒有提供給顯示部分時，也可保持曾經已經顯示的影像。因此，即使具有顯示功能的半導體裝置（它可簡單地稱作顯示裝置或者提供有顯示裝置的半導體裝置）遠離電波源，也可儲存所顯示的影像。

藉由使用經由實施例 1 至 6 的任一實施例中所述的製程所製造的薄膜電晶體作為開關元件，可以以低成本來製造作為半導體裝置的電子紙。電子紙可用於顯示資訊的各種領域的電子設備。舉例而言，電子紙可用於電子書閱讀器（電子書閱讀器）、海報、例如火車等車輛中的廣告、例如信用卡等各種卡的顯示器。這種電子設備的一實施例如圖 26B 所示。

圖 26B 示出電子書閱讀器 2700 的一實施例。舉例而言，電子書籍閱讀器 2700 包括兩個殼體 2701 和 2703。殼體 2701 和 2703 與鉸鏈 2711 結合，使得電子書閱讀器 2700 可沿鉸鏈 2711 開啓和閉合。經由這種結構，可像紙書一樣來操縱電子書閱讀器 2700

顯示部分 2705 結合在殼體 2701 中，而顯示部分 2707 結合在殼體 2703 中。顯示部分 2705 和顯示部分 2707 可顯示一個影像或者不同影像。在不同的影像顯示於顯示部分 2705 和顯示部分 2707 的結構中，舉例而言，右顯示部分（圖 26B 中的顯示部分 2705）可顯示文字，而左顯示部分（圖 26B 中的顯示部分 2707）可顯示圖像。

圖 26B 示出殼體 2701 設有操作部分等的一實施例。舉例而言，殼體 2701 設有電源開關 2721、操作按鍵 2723、喇叭 2725 等等。可採用操作按鍵 2723 來翻頁。注意，鍵盤、指標裝置等可設置在與殼體的顯示部分相同的平面上。此外，殼體的後表面或側表面可設有外部連接端子（耳機端子、USB 端子、可與例如 AC 適配器或 USB 纜線等各種纜線連接的端子等等）、儲存媒體插入部等。此外，電子書閱讀器 2700 可具有電子詞典的功能。

此外，電子書閱讀器 2700 可無線發送和接收資料。能以無線方式從電子書伺服器購買和下載所需的書籍資料等。

本實施例可適當地結合其他實施例中所述的結構的任一結構來實施。

#### （實施例 12）

具有藉由實施例 1 至 6 的任一實施例中描述的製程所製造的薄膜電晶體的半導體裝置可適用於各種電子設備（包括遊戲機）。電子設備的實施例可為電視機（又稱作電視



或電視接收器)、電腦等的監視器、例如數位相機或數位攝影機等相機、數位相框、蜂巢式電話(又稱作行動電話或行動電話機)、可攜式遊戲控制臺、可攜式資訊終端、音頻播放裝置、例如彈珠台等大型遊戲機等等。

圖 27A 示出電視裝置 9601 的一實施例。顯示部分 9603 併入到電視裝置 9601 的殼體中。顯示部分 9603 可顯示影像。在這裏，殼體的後部受到支承，使得電視裝置 9601 固定到牆壁 9600。

電視裝置 9601 可由殼體的操作開關或者分開的遙控器 9610 操作。頻道和音量可採用遙控器 9610 的操作按鍵 9609 來控制，並且在顯示部分 9603 上顯示的影像可受到控制。此外，遙控器 9610 可具有顯示部分 9607，其上顯示從遙控器 9610 輸出的資訊。

注意，電視裝置 9601 設有接收器、數據機等等。藉由接收器，可接收一般電視廣播。此外，當顯示裝置經由數據機而有線地或無線地連接到通信網路時，可執行單向(從發送器到接收器)或雙向(在發送器與接收器之間或者在接收器之間)資訊通信。

圖 27B 示出包括殼體 9881 和殼體 9891 的可攜式遊戲控制臺，其中殼體 9881 和殼體 9891 採用連接器 9893 聯接以便被開啓和閉合。顯示部分 9882 和顯示部分 9883 分別結合在殼體 9881 和殼體 9891 中。圖 27B 所示的可攜式遊戲控制臺還包括喇叭部分 9884、儲存媒體插入部分 9886、LED 燈 9890、輸入部件(操作按鍵 9885、連接端子 9887、感測器

9888 (具有測量力、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流率、濕度、梯度、振動、氣味或紅外線的功能)和麥克風 9889)等。不用說,可攜式遊戲控制臺的結構並不侷限於以上所述,而可以是設有至少半導體裝置的任何結構。可攜式遊戲控制臺可適當地包括其他輔助設備。圖 27B 所示的可攜式遊戲控制臺具有讀取儲存媒體儲存的程式或資料以將它顯示在顯示部分上的功能以及經由無線通信與另一個可攜式遊戲控制臺共用資訊的功能。圖 27B 的可攜式遊戲控制臺可具有與以上所述不同的各種功能。

圖 28A 示出蜂巢式電話 1000 的一實施例。蜂巢式電話 1000 包括併有顯示部分 1002 中的殼體 1001、操作按鈕 1003、外部連接埠 1004、喇叭 1005、麥克風 1006 等等。

可藉由用手指等觸摸顯示部分 1002,將資訊輸入到圖 28A 所示的蜂巢式電話 1000。此外,用戶可藉由其手指等觸摸顯示部分 1002 來打電話或者寫電子郵件。

主要有三種顯示部分 1002 的螢幕模式。第一模式是主要用於顯示影像的顯示模式。第二模式是主要用於輸入例如文字等資訊的輸入模式。第三模式是顯示和輸入模式,其中結合了顯示模式和輸入模式這兩種模式。

舉例而言,在撥打電話或者寫電子郵件的情況下,顯示部分 1002 設置成主要用於輸入文字的文字輸入模式,並且可輸入螢幕上顯示的字元。在這種情況下,較佳的是在

顯示部分 1002 的螢幕的幾乎整個區域上顯示鍵盤或數位按鈕。

當包括例如陀螺儀或加速感測器等用於檢測傾斜的感測器的檢測裝置設置在蜂巢式電話 1000 內部時，顯示部分 1002 的螢幕上的顯示可藉由檢測蜂巢式電話 1000 的方向（蜂巢式電話 1000 是處於水平還是垂直放置以用於風景畫模式或人像模式）而自動切換。

此外，藉由觸摸顯示部分 1002 或者操作殼體 1001 的操作按鈕 1003 來切換螢幕模式。替代地，螢幕模式可根據顯示部分 1002 上顯示的影像的種類來切換。例如，當顯示部分上顯示的影像的信號是移動影像的資料時，螢幕模式切換成顯示模式。當信號是文字資料時，螢幕模式切換成輸入模式。

此外，在輸入模式中，信號由顯示部分 1002 中的光學感測器來檢測，以及如果藉由觸摸顯示部分 1002 進行的輸入在某個時段沒有執行，則螢幕模式可被控制成從輸入模式切換到顯示模式。

顯示部分 1002 還可用作影像感測器。舉例而言，藉由用手掌或手指觸摸顯示部分 1002 而拍攝掌紋、指紋等的影像，由此可執行個人鑑識。此外，當背照光或者發出近紅外光的感測光源設置在顯示部分時，可拍攝指靜脈、掌靜脈等影像。

圖 28B 示出蜂巢式電話的另一實施例。圖 28B 中的蜂巢式電話具有：顯示裝置 9410，設有殼體 9411，殼體 9411 包

括顯示部分 9412 和操作按鈕 9413；以及通信裝置 9400，設有殼體 9401，殼體 9401 包括操作按鈕 9402、外部輸入終端 9403、麥克風 9404、喇叭 9405 和在接收到電話呼叫時發光的發光部分 9406。具有顯示功能的顯示裝置 9410 能以可拆卸方式附著到通信裝置 9400，它具有在箭頭所表示的兩個方向的電話功能。因此，顯示裝置 9410 和通信裝置 9400 可沿其短邊或長邊相互附著。另外，當僅需要顯示功能時，顯示裝置 9410 可與通信裝置 9400 分離並且單獨使用。可經由通信裝置 9400 與顯示裝置 9410 之間的無線或有線通信來傳送或接收影像或輸入資訊，通信裝置 9400 和顯示裝置 9410 均具有可充電電池。

本實施例可適當地結合其他實施例中所述的結構的任一結構來實施。

本申請案基於 2009 年 3 月 27 日向日本專利局提交的日本專利申請序號 2009-080202，其整體內容於此一併列入參考。

#### 【圖式簡單說明】

圖 1A 至圖 1C 是本發明的一實施例的截面圖。

圖 2A 至圖 2D 是本發明的一實施例的截面圖。

圖 3A 和圖 3B 是本發明的一實施例的截面圖。

圖 4A 和圖 4B 是本發明的一實施例的截面圖。

圖 5A 至圖 5D 是本發明的一實施例的截面圖。

圖 6A 至圖 6D 是本發明的一實施例的截面圖。

圖 7A 和 圖 7B 是本發明的一實施例的截面圖和頂視圖。

圖 8A 和 圖 8B 是顯示裝置的方塊圖以及用於描述 TFT 的圖。

圖 9 是顯示裝置的方塊圖。

圖 10A 和 圖 10B 是示出電位變化的波形圖。

圖 11 示出像素的佈局。

圖 12 示出像素的佈局。

圖 13 是顯示裝置的方塊圖。

圖 14 是示出電位變化的波形圖。

圖 15 是顯示裝置的方塊圖。

圖 16 示出像素的佈局。

圖 17 示出像素的佈局。

圖 18 是示出 TFT 的特性的圖表。

圖 19 是示出 TFT 的特性的圖表。

圖 20 是示出 TFT 的特性的圖表。

圖 21 示出本發明的個實施例的半導體裝置的像素的等效電路。

圖 22A 至 圖 22C 是本發明的一實施例的半導體裝置的截面圖。

圖 23A 和 圖 23B 是本發明的一實施例的半導體裝置的頂視圖和截面圖。

圖 24A1、圖 24A2 和 圖 24B 是本發明的一實施例的半導體裝置的頂視圖和截面圖。

圖 25 是本發明的一實施例的半導體裝置的截面圖。

圖 26A 和 圖 26B 是本發明的一實施例的半導體裝置的截面圖以及電子設備的外部視圖。

圖 27A 和 圖 27B 示出本發明的一實施例的電子設備。

圖 28A 和 圖 28B 示出本發明的一實施例的電子設備。

**【主要元件符號說明】**

- 10：基底
- 11：第一閘極電極
- 12：基底絕緣層
- 13：第一閘極絕緣層
- 14a：源極區
- 14b：汲極區
- 15a：源極電極層
- 15b：汲極電極層
- 16：氧化物半導體層
- 17：樹脂層
- 18：第二保護絕緣層
- 19：第二閘極電極
- 20：薄膜電晶體
- 21：薄膜電晶體
- 22：薄膜電晶體
- 23：薄膜電晶體
- 24a：源極區
- 24b：汲極區

- 25 a : 源極電極層
- 25 b : 汲極電極層
- 26 : 氧化物半導體層
- 27 a : 源極區
- 27 b : 汲極區
- 28 a : 源極電極層
- 28 b : 汲極電極層
- 29 : 薄膜電晶體
- 30 : 薄膜電晶體
- 31 : 薄膜電晶體
- 32 : 薄膜電晶體
- 33 : 氧化物半導體層
- 34 : 通道保護層
- 35 a : 源極區
- 35 b : 汲極區
- 36 a : 源極電極層
- 36 b : 汲極電極層
- 37 : 薄膜電晶體
- 38 : 薄膜電晶體
- 39 : 薄膜電晶體
- 41 : 通道保護層
- 42 : 通道保護層
- 43 : 通道保護層
- 53 : 薄膜電晶體

- 54 : 薄膜電晶體
- 55 : 薄膜電晶體
- 56 : 薄膜電晶體
- 57 : 薄膜電晶體
- 58 : 薄膜電晶體
- 59 : 薄膜電晶體
- 60 : 薄膜電晶體
- 402 : 第三閘極電極
- 404 : 接觸孔
- 407 : 第二氧化物半導體層
- 408a : 緩衝層
- 408b : 緩衝層
- 411 : 第三端子
- 431 : 第二薄膜電晶體
- 470 : 第四閘極電極
- 580 : 基底
- 581 : 薄膜電晶體
- 582 : 第二閘極電極
- 585 : 樹脂層
- 586 : 第二保護絕緣層
- 587 : 第一電極層
- 588 : 第二電極層
- 589 : 球形粒子
- 590a : 黑色區域



- 590b : 白色區域
- 595 : 填充物
- 596 : 基底
- 800 : 基底
- 801 : 像素部分
- 802 : 掃描線驅動器電路
- 802A : 第一掃描線驅動器電路
- 802B、802A和 第二掃描線驅動器電路
- 803 : 信號線驅動器電路
- 804 : 薄膜電晶體
- 820 : 基底
- 822 : 信號線輸入端子
- 823A : 掃描線
- 823B : 控制線
- 823C : 第一掃描線
- 823D : 第二掃描線
- 824 : 訊號線
- 827 : 像素部分
- 828 : 像素
- 829 : 像素薄膜電晶體
- 830 : 儲存電容器
- 831 : 像素電極
- 832 : 電容器線
- 833 : 公共端子

- 835 : 保護電路
- 1000 : 蜂巢式電話
- 1001 : 殼體
- 1002 : 顯示部分
- 1003 : 操作按鈕
- 1004 : 外部連接埠
- 1005 : 喇叭
- 1006 : 麥克風
- 1101 : 第一導電層
- 1102 : 氧化物半導體層
- 1103 : 第二導電層
- 1104 : 像素電極層
- 1105 : 第三導電層
- 1106 : 開口
- 2600 : 元件基底
- 2601 : 對立基底
- 2602 : 密封劑
- 2603 : 元件層
- 2604 : 液晶層
- 2606 : 偏振板
- 2607 : 偏振板
- 2608 : 線路電路部分
- 2609 : 可撓線路板
- 2611 : 反射板

- 2612 : 電路基底
- 2613 : 光學片
- 2700 : 電子書閱讀器
- 2701 : 殼體
- 2703 : 殼體
- 2705 : 顯示部分
- 2711 : 鉸鏈
- 2721 : 電源開關
- 2723 : 操作按鍵
- 2725 : 喇叭
- 2910B : 藍色發光二極體
- 2910G : 綠色發光二極體
- 2910R : 紅色發光二極體
- 4001 : 第一基底
- 4002 : 像素部分
- 4003 : 信號線驅動器電路
- 4004 : 掃描線驅動器電路
- 4005 : 密封劑
- 4006 : 第二基底
- 4007 : 基底絕緣層
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件

- 4015：連接端子電極
- 4016：端子電極
- 4018：可撓印刷電路
- 4019：各向異性導電膜
- 4020：第一閘極絕緣層
- 4021：樹脂層
- 4022：第二保護絕緣層
- 4028：第二閘極電極
- 4029：第二閘極電極
- 4030：像素電極層
- 4031：公共電極層
- 4032：偏振板
- 4033：偏振板
- 4034：擋光層
- 4035：柱狀隔離件
- 4500：第一基底
- 4501：第一絕緣層
- 4502：像素部分
- 4503a：信號線驅動器電路
- 4503b：信號線驅動器電路
- 4504a：掃描線驅動器電路
- 4504b：掃描線驅動器電路
- 4505：密封劑
- 4506：第二基底

- 4507 : 填充物
- 4508 : 樹脂層
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電致發光層
- 4513 : 第二電極層
- 4514 : 第二保護絕緣層
- 4515 : 連接端子電極
- 4516 : 端子電極
- 4517 : 第一電極層
- 4518a : 可撓印刷電路
- 4518b : 可撓印刷電路
- 4519 : 各向異性導電膜
- 4520 : 分隔物
- 4521 : 導電層
- 4522 : 導電層
- 6400 : 像素
- 6401 : 開關電晶體
- 6402 : 驅動器電晶體
- 6403 : 電容器
- 6404 : 發光元件
- 6405 : 信號線
- 6406A : 掃描線

6406B : 控制線  
6407 : 電源線  
6408 : 公共電極  
7001 : 薄膜電晶體  
7002 : 發光元件  
7003 : 陰極  
7004 : 發光層  
7005 : 陽極  
7006 : 分隔物  
7009 : 第二閘極電極  
7010 : 導電膜  
7011 : 薄膜電晶體  
7012 : 發光元件  
7013 : 陰極  
7014 : 發光層  
7015 : 陽極  
7016 : 阻擋膜  
7017 : 樹脂層  
7018 : 第二保護絕緣層  
7019 : 第二閘極電極  
7021 : 薄膜電晶體  
7022 : 發光元件  
7023 : 陰極  
7024 : 發光層

7025 : 陽極  
7027 : 導電膜  
7028 : 連接電極  
7029 : 第二閘極電極  
9600 : 牆壁  
9601 : 電視裝置  
9603 : 顯示部分  
9607 : 顯示部分  
9609 : 操作按鍵  
9610 : 遙控器  
9400 : 通信裝置  
9401 : 殼體  
9402 : 操作按鈕  
9403 : 外部輸入終端  
9404 : 麥克風  
9405 : 喇叭  
9406 : 發光部分  
9410 : 顯示裝置  
9411 : 殼體  
9412 : 顯示部分  
9413 : 操作按鈕  
9881 : 殼體  
9882 : 顯示部分  
9883 : 顯示部分

- 9884 : 顯示部分
- 9885 : 操作按鍵
- 9886 : 儲存媒體插入部分
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風
- 9890 : LED燈
- 9891 : 殼體
- 9893 : 連接器



**七、申請專利範圍：**

1. 一種半導體裝置，包括：

絕緣表面之上的第一閘極電極；

該第一閘極電極之上的第一絕緣層；

該第一絕緣層之上且包括銻、鎵、鋅的氧化物半導體層，其中，該氧化物半導體層為非單晶半導體；

該氧化物半導體層之上的源極電極層和汲極電極層；

覆蓋該源極電極層和該汲極電極層的樹脂層；以及

該樹脂層之上的第二閘極電極，

其中，該氧化物半導體層包括相較於與源極電極層或汲極電極層重疊的該氧化物半導體層的區域具有小厚度的區域，以及

其中，該樹脂層與該氧化物半導體層的具有小厚度的區域接觸。

2. 如申請專利範圍第 1 項的半導體裝置，還包括：

在該樹脂層與該第二閘極電極之間的第二絕緣層，

其中，該第二絕緣層包括選自氮化矽、氮氧化矽、氮化矽氧化物中的一種化合物。

3. 如申請專利範圍第 1 項的半導體裝置，還包括：

在該第二閘極電極之上的第二絕緣層，

其中，該第二絕緣層包括選自氮化矽、氮氧化矽、氮化矽氧化物中的一種化合物。

4. 如申請專利範圍第 1 項的半導體裝置，還包括：

該氧化物半導體層與該源極電極層之間的第一緩衝

層，以及

在該氧化物半導體層與該汲極電極層之間的第二緩衝層。

5. 如申請專利範圍第 1 項的半導體裝置，

其中，該第二閘極電極與該氧化物半導體層和該第一閘極電極重疊。

6. 如申請專利範圍第 1 項的半導體裝置，

其中，該第二閘極電極的寬度大於該第一閘極電極的寬度。

7. 如申請專利範圍第 1 項的半導體裝置，

其中，該第一閘極電極的寬度大於該氧化物半導體層的寬度。

8. 如申請專利範圍第 1 項的半導體裝置，其中，該第二閘極電極處於浮動狀態。

9. 如申請專利範圍第 1 項的半導體裝置，其中，該第二閘極電極為 0 V 的固定電位。

10. 如申請專利範圍第 1 項的半導體裝置，其中，該第一閘極電極和該第二閘極電極具有相同的電位。

11. 如申請專利範圍第 1 項的半導體裝置，其中，該第二閘極電極的電位配置為固定。

12. 如申請專利範圍第 1 項的半導體裝置，其中，該第二閘極電極電連接到該第一閘極電極。

13. 如申請專利範圍第 1 項的半導體裝置，還包括：

電連接到該源極電極層或該汲極電極層的陰極；

在該陰極之上的發光層；以及

在該發光層之上的陽極。

14. 如申請專利範圍第 1 項的半導體裝置，其中，該氧化物半導體層包括矽。

15. 一種半導體裝置，包括：

絕緣表面之上的第一閘極電極；

該第一閘極電極之上的第一絕緣層；

該第一絕緣層之上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層之上且包括銦、鎵、鋅的氧化物半導體層，其中，該氧化物半導體層為非單晶半導體；

覆蓋該氧化物半導體層的樹脂層；

該樹脂層之上的第二絕緣層；以及

該第二絕緣層之上的第二閘極電極，

其中，該氧化物半導體層形成在該第一絕緣層之上，以及與該第一閘極電極重疊，

其中，該氧化物半導體層的至少一部分位於該源極電極層與該汲極電極層之間，

其中，該第二閘極電極與該氧化物半導體層和該第一閘極電極重疊。

16. 如申請專利範圍第 15 項的半導體裝置，還包括：

在該氧化物半導體層與該源極電極層之間以及在該氧化物半導體層與該汲極電極層之間的緩衝層。

17. 如申請專利範圍第 15 項的半導體裝置，還包括：

在該第一絕緣層與該源極電極層之間的第一緩衝層和該第一絕緣層與該汲極電極層之間的第二緩衝層，

其中，該第一和第二緩衝層的側表面與該氧化物半導體層接觸。

18. 如申請專利範圍第 15 項的半導體裝置，

其中，該第二閘極電極的寬度大於該第一閘極電極的寬度。

19. 如申請專利範圍第 15 項的半導體裝置，

其中，該第一閘極電極的寬度大於該氧化物半導體層的寬度。

20. 如申請專利範圍第 15 項的半導體裝置，其中，

該第二閘極電極處於浮動狀態。

21. 如申請專利範圍第 15 項的半導體裝置，其中，

該第二閘極電極為 0 V 的固定電位。

22. 如申請專利範圍第 15 項的半導體裝置，其中，

該第一閘極電極和該第二閘極電極具有相同的電位。

23. 如申請專利範圍第 15 項的半導體裝置，其中，

該第二閘極電極的電位配置為固定。

24. 如申請專利範圍第 15 項的半導體裝置，其中，

該第二閘極電極電連接到該第一閘極電極。

25. 如申請專利範圍第 15 項的半導體裝置，還包括：

電連接到該源極電極層或該汲極電極層的陰極；

在該陰極之上的發光層；以及

在該發光層之上的陽極。

26. 如申請專利範圍第 15 項的半導體裝置，其中，該氧化物半導體層包括矽。

27. 一種半導體裝置，包括：

絕緣表面之上的第一閘極電極；

該第一閘極電極之上的第一絕緣層；

該第一絕緣層之上且包括銻、鎵、鋅的氧化物半導體層，其中，該氧化物半導體層為非單晶半導體；

在該氧化物半導體層之上並且與其接觸的通道保護層；

該氧化物半導體層之上的源極電極層和汲極電極層；

覆蓋該源極電極層和該汲極電極層的樹脂層；

該樹脂層之上的第二絕緣層；以及

該第二絕緣層之上的第二閘極電極，

其中，該樹脂層與該通道保護層接觸。

28. 如申請專利範圍第 27 項的半導體裝置，還包括：

第一緩衝層和第二緩衝層，在該通道保護層和該氧化物半導體層之上並且與該通道保護層和該氧化物半導體層接觸，

其中，該第一緩衝層設置在該氧化物半導體層與該源極電極層之間，以及，該第二緩衝層設置在該氧化物半導

體層與該汲極電極層之間。

29. 如申請專利範圍第 27 項的半導體裝置，

其中，該第一閘極電極的寬度大於該通道保護層的寬度，但小於該第二閘極電極的寬度。

30. 如申請專利範圍第 27 項的的半導體裝置，

其中，該第二閘極電極的寬度大於該第一閘極電極的寬度。

31. 如申請專利範圍第 27 項的半導體裝置，

其中，該第一閘極電極的寬度大於該氧化物半導體層的寬度。

32. 如申請專利範圍第 27 項的半導體裝置，其中，該第二閘極電極處於浮動狀態。

33. 如申請專利範圍第 27 項的半導體裝置，其中，該第二閘極電極為 0 V 的固定電位。

34. 如申請專利範圍第 27 項的的半導體裝置，其中，該第一閘極電極和該第二閘極電極具有相同的電位。

35. 如申請專利範圍第 27 項的半導體裝置，其中，該第二閘極電極的電位配置為固定。

36. 如申請專利範圍第 27 項的半導體裝置，其中，該第二閘極電極電連接到該第一閘極電極。

37. 如申請專利範圍第 27 項的半導體裝置，還包括：

電連接到該源極電極層或該汲極電極層的陰極；

在該陰極之上的發光層；以及

在該發光層之上的陽極。

38. 如申請專利範圍第 27 項的半導體裝置，其中，  
該氧化物半導體層包括矽。

圖 1A

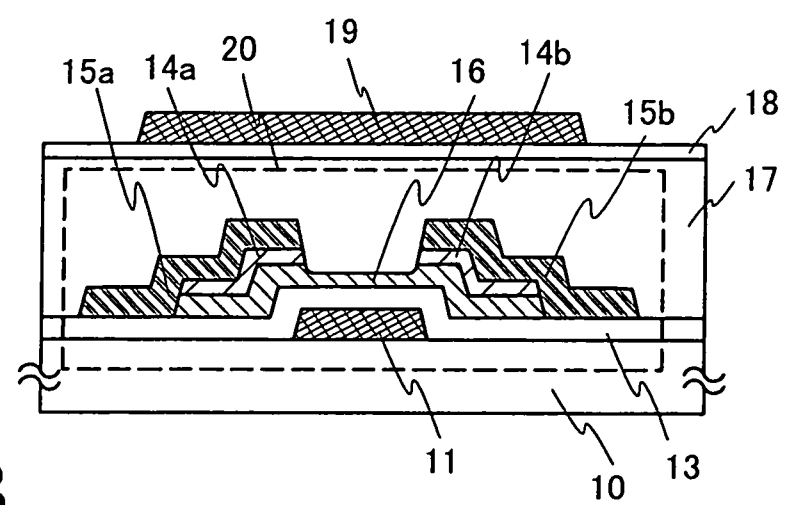


圖 1B

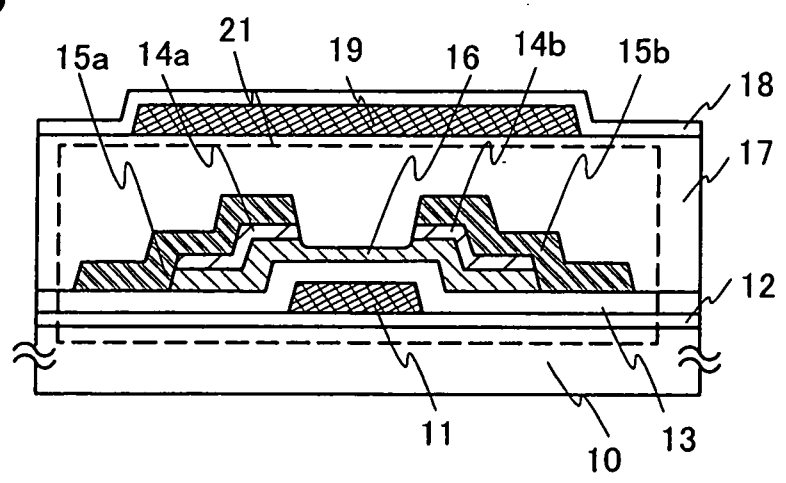


圖 1C

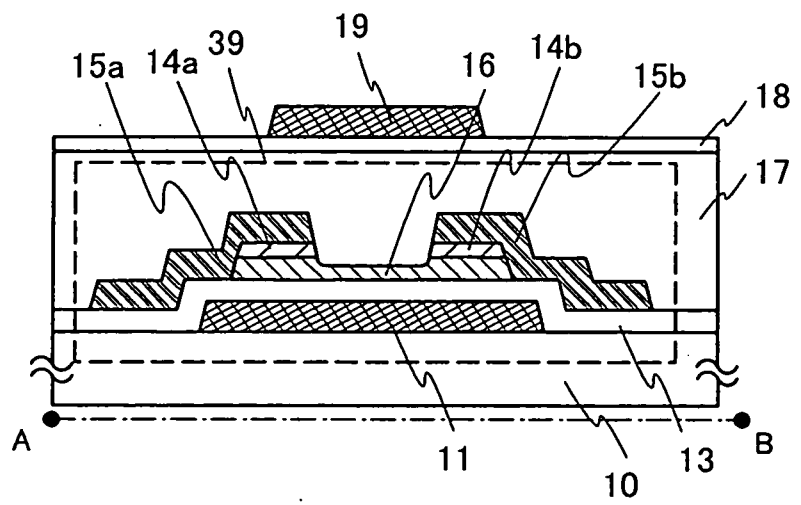




圖 2A

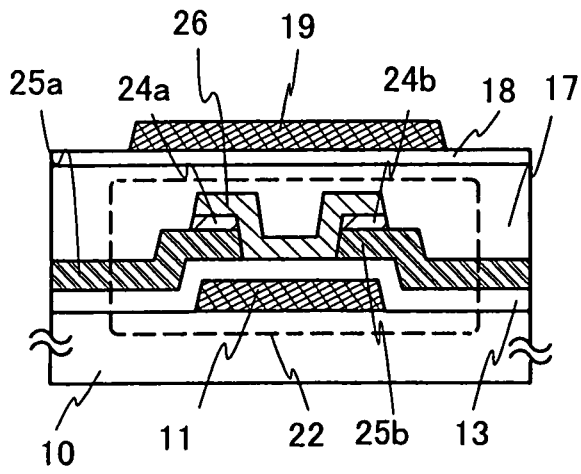


圖 2B

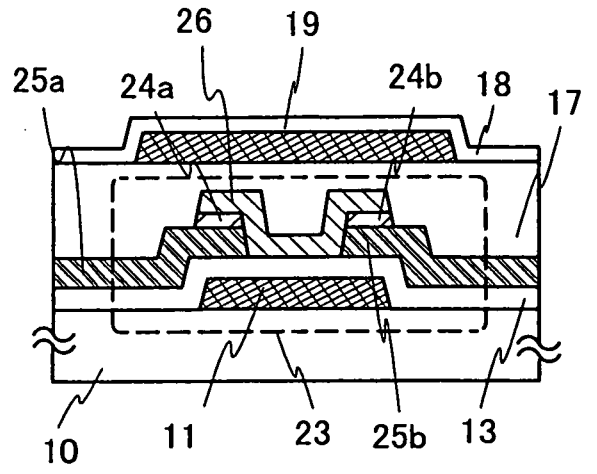


圖 2C

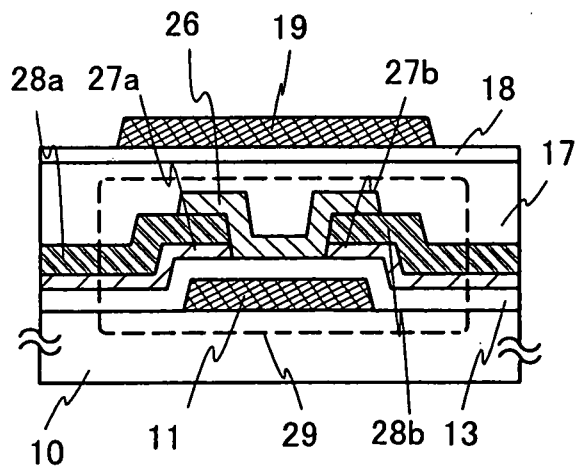


圖 2D

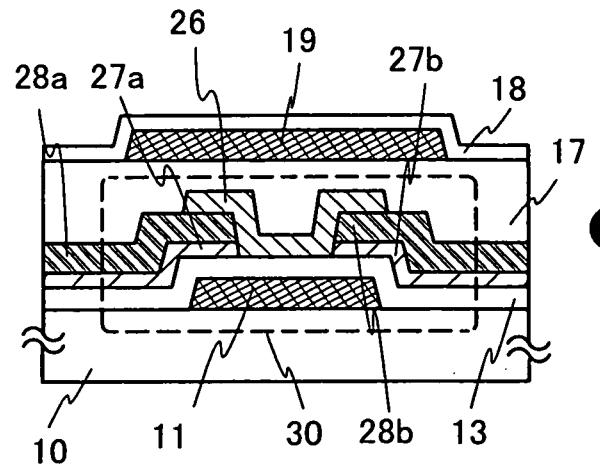


圖 3A

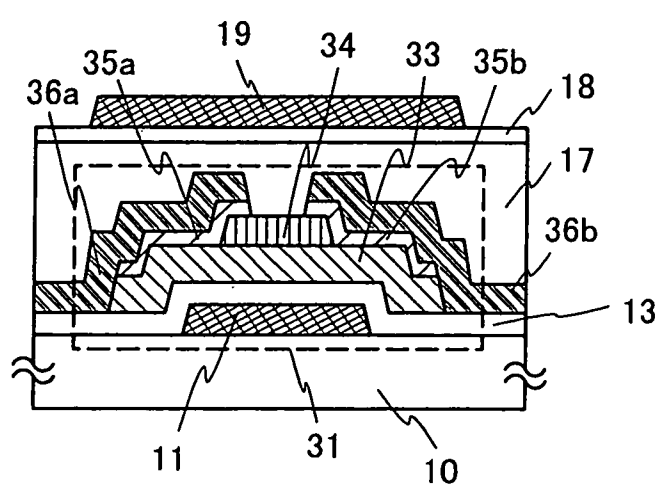


圖 3B

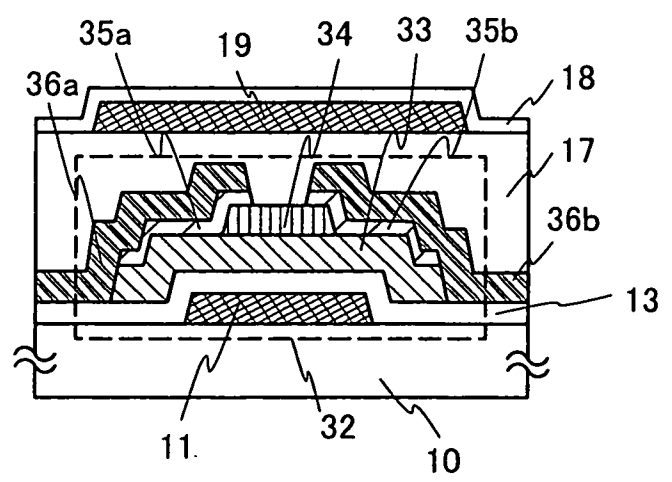


圖 4A

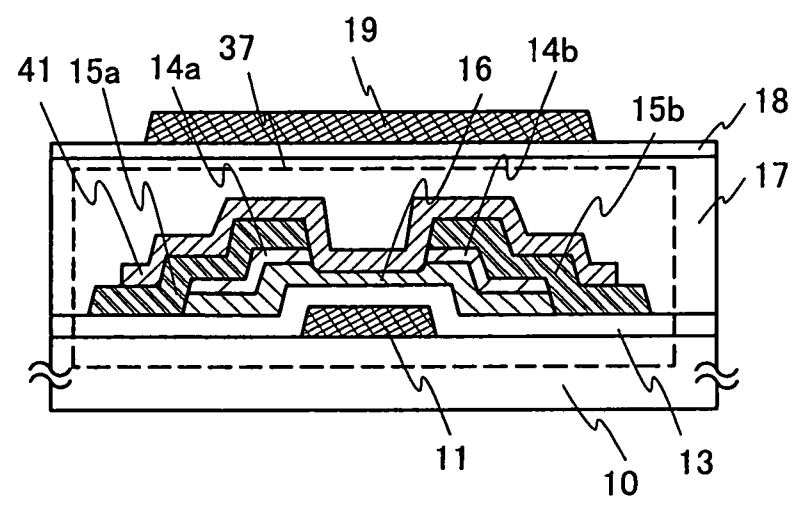


圖 4B

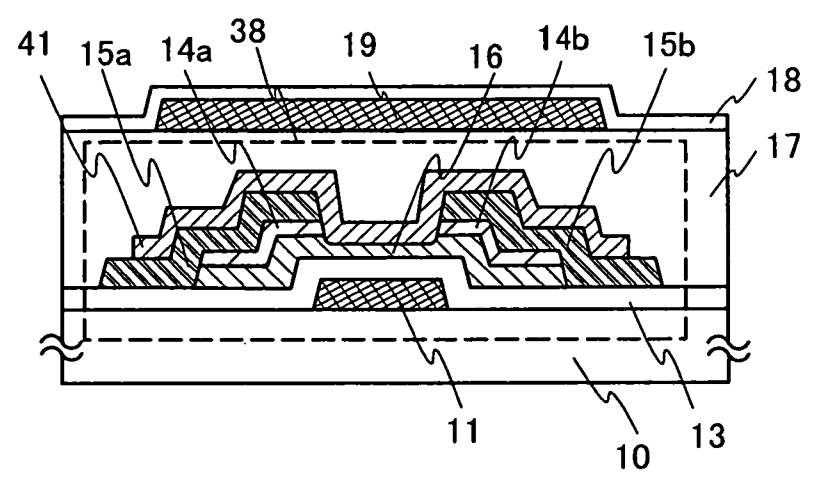


圖 5A

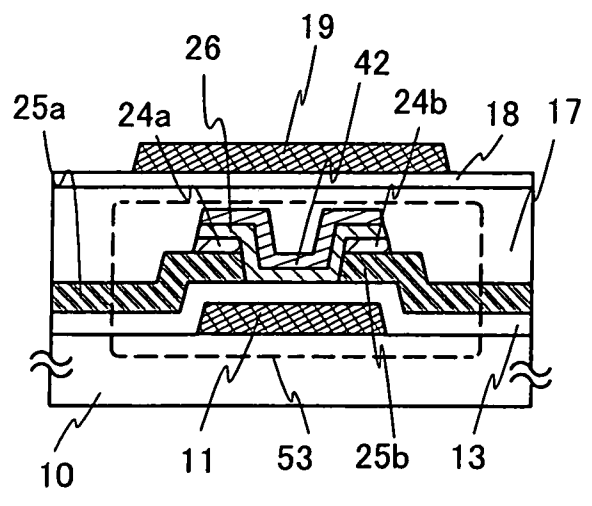


圖 5B

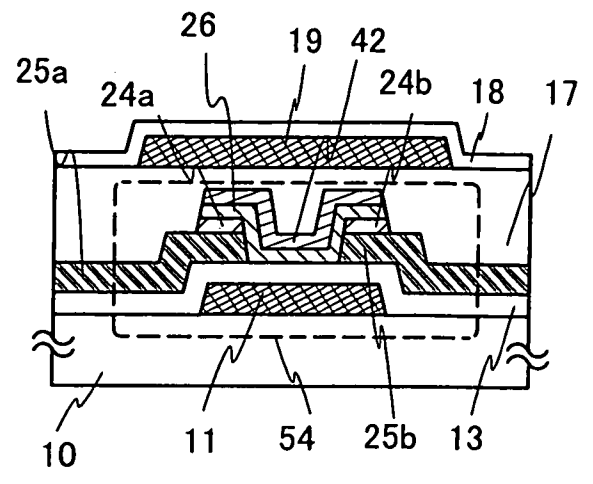


圖 5C

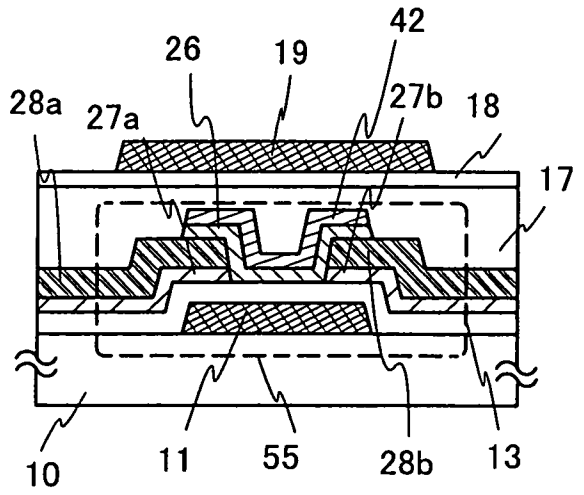


圖 5D

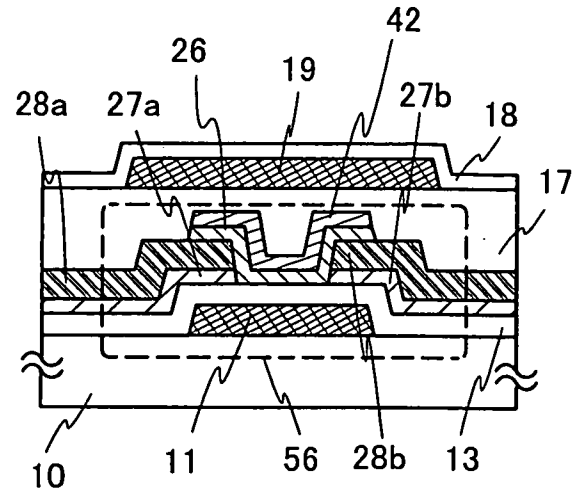


圖 6A

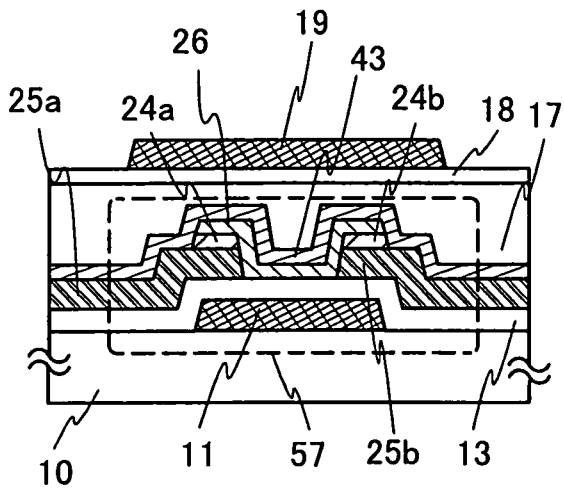


圖 6B

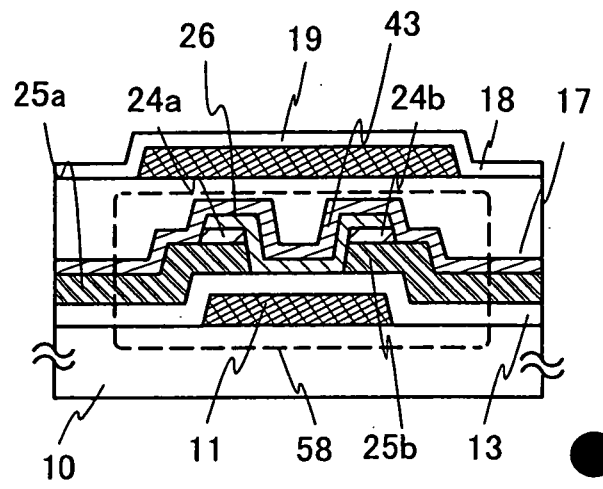


圖 6C

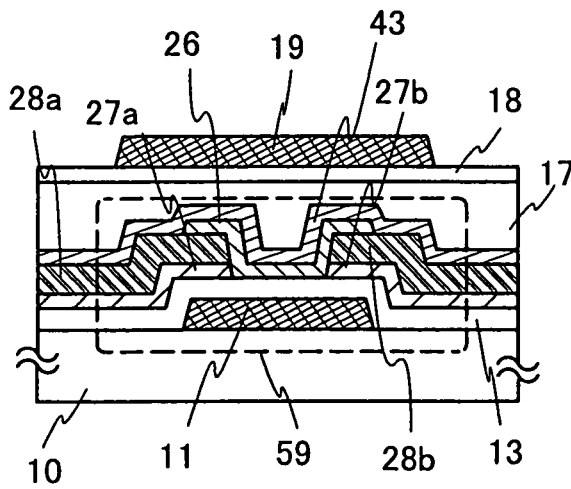


圖 6D

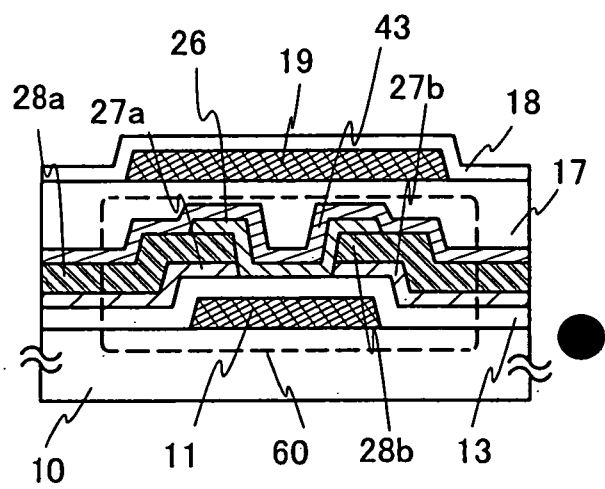


圖 7A

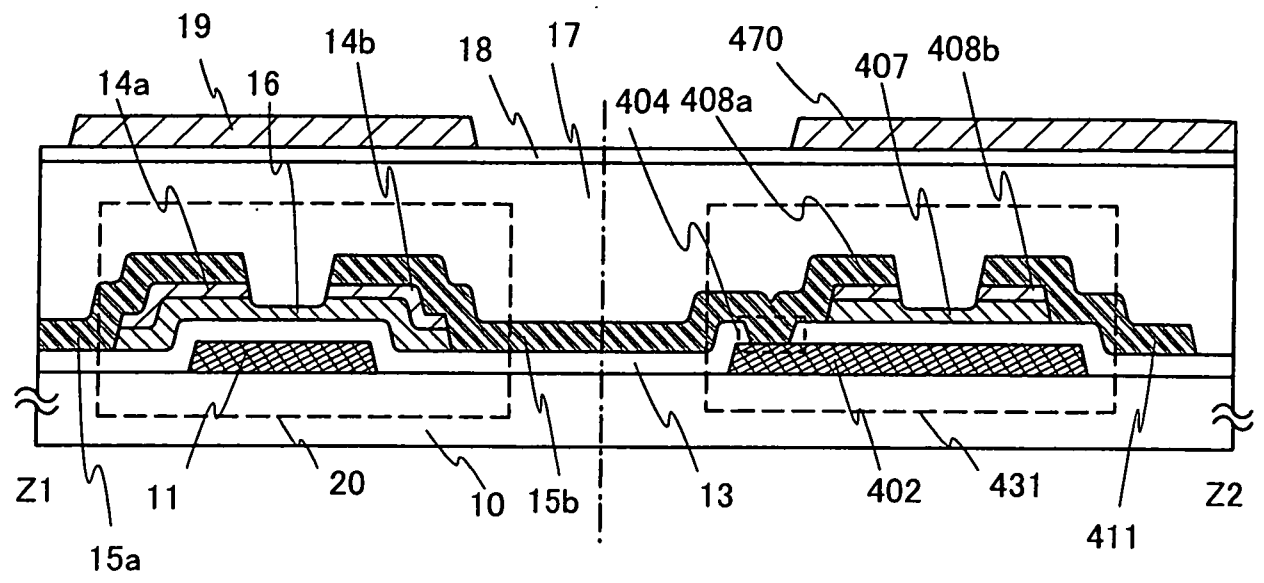


圖 7B

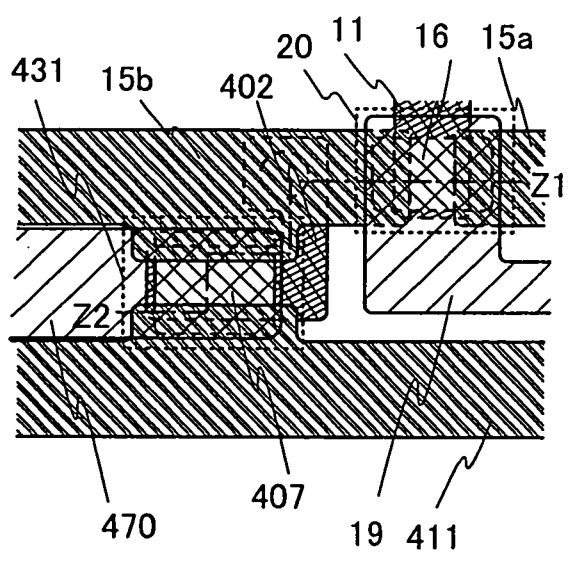


圖 8A

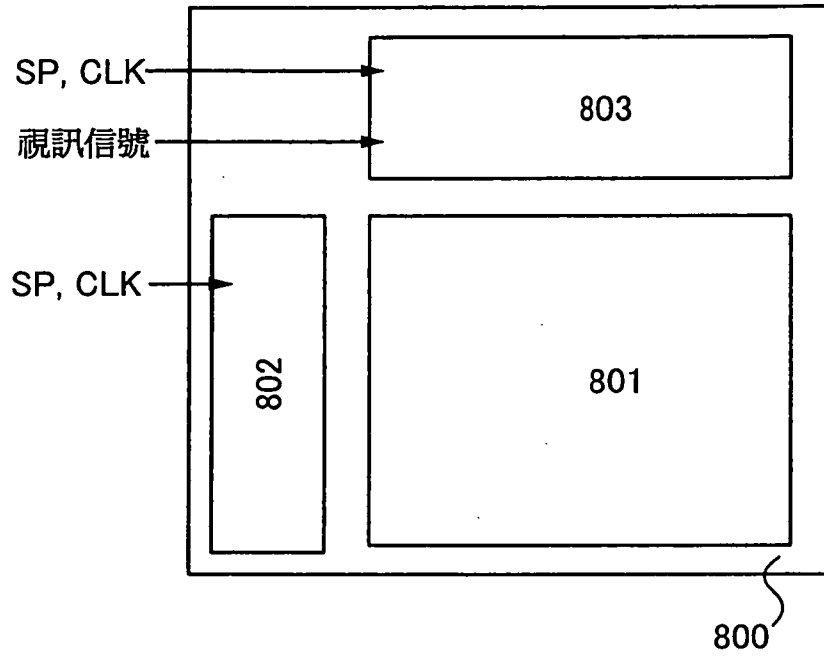


圖 8B

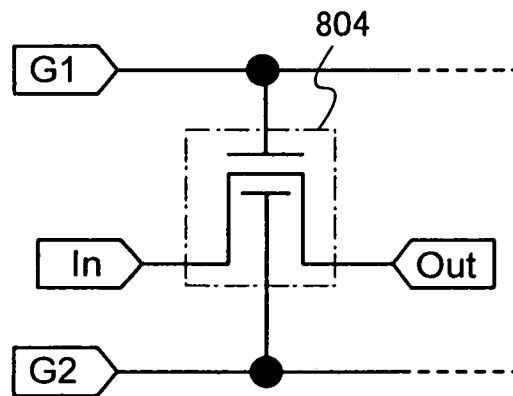


圖9

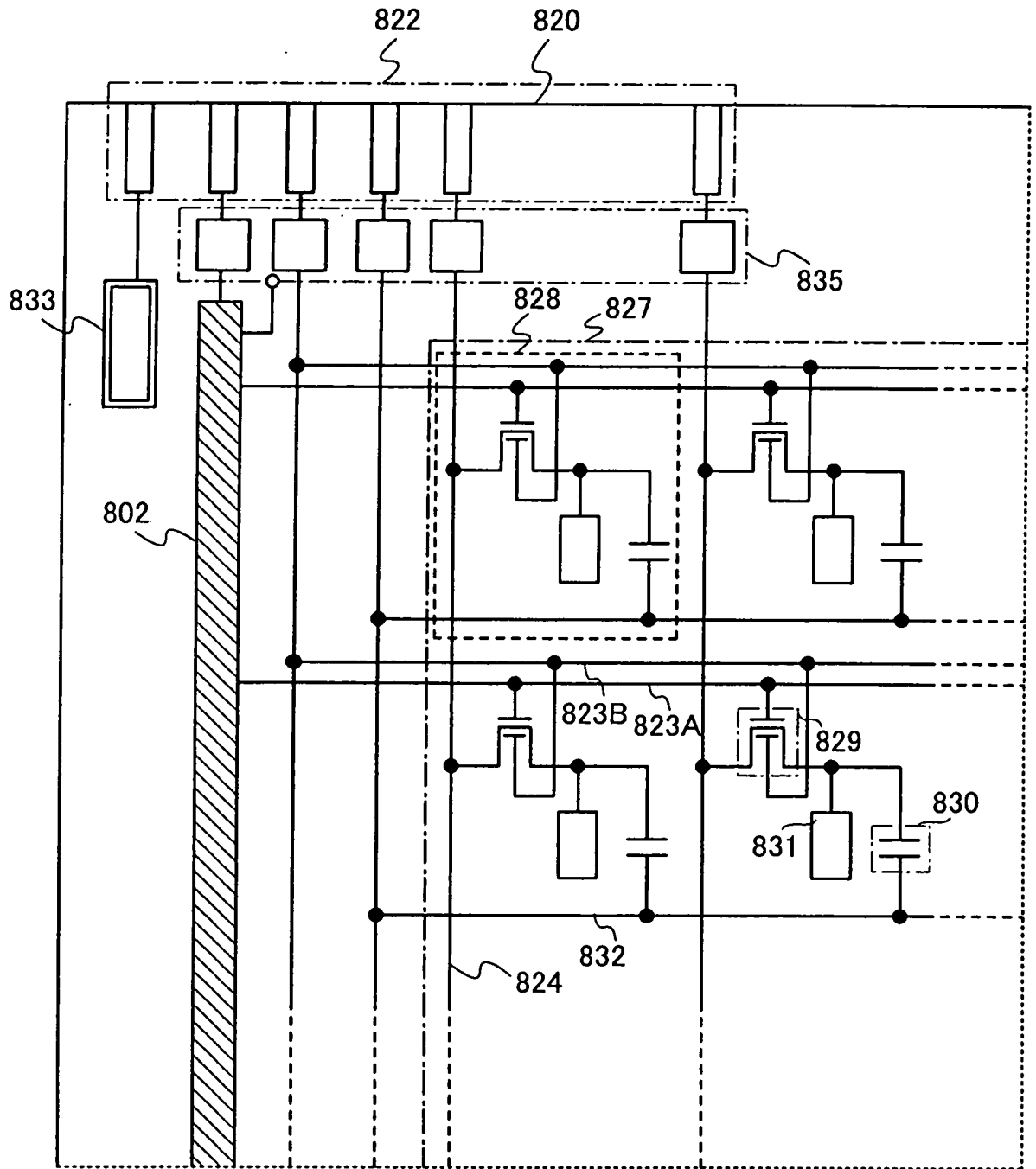




圖 10A

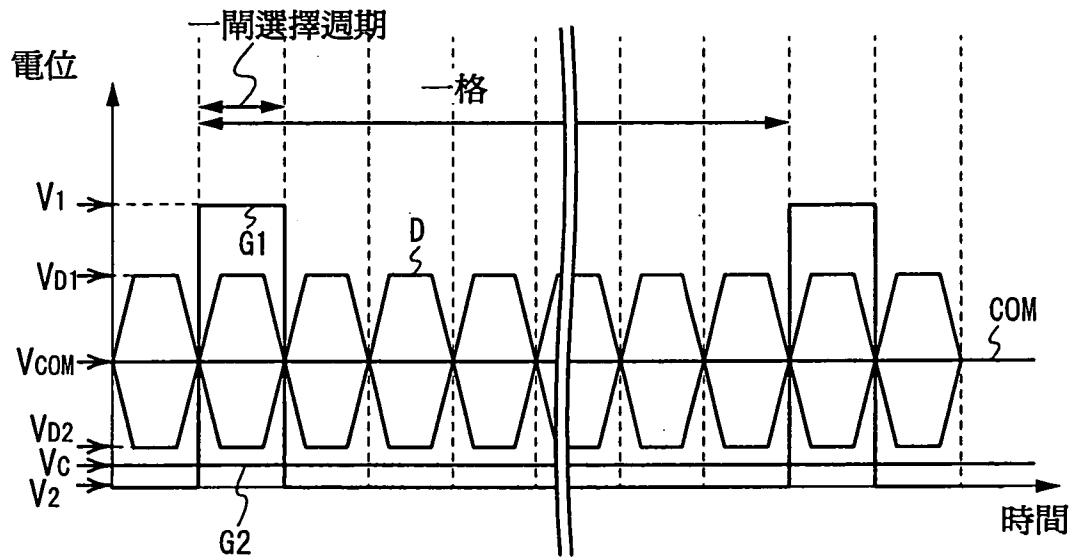


圖 10B

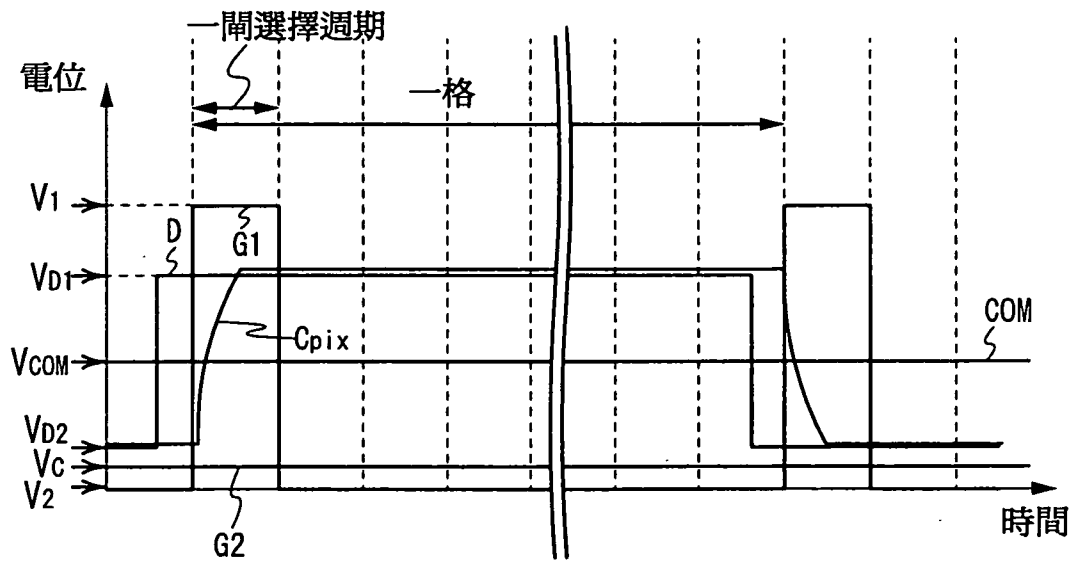
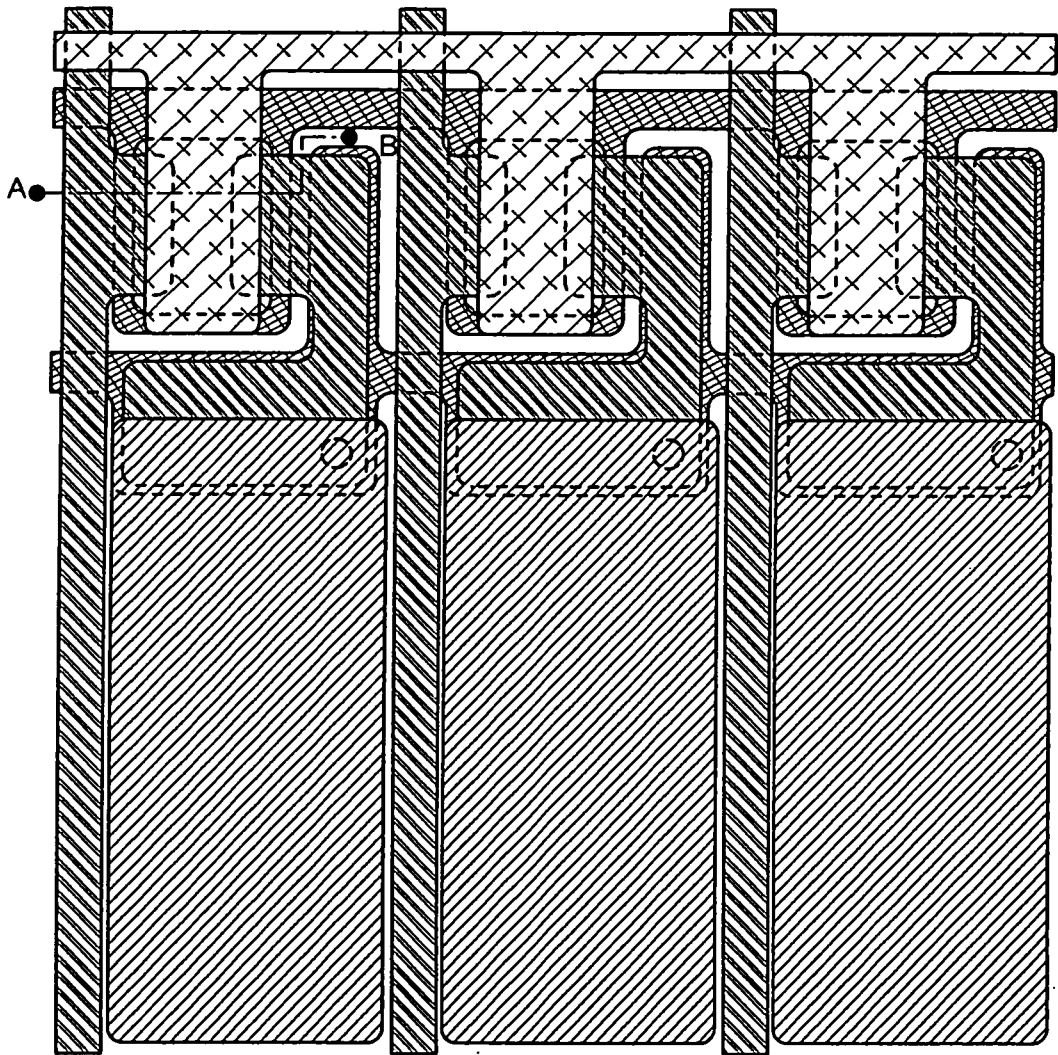


圖 11



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

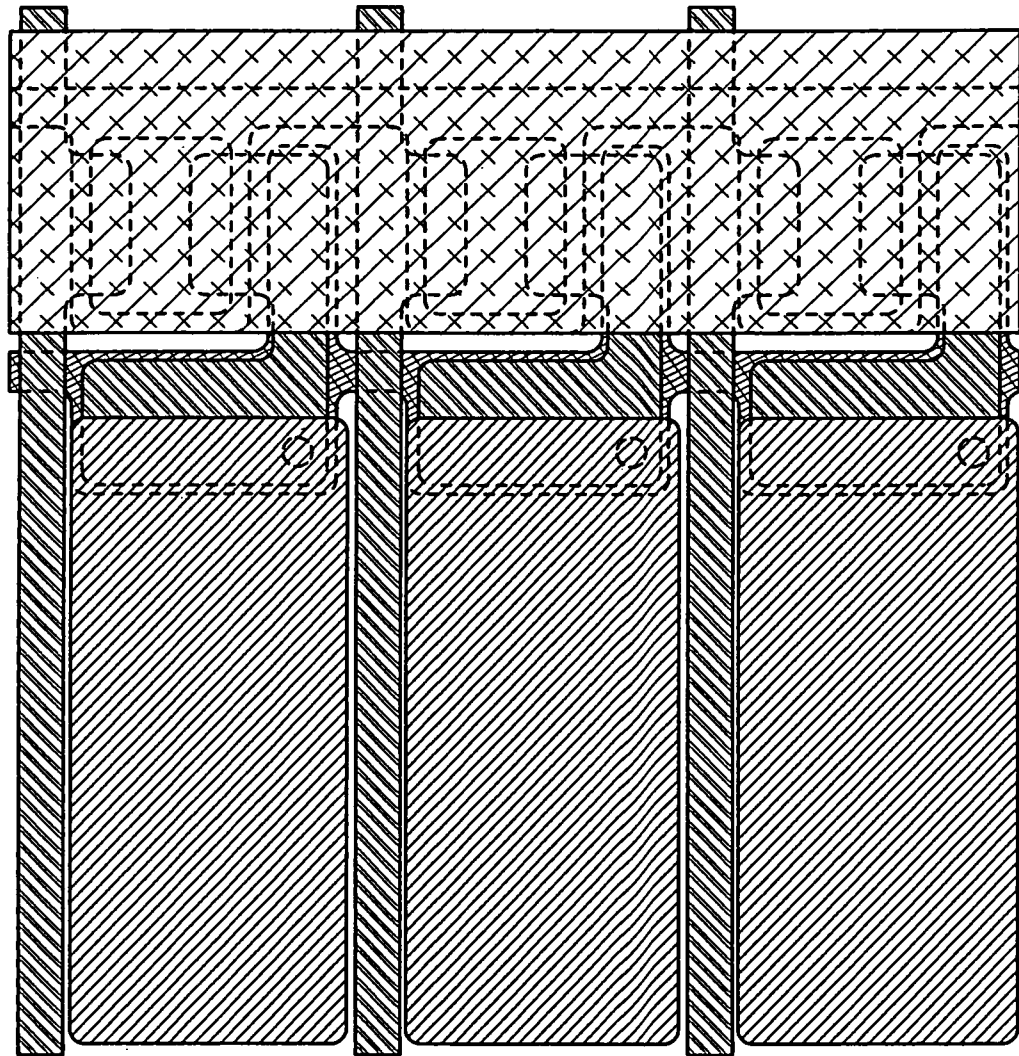
1103 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1105 ~ [cross-hatch pattern]

1106 ~ [dashed line]

圖12



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

1103 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1105 ~ [cross-hatch pattern]

1106 ~ [dashed line]

圖 13

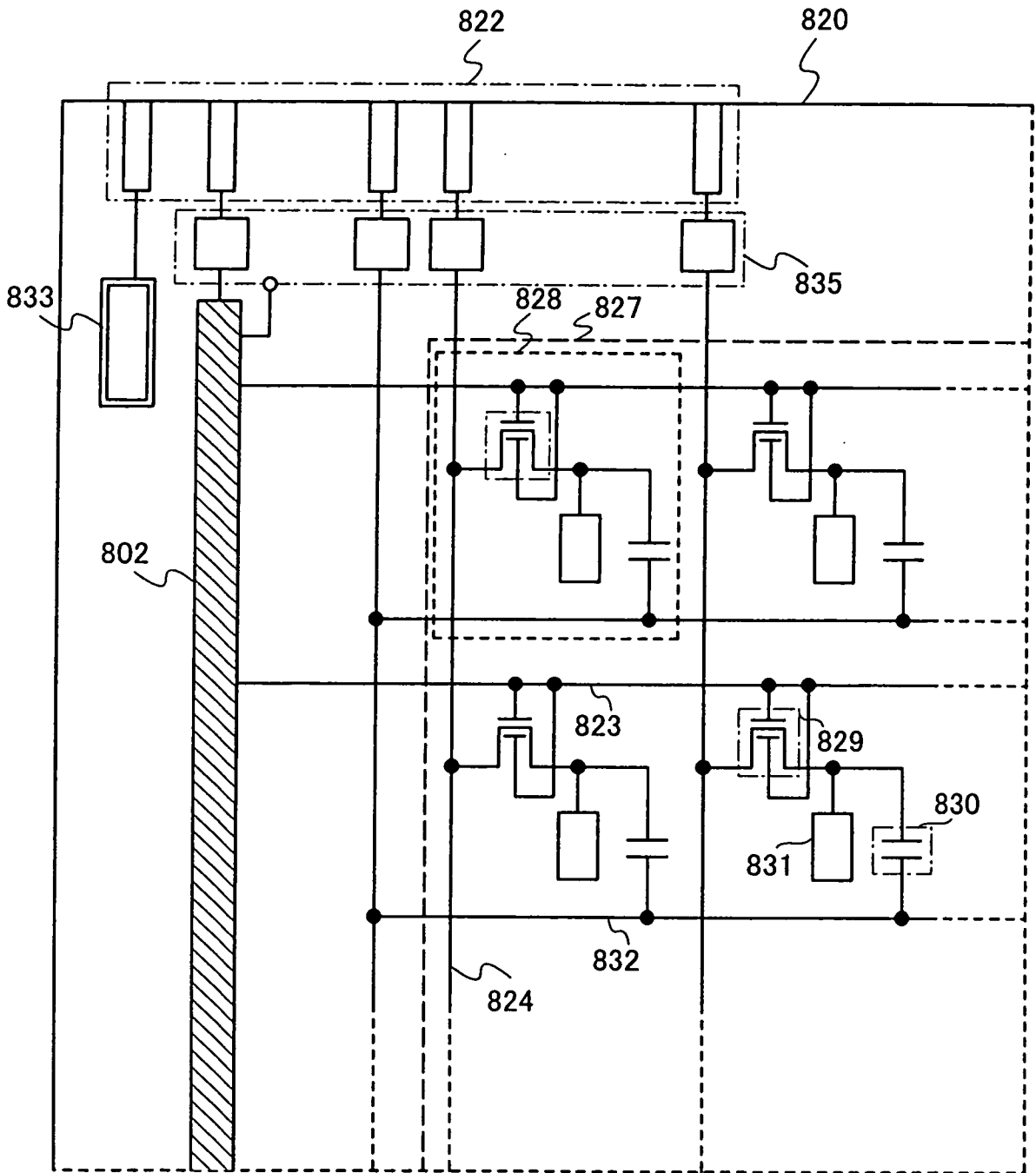


圖 14

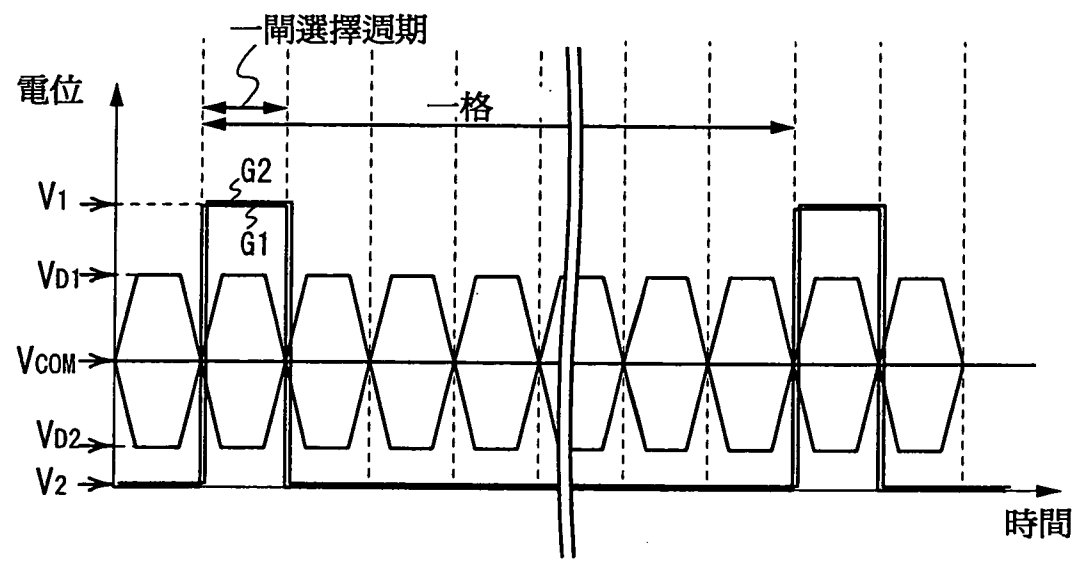


圖 15

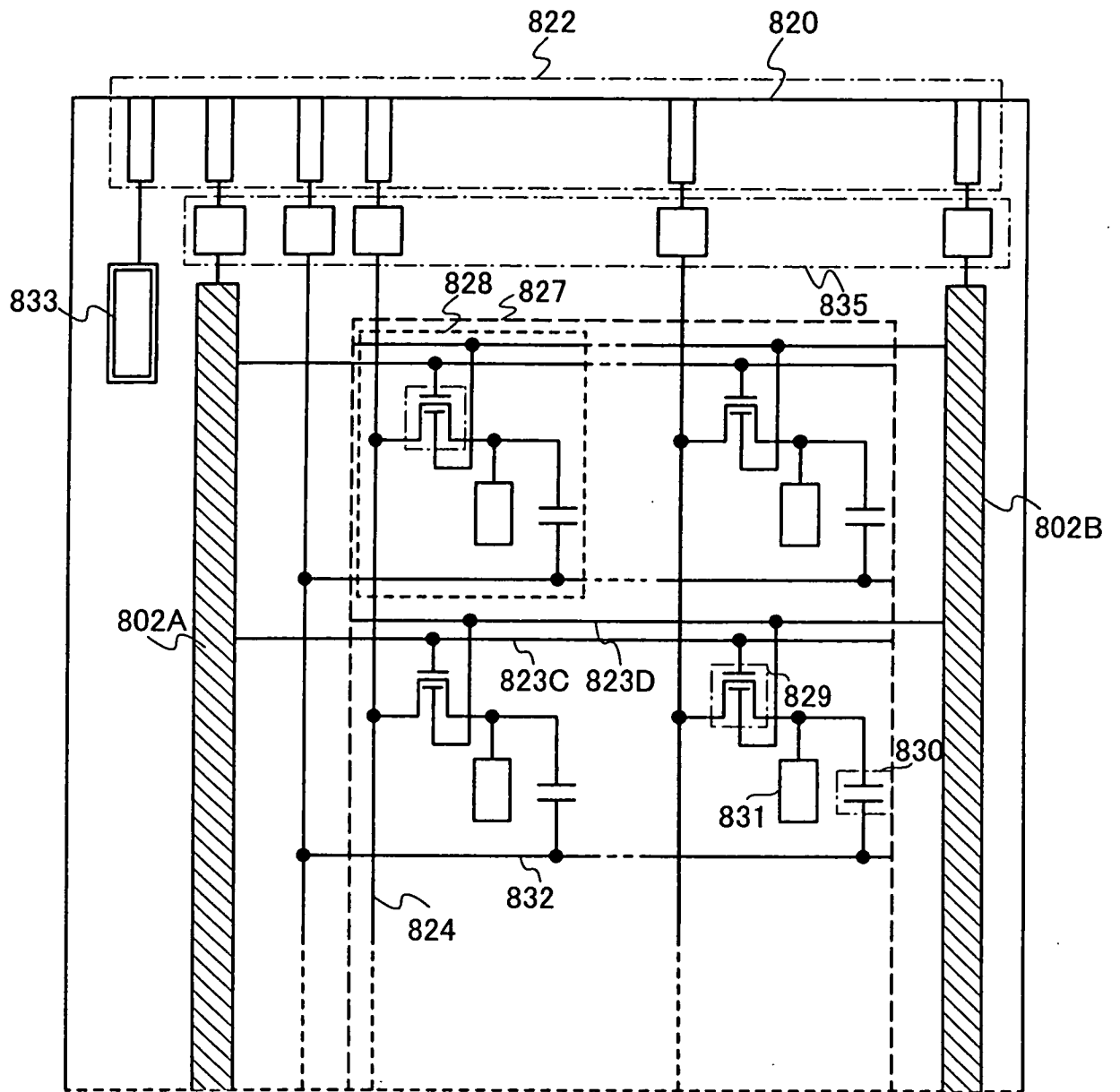
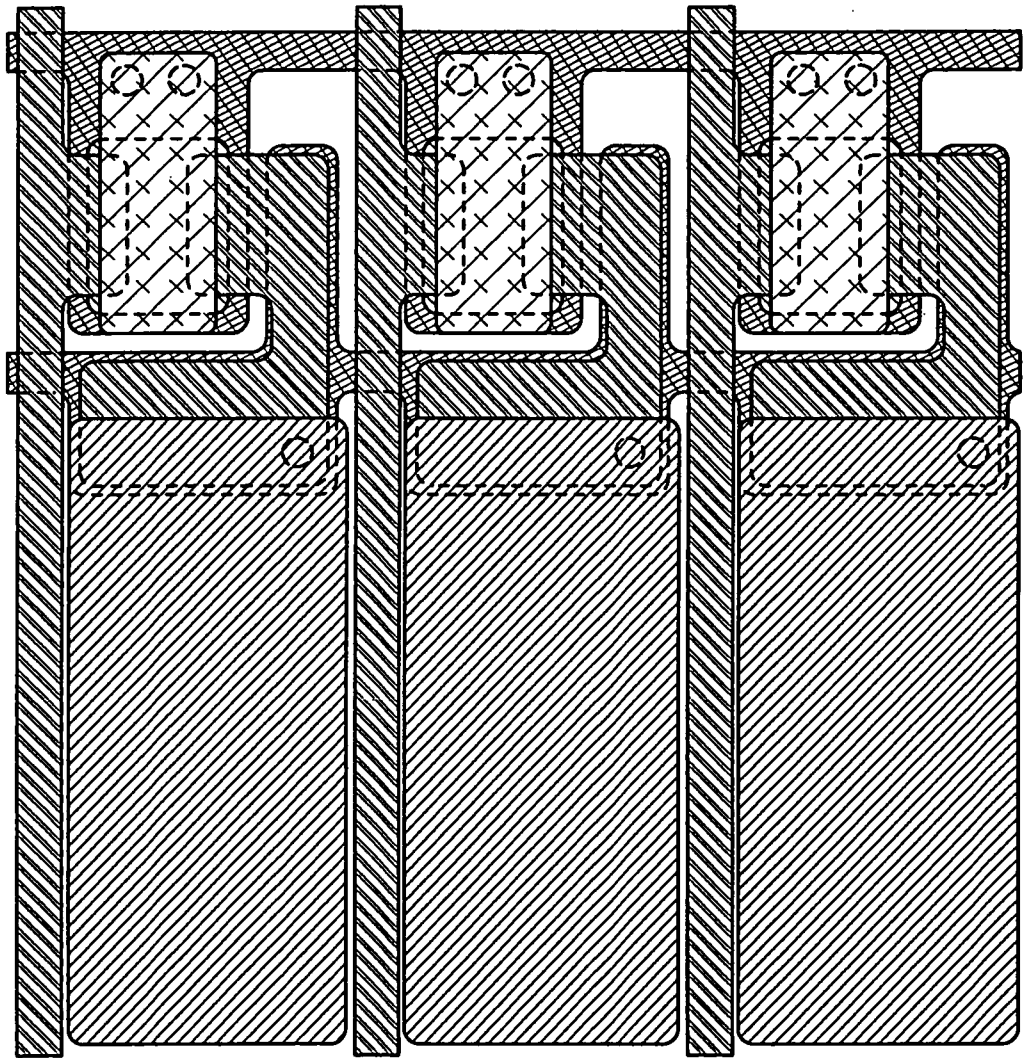


圖 16



1101 ~ [hatched pattern]

1102 ~ [hatched pattern]

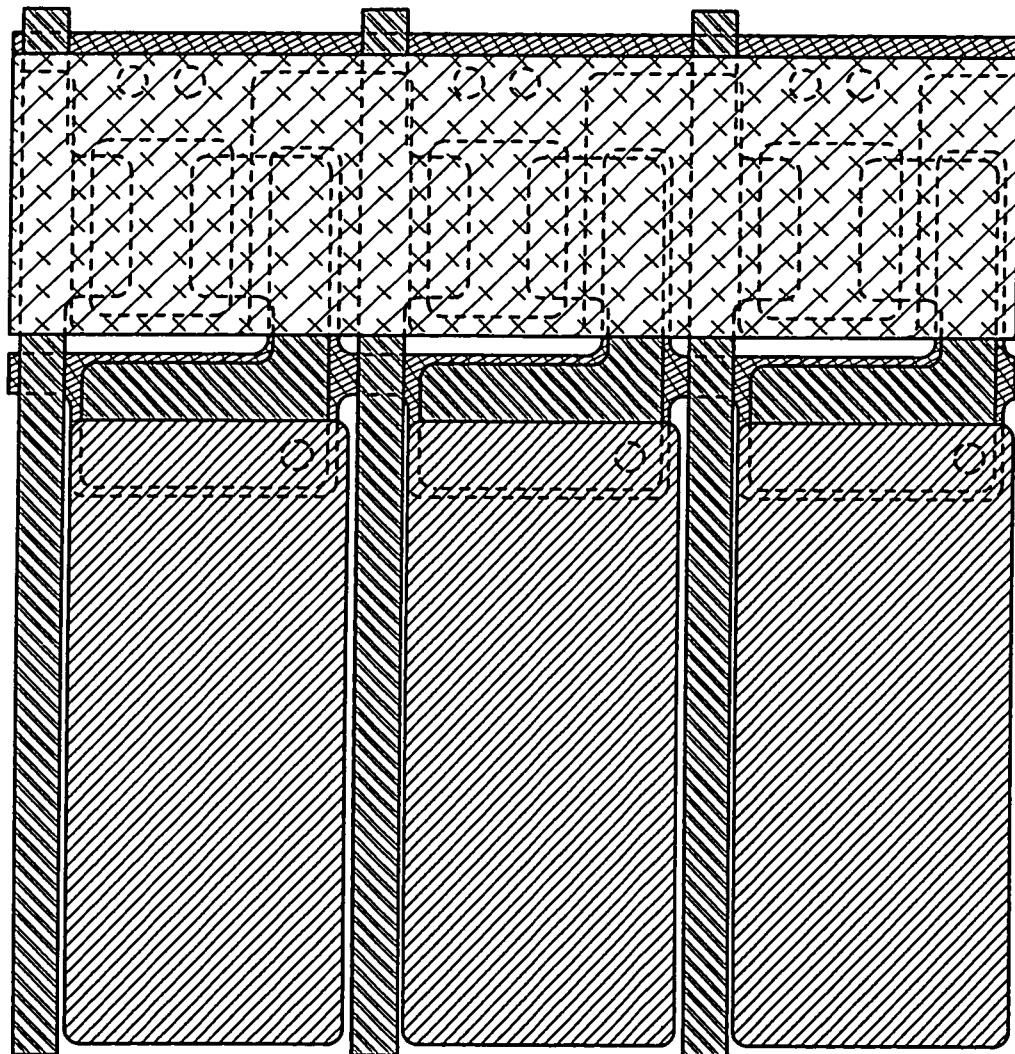
1103 ~ [hatched pattern]

1104 ~ [hatched pattern]

1105 ~ [hatched pattern]

1106 ~ [dashed line]

圖 17



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

1103 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1105 ~ [cross-hatching]

1106 ~ [dashed outline]



圖18

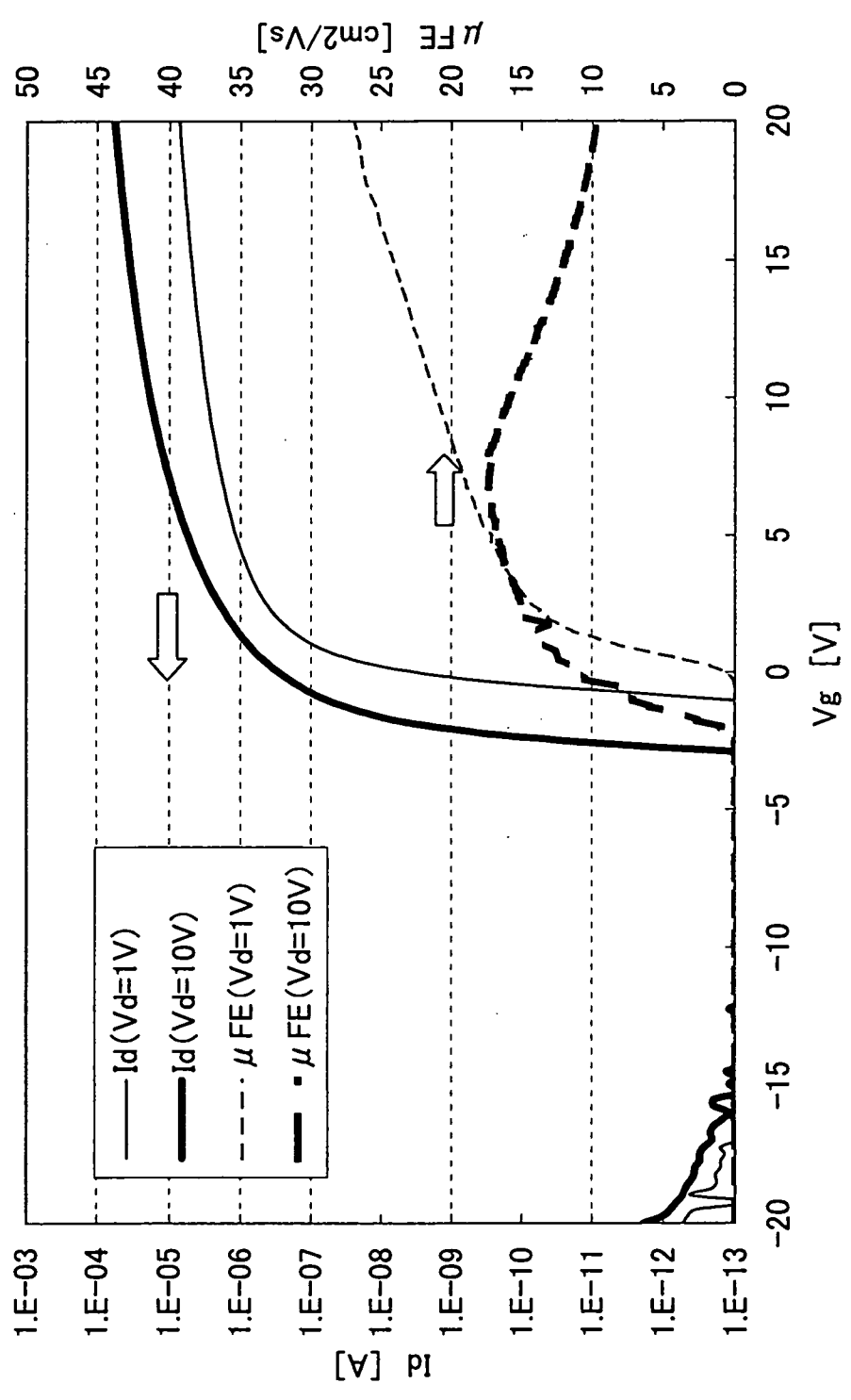


圖19

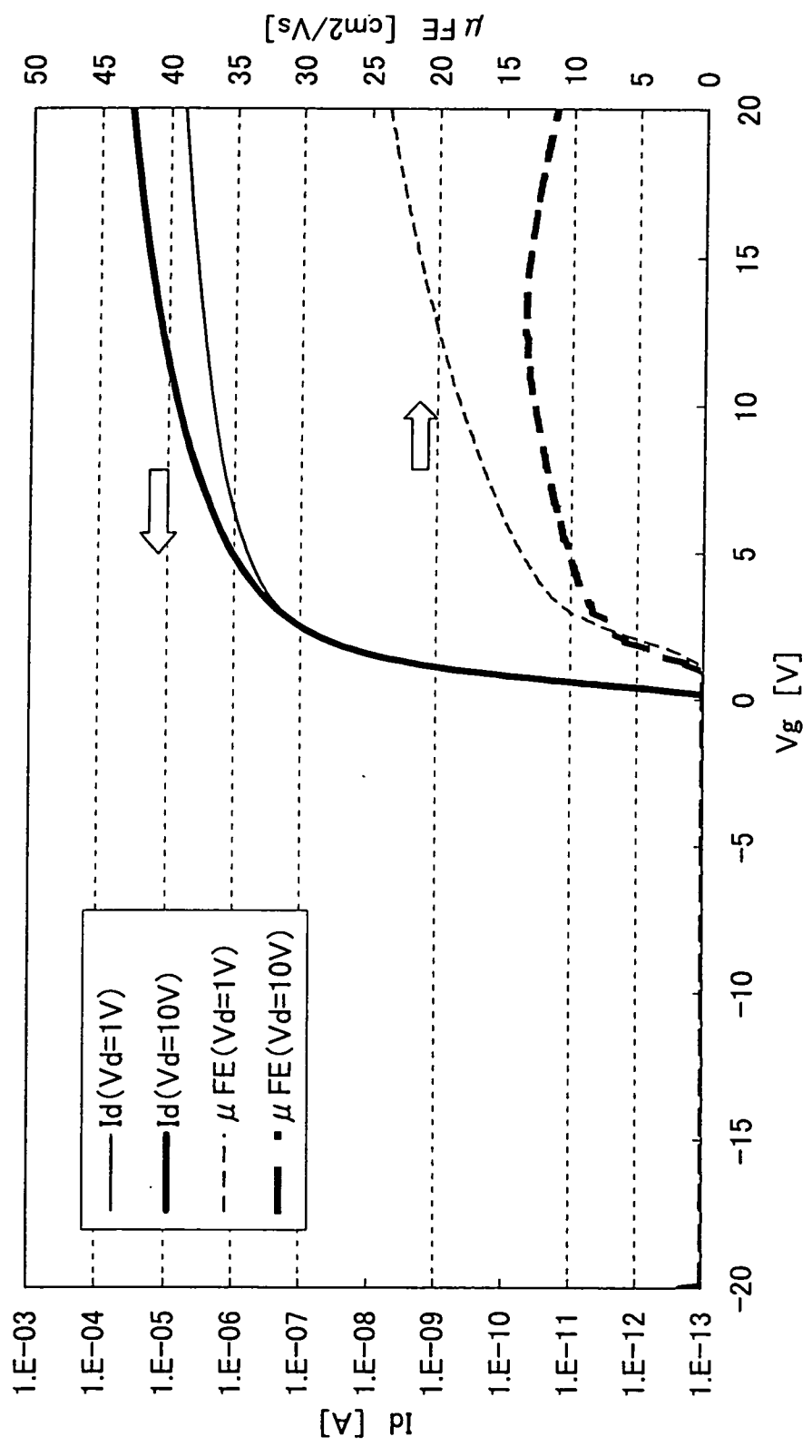


圖20

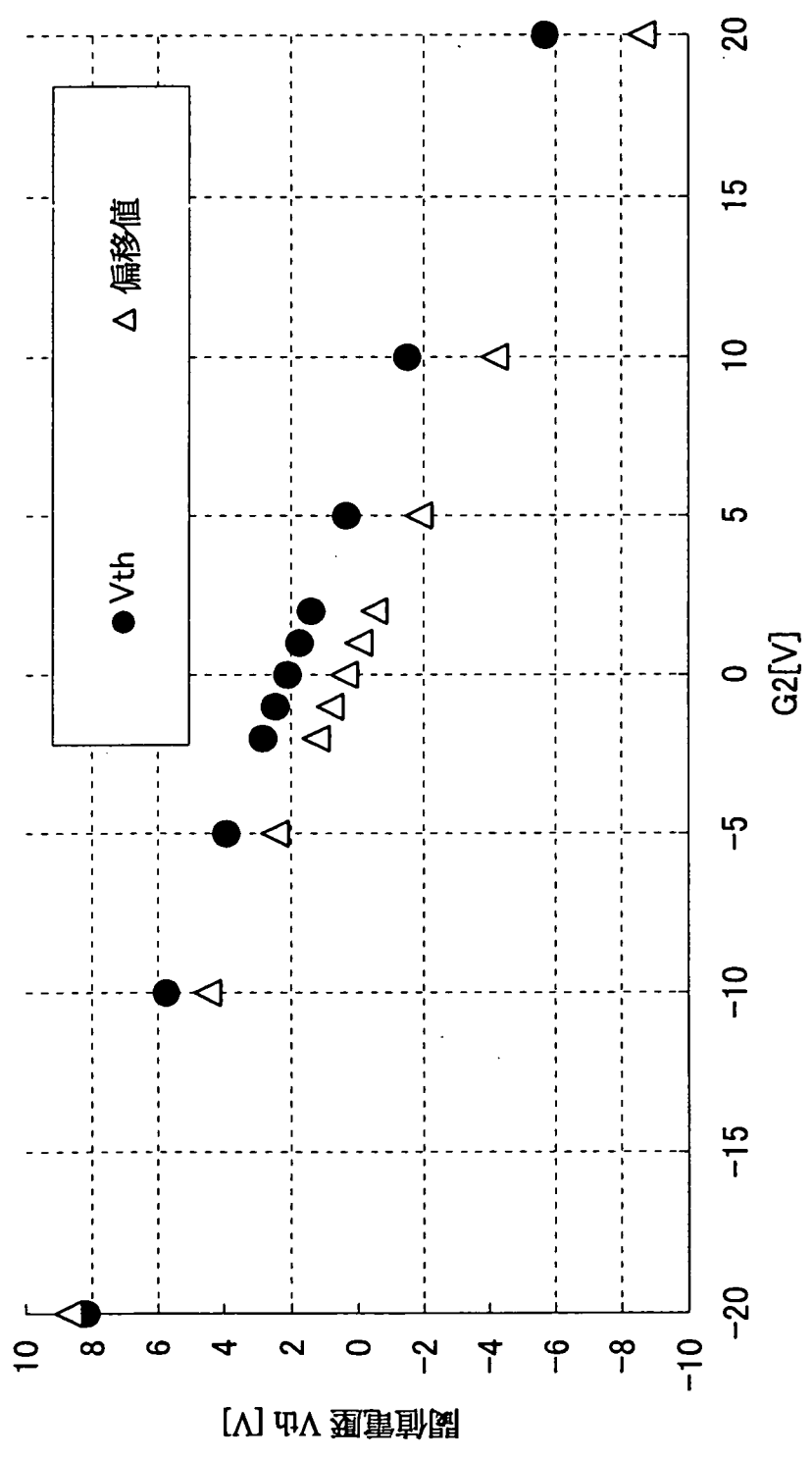


圖 21

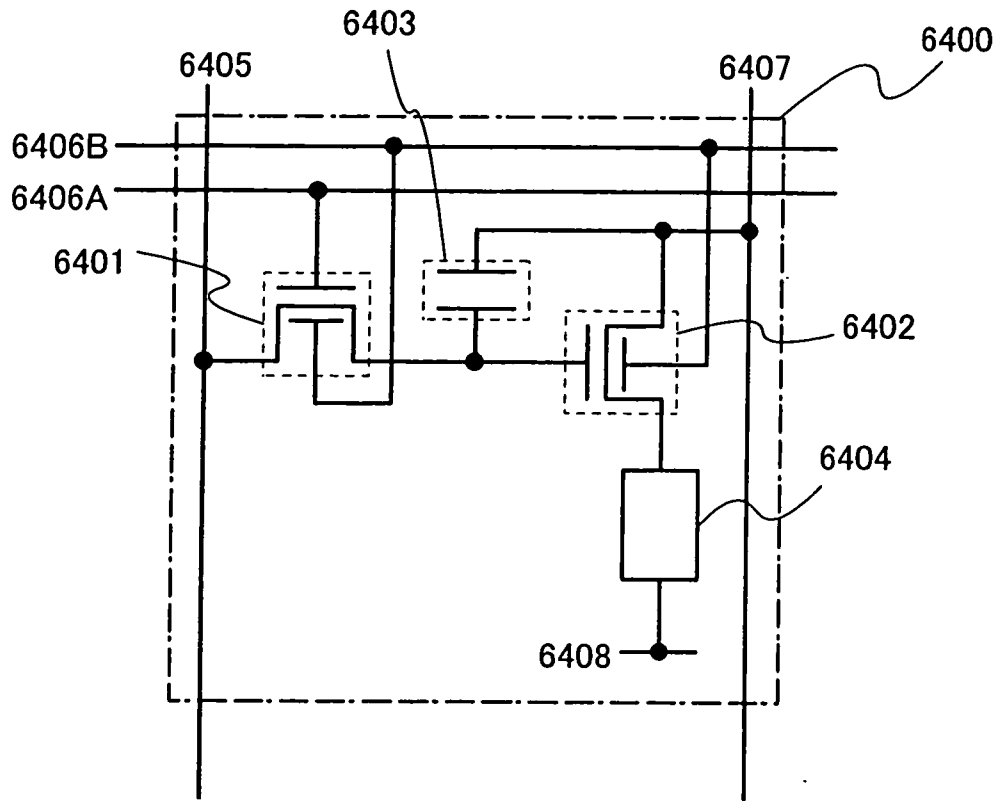


圖 22A

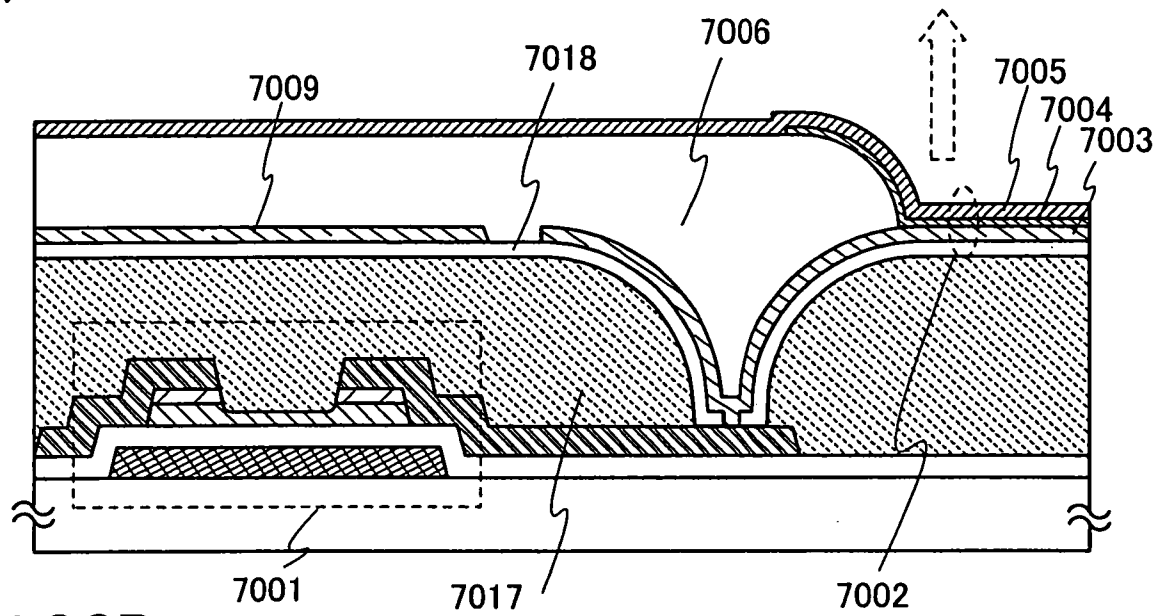


圖 22B

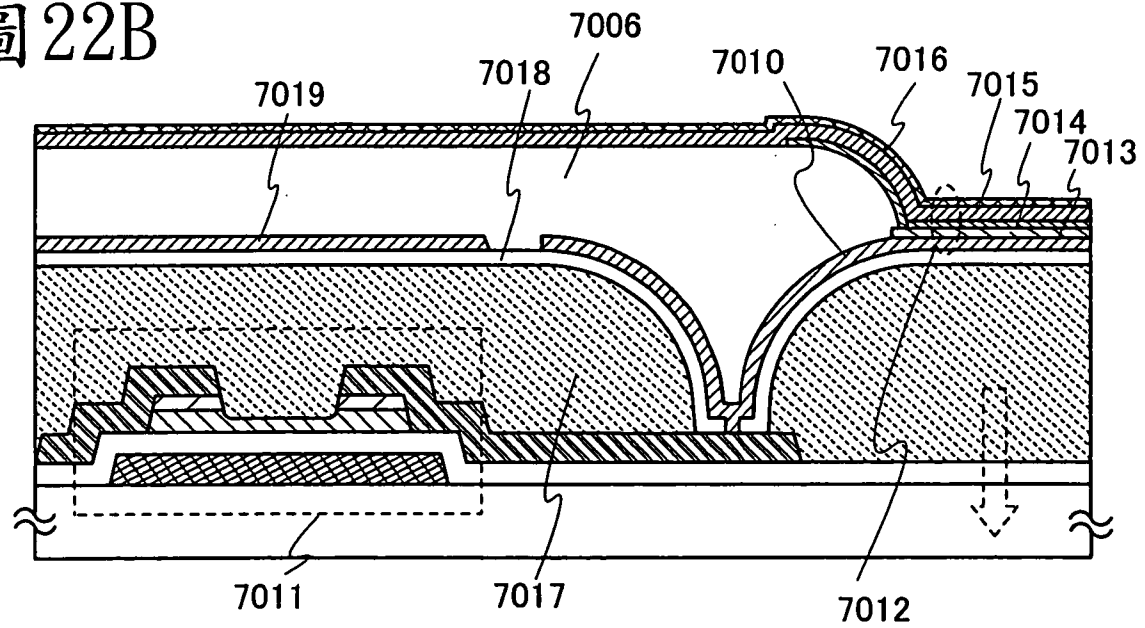


圖 22C

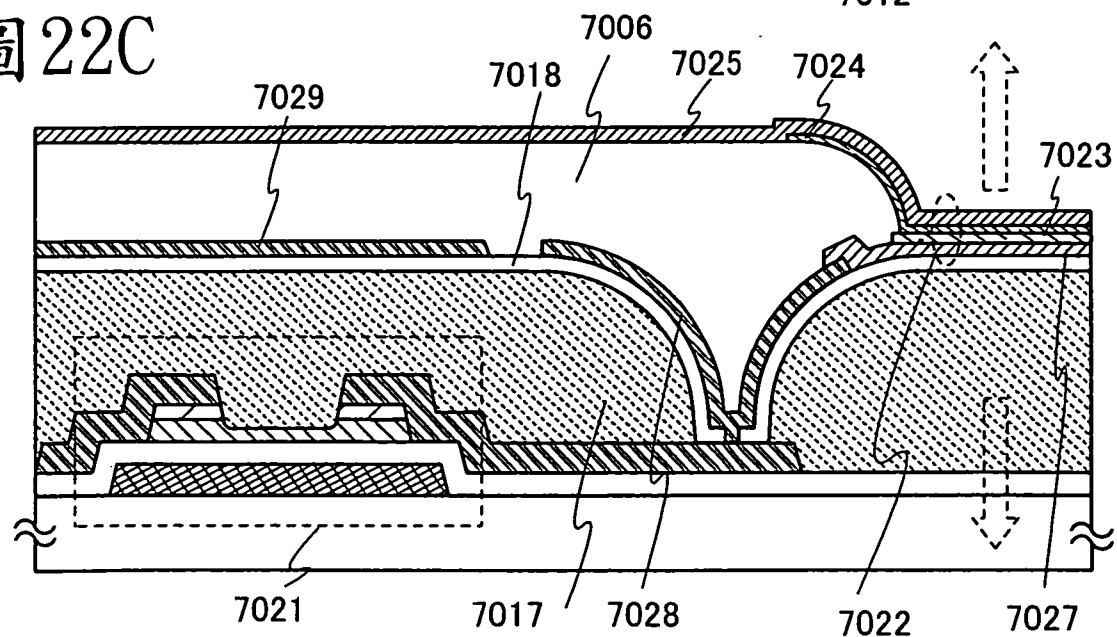


圖 23A

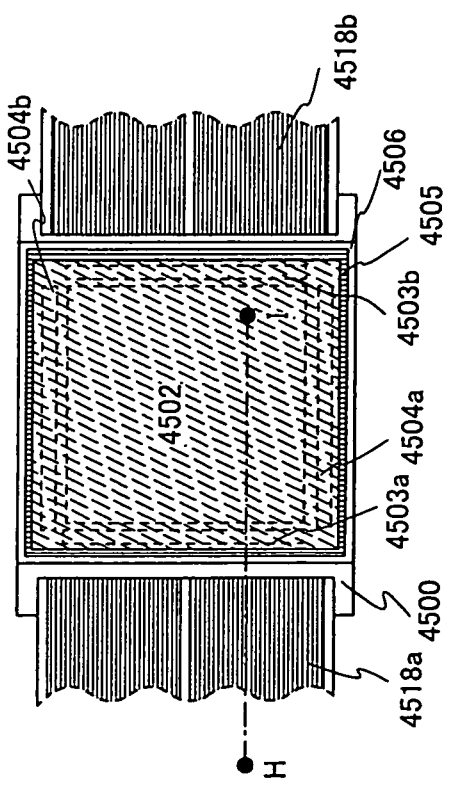


圖 23B

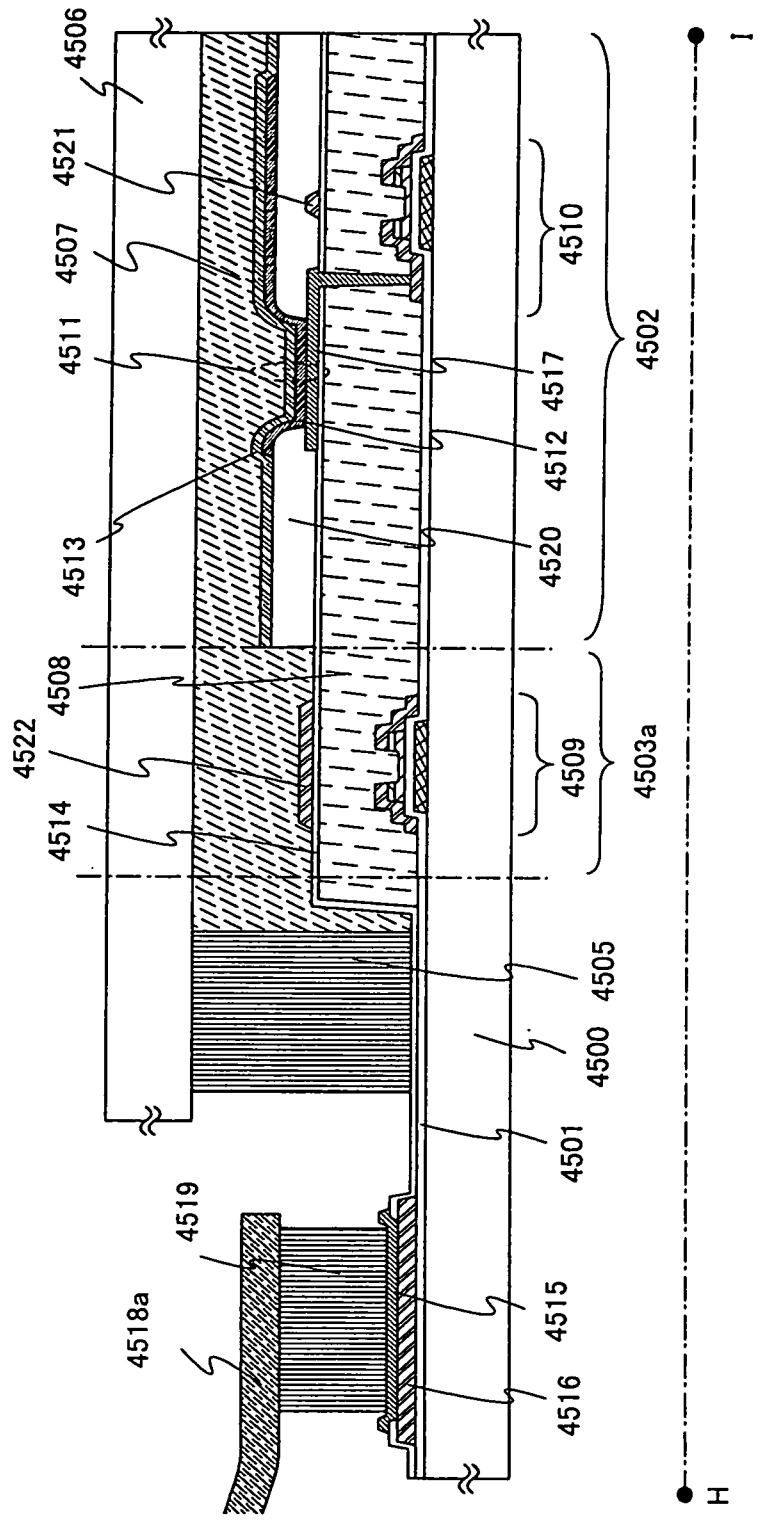


圖24A1

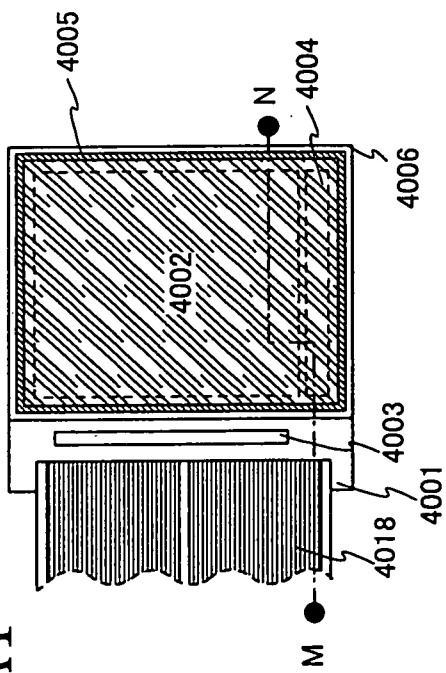


圖24A2

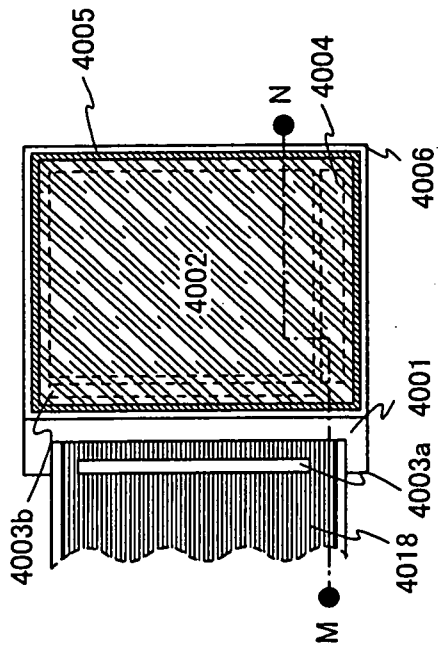


圖24B

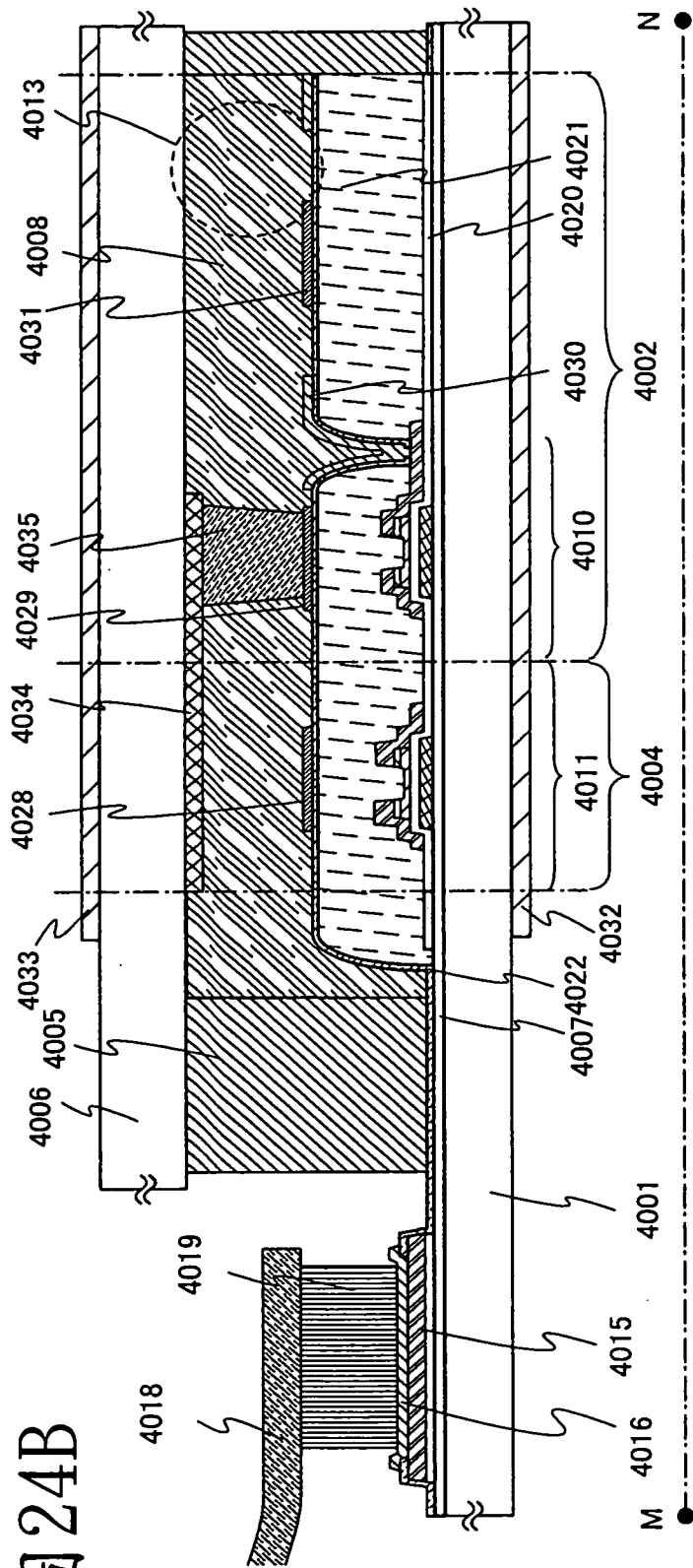


圖25

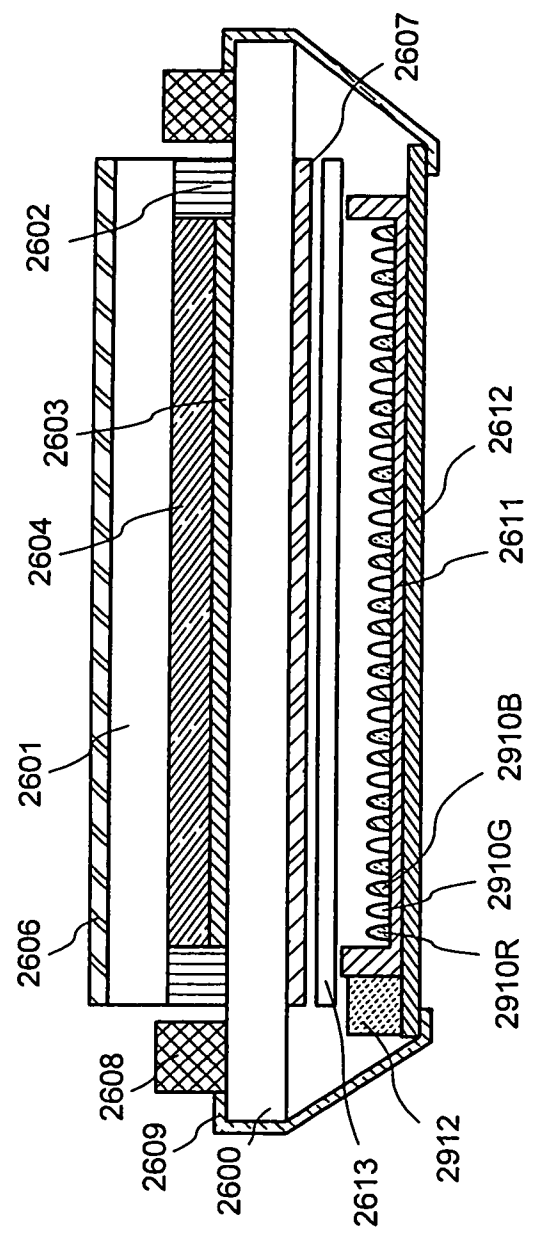




圖 26A

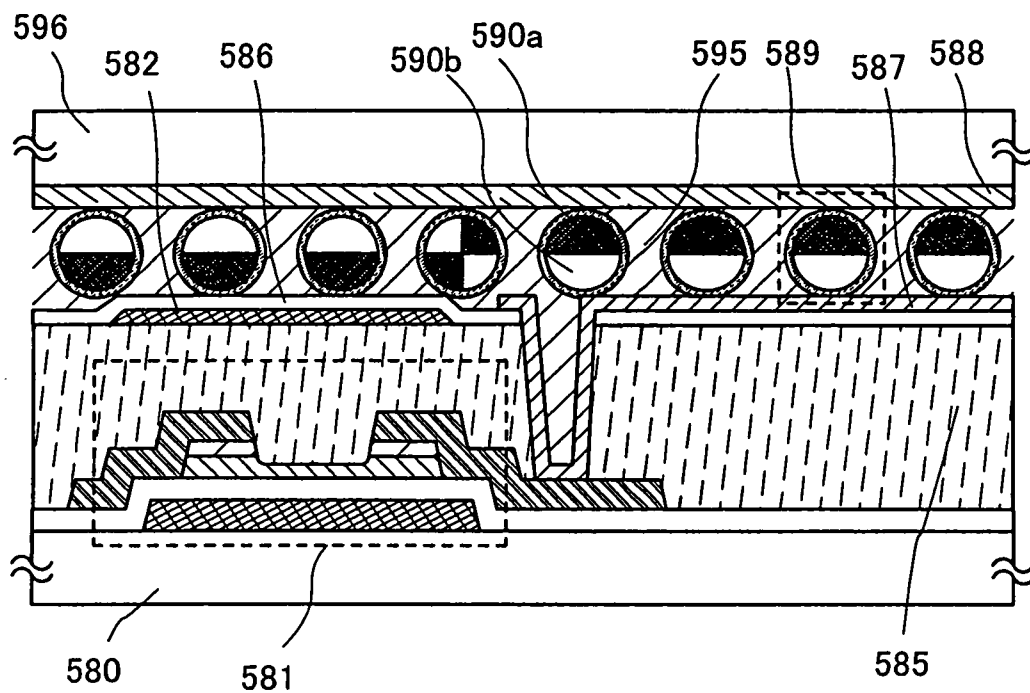


圖 26B

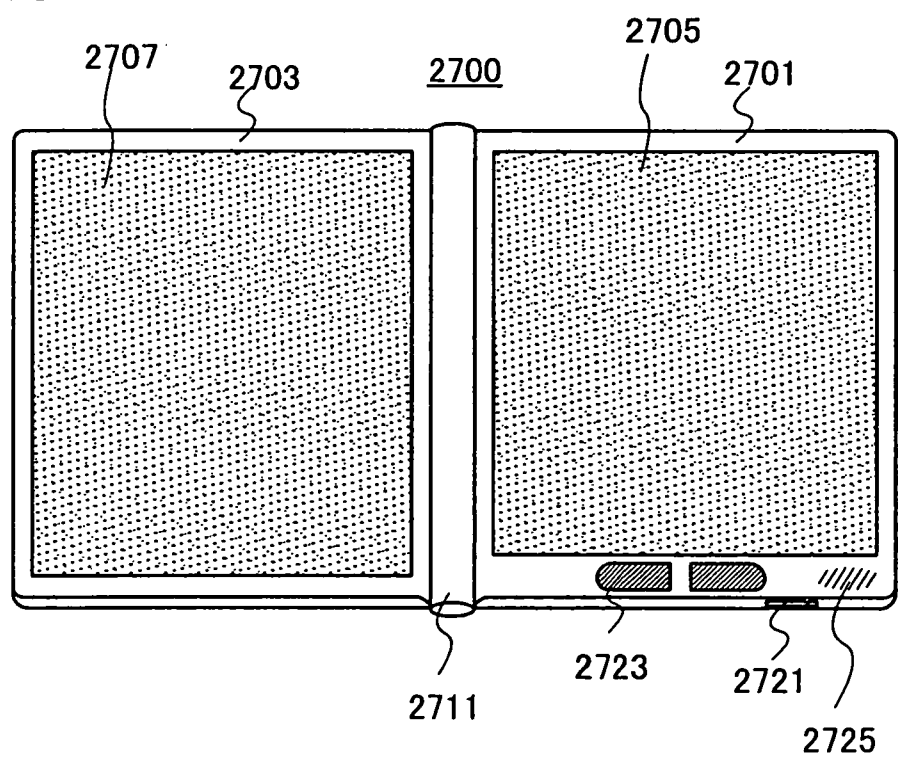


圖 27A

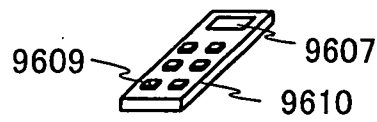
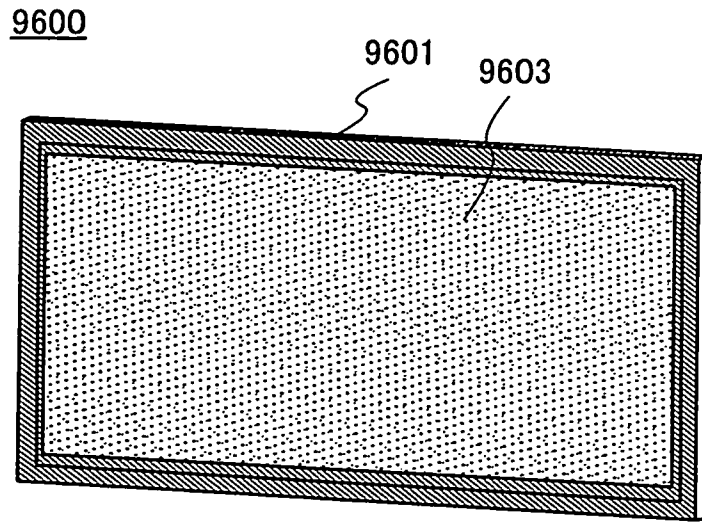


圖 27B

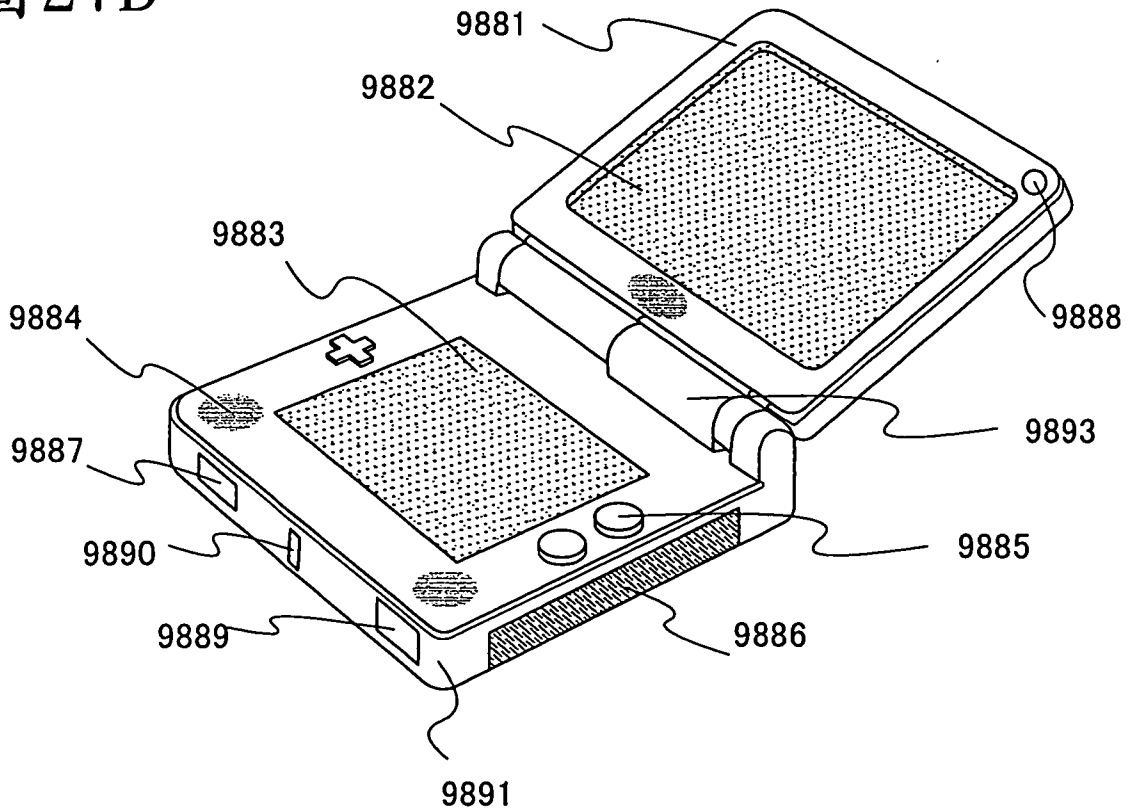


圖 28A

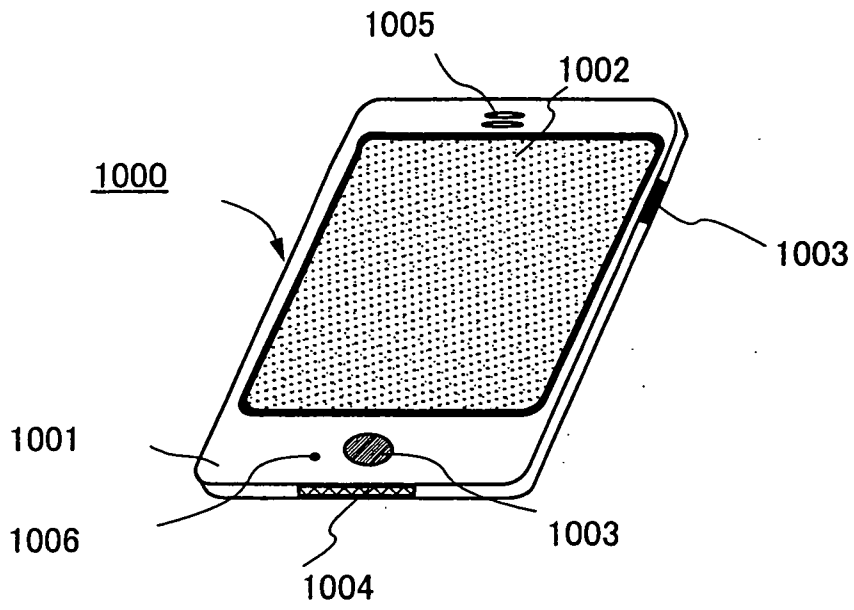


圖 28B

