



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I389256B1

(45) 公告日：中華民國 102 (2013) 年 03 月 11 日

(21) 申請案號：098112811

(22) 申請日：中華民國 98 (2009) 年 04 月 17 日

(51) Int. Cl. : **H01L21/77 (2006.01)**(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)
新竹市新竹科學工業園區力行二路 1 號(72) 發明人：陳昱丞 CHEN, YU CHENG (TW)；李振岳 LI, CHEN YUEH (TW)；莊景桑
CHUANG, CHING SANG (TW)；石靖節 SHIH, CHING CHIEH (TW)；卓恩宗 CHO,
AN THUNG (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

TW 200604668A

US 2009/0009675A1

審查人員：許勝宗

申請專利範圍項數：25 項 圖式數：24 共 0 頁

(54) 名稱

主動元件陣列基板的製造方法

METHOD FOR FABRICATING ACTIVE DEVICE ARRAY SUBSTRATE

(57) 摘要

一種主動元件陣列基板的製造方法。首先，提供一基板，其包括一顯示區與一感測區。接著，於基板之顯示區上形成一第一圖案化導體層。於基板上形成一閘極介電層。於閘極介電層上形成一圖案化半導體層、一第二圖案化導體層以及一圖案化光敏介電層，其中第二圖案化導體層包括一源極、一汲極以及一下電極，圖案化光敏介電層覆蓋第二圖案化導體層，圖案化光敏介電層包括一位於源極與汲極上之介面保護層以及一位於下電極上之光感測層。之後，於基板上形成一覆蓋保護層。繼之，於覆蓋保護層上形成一第三圖案化導體層，其包括一畫素電極以及一上電極。

A method for fabricating an active device array substrate is provided. First, a substrate having a display area and a sensing area is provided. Then, a first patterned conductor layer is formed on the display area of the substrate. A gate insulator is formed on the substrate. A first patterned semiconductor layer, a second patterned conductor layer and a patterned photosensitive dielectric layer are formed on the gate insulator, wherein the second patterned conductor layer includes a source electrode, a drain electrode and a lower electrode, the patterned photosensitive dielectric layer covering the second patterned conductor layer includes a interface protection layer disposed on the source electrode and the drain electrode and a photo-sensing layer disposed on the lower electrode. A passivation layer is then formed on the substrate. After that, a third patterned conductor layer including a pixel electrode and an upper electrode is formed on the passivation layer.

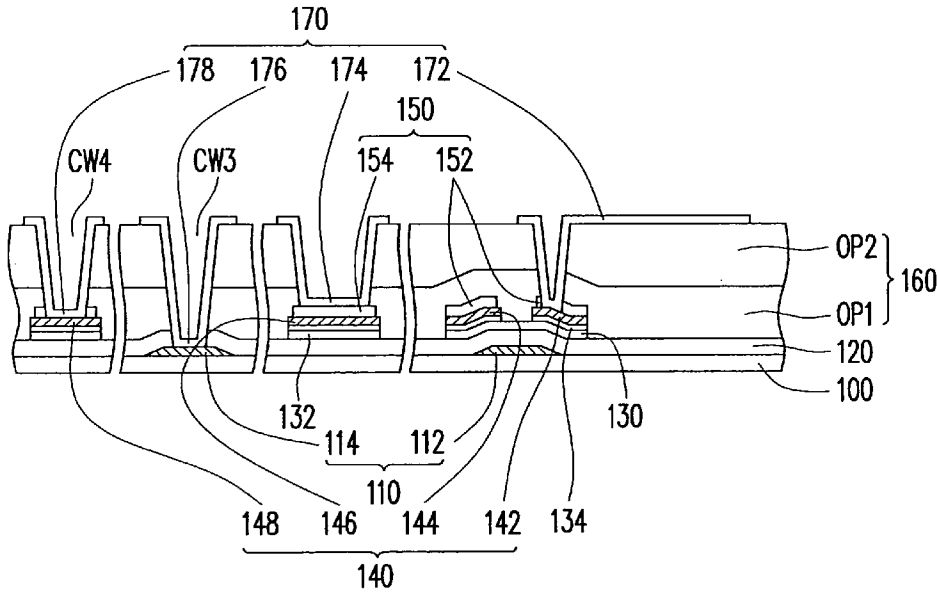


圖 1L

- 100 . . . 基板
- 110 . . . 第一圖案化
導體層
- 112 . . . 閘極
- 114 . . . 第一接墊
- 120 . . . 閘極介電層
- 130 . . . 圖案化半導
體層
- 132 . . . 墊層
- 140 . . . 第二圖案化
導體層
- 142 . . . 源極
- 144 . . . 汲極
- 146 . . . 下電極
- 148 . . . 第二接墊
- 150 . . . 圖案化光敏
介電層
- 152 . . . 介面保護層
- 154 . . . 光感測層
- 160 . . . 覆蓋保護層
- 170 . . . 第三圖案化
導體層
- 172 . . . 畫素電極
- 174 . . . 上電極
- 176 . . . 第一接墊部
- 178 . . . 第二接墊部
- OP1 . . . 無機保護
層
- OP2 . . . 有機保護
層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112811

※申請日：98.4.17

※IPC 分類：H01L 21/717

(2006.01)

一、發明名稱：

主動元件陣列基板的製造方法 / METHOD FOR
FABRICATING ACTIVE DEVICE ARRAY
SUBSTRATE

二、中文發明摘要：

一種主動元件陣列基板的製造方法。首先，提供一基板，其包括一顯示區與一感測區。接著，於基板之顯示區上形成一第一圖案化導體層。於基板上形成一閘極介電層。於閘極介電層上形成一圖案化半導體層、一第二圖案化導體層以及一圖案化光敏介電層，其中第二圖案化導體層包括一源極、一汲極以及一下電極，圖案化光敏介電層覆蓋第二圖案化導體層，圖案化光敏介電層包括一位於源極與汲極上之介面保護層以及一位於下電極上之光感測層。之後，於基板上形成一覆蓋保護層。繼之，於覆蓋保護層上形成一第三圖案化導體層，其包括一畫素電極以及一上電極。

三、英文發明摘要：

A method for fabricating an active device array

substrate is provided. First, a substrate having a display area and a sensing area is provided. Then, a first patterned conductor layer is formed on the display area of the substrate. A gate insulator is formed on the substrate. A first patterned semiconductor layer, a second patterned conductor layer and a patterned photosensitive dielectric layer are formed on the gate insulator, wherein the second patterned conductor layer includes a source electrode, a drain electrode and a lower electrode, the patterned photosensitive dielectric layer covering the second patterned conductor layer includes an interface protection layer disposed on the source electrode and the drain electrode and a photo-sensing layer disposed on the lower electrode. A passivation layer is then formed on the substrate. After that, a third patterned conductor layer including a pixel electrode and an upper electrode is formed on the passivation layer.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1L

(二) 本代表圖之元件符號簡單說明：

100：基板

110：第一圖案化導體層

112：閘極

114：第一接墊

- 120：閘極介電層
- 130：圖案化半導體層
- 132：墊層
- 140：第二圖案化導體層
- 142：源極
- 144：汲極
- 146：下電極
- 148：第二接墊
- 150：圖案化光敏介電層
- 152：介面保護層
- 154：光感測層
- 160：覆蓋保護層
- 170：第三圖案化導體層
- 172：畫素電極
- 174：上電極
- 176：第一接墊部
- 178：第二接墊部
- OP1：無機保護層
- OP2：有機保護層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種主動元件陣列基板之製造方法，且特別是有關於一種減少光罩使用數量之主動元件陣列基板之製造方法。

【先前技術】

一般來說，較常見的液晶顯示面板之畫素結構製造方法包括五道光罩製程(Photolithography and Etch Process, PEP)。第一道光罩製程用以定義出第一金屬層的圖案，以形成掃描線以及主動元件的閘極。第二道光罩製程用以定義出主動元件的通道層以及歐姆接觸層的圖案。第三道光罩製程用以定義出第二金屬層的圖案，以形成資料線以及主動元件的源極與汲極。第四道光罩製程是用來圖案化第二金屬層上方的介電層，以於介電層中形成接觸窗。第五道光罩製程則是用來圖案化電極材料層，以形成畫素電極。

為了進一步提昇液晶顯示器的顯示品質，已有許多液晶顯示器將能夠偵測光線之光感測器整合於其中，一般來說，整合於液晶顯示器內之光感測器通常被用以偵測環境光線(ambient light)感測器，使得液晶顯示器在顯示時可以依據環境光線的強度而針對其顯示之亮度作適當的調整。在另一種應用中，光感測器可作為光學式觸控面板(optical touch panel)的感測裝置，當使用者以手指或是其他物品（如觸控筆等）碰觸光學式觸控面板時，整合於液晶顯示

面板上的光感測器可以感應光線強度的變化，並輸出對應的訊號以達成觸控之功能。在光感測器的分佈密度夠高的情形下，這些光感測器還可以被運用在指紋辨識 (fingerprint identification) 以及影像掃瞄上。

近年來，光感測器(photo-sensor)的設置已由早期的外掛式設計，漸漸轉變為整合至液晶顯示面板中。但是，若將光感測器製作於主動元件陣列基板上時，在製作上所需的光罩製程便會增加，而導致產品競爭力下降。

【發明內容】

本發明關於一種整合了光感測器之主動元件陣列基板的製造方法，其光感測器的製作並不會額外增加光罩製程。

本發明關於一種整合了光感測器之主動元件陣列基板的製造方法，其可以使用較低的成本製作出主動元件陣列基板。

本發明提出一種主動元件陣列基板的製造方法，其包括下列步驟。首先，提供一包括一顯示區與一感測區之基板，於基板之顯示區上形成一第一圖案化導體層。於基板上形成一閘極介電層，以覆蓋第一圖案化導體層。於閘極介電層上形成一圖案化半導體層、一第二圖案化導體層以及一圖案化光敏介電層，其中第二圖案化導體層包括一源極、一汲極以及一下電極，源極與汲極位於顯示區並覆蓋部分圖案化半導體層，下電極位於感測區，而圖案化光敏

介電層覆蓋第二圖案化導體層，圖案化光敏介電層包括一位於源極與汲極上之介面保護層以及一位於下電極上之光感測層。於基板上形成一覆蓋保護層，其中覆蓋保護層具有一第一接觸窗以暴露源極以及汲極其中之一，以及一第二接觸窗以暴露光感測層。於覆蓋保護層上形成一第三圖案化導體層，其中第三圖案化導體層包括一畫素電極以及一上電極，畫素電極透過第一接觸窗與源極以及汲極其中之一電性連接，而上電極則透過第二接觸窗覆蓋光感測層。

在本發明之一實施例中，上述之圖案化半導體層與第二圖案化導體層之間包括一圖案化重摻雜半導體層。

在本發明之一實施例中，上述之第一圖案化導體層的形成方法包括下列步驟。首先，於基板上形成一第一導體材料層。接著，圖案化第一導體材料層，以於基板上形成多條掃描線以及多個與這些掃描線連接之閘極。

在本發明之一實施例中，上述之第一圖案化導體層在形成掃描線以及閘極的同時，更包括形成多個與這些掃描線之末端連接之第一接墊。

在本發明之一實施例中，上述之第一圖案化導體層在形成第一接觸窗與第二接觸窗的同時，更包括於閘極介電層與覆蓋保護層中形成多個第三接觸窗以將第一接墊暴露，而部分第三圖案化導體層透過第三接觸窗與第一接墊電性連接。

在本發明之一實施例中，上述之第二圖案化導體層的形成方法包括下列步驟。首先，於基板上形成一第二導體

材料層。圖案化第二導體材料層，以於基板上形成源極與汲極以及下電極。

在本發明之一實施例中，在形成上述源極、汲極以及下電極的同時，更包括形成與源極連接之資料線。

在本發明之一實施例中，在形成上述源極、汲極、下電極以及資料線的同時，更包括形成與資料線之末端連接之第二接墊。

在本發明之一實施例中，在形成上述第一接觸窗與第二接觸窗的同時，更包括於覆蓋保護層中形成多個第四接觸窗以將第二接墊暴露，而部分第三圖案化導體層透過第四接觸窗與第二接墊電性連接。

在本發明之一實施例中，上述之覆蓋保護層包括一無機保護層與一配置於無機保護層上之有機保護層，而形成上述第一接觸窗與第二接觸窗的方法包括下列步驟。首先，圖案化有機保護層以形成一圖案化有機保護層，並以圖案化有機保護層為罩幕，移除源極與汲極上方之無機保護層、部分介面保護層及部分閘極介電層。再者，減少圖案化有機保護層的厚度，直到第二區塊被移除而將光感測層上方之無機保護層暴露為止。接著，以厚度減少之圖案化有機保護層為罩幕，移除光感測層上方之無機保護層，以使光感測層暴露。

在本發明之一實施例中，減少圖案化有機保護層之厚度的方法包括電漿灰化(plasma ashing)。

在本發明之一實施例中，圖案化半導體層、第二圖案

化導體層以及圖案化光敏介電層的形成方法包括下列步驟。於閘極介電層上依序形成一半導體材料層、一第二導體材料層以及一光敏介電材料層。於光敏介電材料層上形成一圖案化光阻層，其中圖案化光阻層具有多個第二開口，且圖案化光阻層包括一第三區塊以及一第四區塊，而第三區塊的厚度大於第四區塊的厚度。以圖案化光阻層為罩幕，移除部分半導體材料層、第二導體材料層以及光敏介電材料層，以同時形成源極與汲極、下電極、光感測層以及介面保護層。最後再移除圖案化光阻層。

在本發明之一實施例中，同時形成源極與汲極、下電極、光感測層以及介面保護層的方法包括下列步驟。以圖案化光阻層為罩幕，移除部分半導體材料層、第二導體材料層以及光敏介電材料層，以形成下電極以及光感測層。減少圖案化光阻層的厚度，直到第四區塊被移除。以厚度減少之圖案化光阻層為罩幕，移除部分第二導體材料層以及光敏介電材料層，以形成源極與汲極以及介面保護層。

在本發明之一實施例中，在形成下電極以及光感測層的同時，更包括於下電極與閘極介電層之間形成一墊層(pad layer)。

本發明提出一種主動元件陣列基板的製造方法，其包括下列步驟。首先，提供一包括一顯示區與一感測區之基板，於基板之顯示區上形成一第一圖案化導體層。於基板上形成一閘極介電層，以覆蓋第一圖案化導體層。於閘極介電層上形成一圖案化半導體層，其中圖案化半導體層位

於第一圖案化導體層上方。於圖案化半導體層上形成一第二圖案化導體層以及一圖案化光敏介電層，其中第二圖案化導體層包括一源極、一汲極以及一下電極，源極與汲極位於顯示區並覆蓋部分該圖案化半導體層，下電極位於感測區，圖案化光敏介電層覆蓋第二圖案化導體層，且圖案化光敏介電層包括一位於源極與汲極上之介面保護層以及一位於下電極上之光感測層。於基板上形成一覆蓋保護層，且覆蓋保護層具有一第一接觸窗以暴露源極與該汲極其中之一，以及一第二接觸窗以暴露光感測層。於覆蓋保護層上形成一第三圖案化導體層，其中第三圖案化導體層包括一畫素電極以及一上電極，畫素電極透過該第一接觸窗與源極與汲極其中之一電性連接，而上電極透過第二接觸窗覆蓋光感測層。

在本發明之一實施例中，上述之圖案化半導體層與第二圖案化導體層之間包括一圖案化重摻雜半導體層。

在本發明之一實施例中，上述之第一圖案化導體層的形成方法包括下列步驟。首先，於基板上形成一第一導體材料層。圖案化第一導體材料層，以於基板上形成多條掃描線以及多個與掃描線連接之閘極。

在本發明之一實施例中，在形成上述掃描線以及閘極的同時，更包括形成多個與掃描線之末端連接之第一接墊。

在本發明之一實施例中，在形成上述第一接觸窗與第二接觸窗的同時，更包括於閘極介電層與覆蓋保護層中形成多個第三接觸窗以將第一接墊暴露，而部分第三圖案化

導體層透過第三接觸窗與第一接墊電性連接。

在本發明之一實施例中，上述之第二圖案化導體層的形成方法包括下列步驟。於基板上形成一第二導體材料層。圖案化第二導體材料層，以於基板上形成源極與汲極以及下電極。

在本發明之一實施例中，在形成上述之源極與汲極以及下電極的同時，更包括形成與源極連接之資料線。

在本發明之一實施例中，在形成上述之源極與汲極、下電極以及資料線的同時，更包括形成與資料線之末端連接之第二接墊。

在本發明之一實施例中，在形成第一接觸窗與第二接觸窗的同時，更包括於覆蓋保護層中形成多個第四接觸窗以將第二接墊暴露，而部分第三圖案化導體層透過第四接觸窗與第二接墊電性連接。

在本發明之一實施例中，上述之覆蓋保護層包括一無機保護層與一配置於無機保護層上之有機保護層，而第一接觸窗與第二接觸窗的形成方法包括下列步驟。圖案化有機保護層以形成一圖案化有機保護層，並以圖案化有機保護層為罩幕，移除源極與汲極上方之覆蓋保護層、部分該介面保護層及部分閘極介電層。減少圖案化有機保護層的厚度，直到第二區塊被移除而將光感測層上方之無機保護層暴露為止。以厚度減少之圖案化有機保護層為罩幕，移除光感測層上方之無機保護層，以使光感測層暴露。

在本發明之一實施例中，上述減少圖案化有機保護層

之厚度的方法包括電漿灰化。

在本發明之一實施例中，上述圖案化半導體層的形成方法下列步驟。於閘極介電層上形成一圖案化半導體材料層。

在本發明之一實施例中，上述第二圖案化導體層以及圖案化光敏介電層的形成方法包括下列步驟。於圖案化半導體層上依序形成一第二導體材料層以及一光敏介電材料層。圖案化第二導體材料層以及光敏介電材料層。

基於上述，本發明之主動元件陣列基板的製作方法不但可以有效地將光感測器之製作整合於現有製程中，更可以在不額外增加光罩製程的情況下完成光感測器之製作。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

需注意的是，下列不同實施例中所提出的作為示例的細部結構都可以在合理的情況下相互組合、替換或被省略，以因應不同的實際需求。本技術領域中具有通常知識者在參照下列實施例的說明後應能理解本發明的精神與技術特徵，並且在不脫離本發明的精神範圍內做出合理的變化與應用。此外，為了方便說明，並使說明內容能更易於被理解，下文採用相同的標號來表示相同或類似的元件，並可能省略重複的文字說明。

圖 1A 至圖 1L 繪示本發明之一實施例之主動元件陣列基板的製造流程剖面示意圖。為方便說明，圖 1A 至圖 1L 僅繪示主動元件陣列基板的局部剖面作代表說明。

請參照圖 1A，提供一基板 100，其具有一顯示區 100a 以及一感測區 100b。在本實施例中，基板 100 上還可進一步包含一周邊電路區 100c。基板 100 之材質可以是無機透明材質(例如玻璃、石英、其它適合材料及其組合)、有機透明材質(例如聚烯類、聚酰類、聚醇類、聚酯類、橡膠、熱塑性聚合物、熱固性聚合物、聚芳香烴類、聚甲基丙醯酸甲酯類、聚碳酸酯類、其它合適材料、上述之衍生物及其組合)、無機不透明材質(例如矽片、陶瓷、其它合適材料或上述之組合)或上述之組合。

接著請參照圖 1B，於基板 100 之顯示區 100a 上形成一第一圖案化導體層 110。詳細而言，在本實施例中，第一圖案化導體層 110 的形成方法包括下列步驟。首先，於基板 100 上形成一第一導體材料層 M1。接著，圖案化第一導體材料層 M1，以於基板 100 上形成多條掃描線(未繪示)以及多個與這些掃描線連接之閘極 112。

在本實施例中，在形成掃描線以及閘極 112 的同時，可於基板 100 的周邊電路區 100c 上一併形成多個與這些掃描線末端連接之第一接墊 114。

接著請參照圖 1C 至 1F，於基板 100 上形成一閘極介電層 120，以覆蓋第一圖案化導體層 110。然後，於閘極介電層 120 上形成一圖案化半導體層 130、一第二圖案化導

體層 140 以及一圖案化光敏介電層 150。第二圖案化導體層 140 包括一源極 142、一汲極 144 以及一下電極 146，其中源極 142 與汲極 144 位於顯示區 100a 內並覆蓋部分圖案化半導體層 130，而下電極 146 則位於感測區 100b 內。圖案化光敏介電層 150 覆蓋於第二圖案化導體層 140 上，且圖案化光敏介電層 150 包括一位於源極 142 與汲極 144 上之介面保護層 152 以及一位於下電極 146 上之光感測層 154。在本實施例中，閘極介電層 120 可為單層或多層結構，且其材質是如氧化矽或氮化矽等無機材質、是如光阻或環烯類等有機材質或上述之組合。此外，圖案化光敏介電層 150 可以為一富矽介電層 (silicon rich dielectric)，例如富矽之氧化物或氮化物 (Si rich oxide or Si rich nitride)，但不以此為限。

以下將搭配圖 1C 至圖 1F 針對圖案化半導體層 130、第二圖案化導體層 140 以及圖案化光敏介電層 150 的製作過程做詳細之說明。

請參照圖 1C，首先於閘極介電層 120 上依序形成一半導體材料層 SE、一第二導體材料層 M2 以及一光敏介電材料層 PH。接著請參照圖 1D 與圖 1F，於光敏介電材料層 PH 上形成一圖案化光阻層 PR，其中圖案化光阻層 PR 具有多個第二開口 A，且圖案化光阻層 PR 包括一第三區塊 S3 以及一第四區塊 S4，而第三區塊 S3 的厚度大於第四區塊 S4 的厚度。詳細而言，圖案化光阻層 PR 是以一半調式光罩 (half tone mask) 或灰調式光罩 (grey tone mask) 對

光阻層進行一曝光程序所形成，其中半調式光罩或灰調式光罩是使用不同明暗度之光罩調變曝光量，使光阻層受到不同照度的曝光，經顯影製程之後可得到不同深淺度的形狀。

之後，以圖案化光阻層 PR 為罩幕(mask)，移除部分半導體材料層 SE、第二導體材料層 M2 以及光敏介電材料層 PH，以同時形成源極 142 與汲極 144、下電極 146、光感測層 154 以及介面保護層 152，如圖 1F 所示。在本實施例中，在形成源極 142、汲極 144 以及下電極 146 之時，也同時形成與源極 142 連接之資料線(未繪示)，以及與資料線之末端連接之第二接墊 148。最後，移除該圖案化光阻層 PR。

在本實施例中，上述同時形成源極 142 與汲極 144、下電極 146、光感測層 154 以及介面保護層 152 的方法包括下列步驟。首先，以圖案化光阻層 PR 為罩幕，移除部分半導體材料層 SE、第二導體材料層 M2 以及光敏介電材料層 PH，以形成下電極 146 以及光感測層 154，如圖 1D 所示。在本實施例中，在形成下電極 146 以及光感測層 154 的同時，更包括於下電極 146 與閘極介電層 120 之間形成一墊層(pad layer) 132。接著，減少圖案化光阻層 PR 的厚度，直到第四區塊 S4 被移除，如圖 1E 所示。在本實施例中，減少圖案化光阻層 PR 之厚度的方法包括電漿灰化(ashing)。然後，以厚度減少之圖案化光阻層 PR 為罩幕，移除部分第二導體材料層 SE 以及光敏介電材料層 PH，以形成源極 142、汲極 144 以及介面保護層 152，如圖 1F 所

示。

請參照圖 1G 至 1L，於基板 100 上形成一覆蓋保護層 160。在本實施例中，覆蓋保護層 160 包括一無機保護層 OP1 與一配置於無機保護層 OP1 上之有機保護層 OP2，其中無機保護層 OP1 覆蓋住閘極介電層 120、圖案化半導體層 130、第二圖案化導體層 140 以及圖案化光敏介電層 150。

由圖 1K 可知，覆蓋保護層 160 具有一第一接觸窗 CW1 以及一第二接觸窗 CW2，其中第一接觸窗 CW1 係暴露出源極 142 以及汲極 144 其中之一，而第二接觸窗 CW2 則暴露出光感測層 154。在本實施例中，形成第一接觸窗 CW1 與第二接觸窗 CW2 的方法包括下列步驟。首先，於無機保護層 OP1 上形成一圖案化有機保護層 OP2，如圖 1H 所示。接著，以圖案化有機保護層 OP2 為罩幕，移除源極 142 與汲極 144 上方之無機保護層 OP1、部分介面保護層 152 及部分閘極介電層 120，如圖 1I 所示。接著，減少圖案化有機保護層 OP2 的厚度，直到第二區塊 S2 被移除而將光感測層 146 上方之無機保護層 OP1 暴露為止，如圖 1J 所示。在本實施例中，減少圖案化有機保護層 OP2 之厚度的方法包括電漿灰化。然後，以厚度減少之圖案化有機保護層 OP2 為罩幕，移除光感測層 146 上方之無機保護層 OP1，以使光感測層 146 暴露，如圖 1K 所示。

接著請參照圖 1L，於圖案化有機保護層 OP2 上形成一第三圖案化導體層 170。由圖 1L 可知，本實施例之第三圖案化導體層 170 包括一畫素電極 172 以及一上電極 174，其中畫素電極 172 透過第一接觸窗 CW1 與源極 142

以及汲極 144 其中之一電性連接，而上電極 174 則透過第二接觸窗 CW2 與光感測層 154 電性連接。舉例而言，第三圖案化導體層 170 可透過物理氣相沈積(Physical Vapor Deposition, PVD)以及微影蝕刻製程來進行製作。詳言之，本實施例可藉由濺鍍(sputtering)、蒸鍍(evaporation)以及其他薄膜沈積技術先形成一材料層，之後再透過微影蝕刻製程進行材料層之圖案化製程，如此即可製作出包含有畫素電極 172 以及上電極 174 之第三圖案化導體層 170。

在本實施例中，上述之半導體材料層 SE 與導體材料層 M2 之間包括一重摻雜半導體材料層 DS，而圖案化半導體層 130 與第二圖案化導體層 140 之間還包括一圖案化重摻雜半導體層 134。此外，在本實施例中，圖案化重摻雜半導體層 134 即為歐姆接觸層。

在本實施例中，在形成第一接觸窗 CW1 與第二接觸窗 CW2 的同時，可進一步於閘極介電層 120 與覆蓋保護層 160 中形成多個將第一接墊 114 暴露之第三接觸窗 CW3，如圖 1K 所示。此外，由圖 1L 可知，第三圖案化導體層 170 可進一步包括多個第一接墊部 176，且第一接墊部 176 會透過第三接觸窗 CW3 與第一接墊 114 電性連接。

在本實施例中，在形成第一接觸窗 CW1 與第二接觸窗 CW2 的同時，可進一步於覆蓋保護層 160 中形成多個將第二接墊 148 暴露之第四接觸窗 CW4，如圖 1K 所示。此外，由圖 1L 可知，第三圖案化導體層 170 可進一步包括多個第二接墊部 178，且第二接墊部 178 會透過第四接觸窗 CW4 與第二接墊 148 電性連接。

圖 2A 至圖 2L 繪示本發明另一實施例之主動元件陣列基板的製造流程剖面示意圖。為方便說明，圖 2A 至圖 2L 僅繪示主動元件陣列基板的局部剖面作代表說明。

請先參照圖 2A，提供一基板 200，其具有一顯示區 200a 以及一感測區 200b。在本實施例中，基板 200 上還可進一步包含一周邊電路區 200c。基板 200 之材質可以是無機透明材質(例如玻璃、石英、其它適合材料及其組合)、有機透明材質(例如聚烯類、聚醜類、聚醇類、聚酯類、橡膠、熱塑性聚合物、熱固性聚合物、聚芳香烴類、聚甲基丙醢酸甲酯類、聚碳酸酯類、其它合適材料、上述之衍生物及其組合)、無機不透明材質(例如矽片、陶瓷、其它合適材料或上述之組合)或上述之組合。

接著請參照圖 2B，於基板 200 之顯示區 200a 上形成一第一圖案化導體層 210。詳細而言，在本實施例中，第一圖案化導體層 210 的形成方法包括下列步驟。首先，於基板 200 上形成一第一導體材料層 M1'，接著，圖案化第一導體材料層 M1'，以於基板 200 上形成多條掃描線(未繪示)以及多個於掃描線連接之閘極 212。

在本實施例中，於形成掃描線以及閘極 212 的同時，可於基板 200 的周邊電路區 200c 上一併形成多個與掃描線之末端連接之第一接墊 214。

接著請參照圖 2C 至 2F，於基板 200 上形成一閘極介電層 220，以覆蓋第一圖案化導體層 210。然後，於閘極介電層 220 上形成一圖案化半導體層 230，其中圖案化半導

體層 230 位於第一圖案化導體層 220 上方。接著，於圖案化半導體層 230 上形成一第二圖案化導體層 240 以及一圖案化光敏介電層 250，其中第二圖案化導體層 240 包括一源極 242、一汲極 244 以及一下電極 246。源極 242 與汲極 244 位於顯示區 200a 並覆蓋部分圖案化半導體層 230，而一下電極 246 位於感測區 200b。圖案化光敏介電層 250 覆蓋第二圖案化導體層 240，且圖案化光敏介電層 250 包括一位於源極 242 與汲極 244 上之介面保護層 252 以及一位於下電極 246 上之光感測層 254。在本實施例中，閘極介電層 220 可為單層或多層結構，且其材質是如氧化矽或氮化矽等無機材質、是如光阻或環烯類等有機材質或上述之組合。此外，圖案化光敏介電層 250 可以為一富矽介電層 (silicon rich dielectric)，例如富矽之氧化物或富矽之氮化物 (Si rich oxide or Si rich nitride)、富矽之氮氧化物、富矽之碳化物、富矽之碳氧化物，但不以此為限。

以下將搭配圖 2C 至圖 2F 針對圖案化半導體層 230、第二圖案化導體層 240 以及圖案化光敏介電層 250 的製作過程做詳細之說明。

請參照圖 2C 與 2D，在本實施例中，圖案化半導體層 230 的形成方法包括於閘極介電層 220 上形成一半導體材料層 SE'，然後圖案化半導體材料層 SE'，以於基板 200 之顯示區 200a 上形成一圖案化半導體層 230。接著請參照圖 2E 與圖 2F，於圖案化半導體層 230 上依序形成一第二導體材料層 M2' 以及一光敏介電材料層 PH'，然後圖案化第二導體材料層 M2' 以及光敏介電材料層 PH'，以於基板

200 之顯示區 200a 上形成一第二圖案化導體層 240 以及一圖案化光敏介電層 250，如圖 2F 所示。在本實施例中，圖案化第二導體材料層 M2' 以形成第二圖案化導體層 240 時，亦同時於基板 200 上形成源極 242、汲極 244 以及下電極 246，且更進一步形成與源極 242 連接之資料線(未繪示)，以及與這些資料線之末端連接之第二接墊 248。

請參照圖 2G 至 2L，於基板 200 上形成一覆蓋保護層 260。在本實施例中，覆蓋保護層 260 包括一無機保護層 OP1' 與一配置於無機保護層 OP1' 上之有機保護層 OP2'，其中無機保護層 OP1' 覆蓋住閘極介電層 220、圖案化半導體層 230、第二圖案化導體層 240 以及圖案化光敏介電層 250。

由圖 2K 可知，覆蓋保護層 260 具有一第一接觸窗 CW1' 以暴露源極 242 與汲極 244 其中之一，以及一第二接觸窗 CW2' 以暴露光感測層 254。在本實施例中，形成第一接觸窗 CW1' 與第二接觸窗 CW2' 的方法包括下列步驟。首先，於無機保護層 OP1' 上形成一圖案化有機保護層 OP2'，如圖 2H 所示。接著，以圖案化有機保護層 OP2' 為罩幕，移除源極 242 與汲極 244 上方之無機保護層 OP1'、部分介面保護層 252 及部分閘極介電層 120，如圖 2I 所示。接著，減少圖案化有機保護層 OP2' 的厚度，直到第二區塊 S2' 被移除而將光感測層 246 上方之覆蓋保護層 260 暴露為止，如圖 2J 所示。在本實施例中，減少圖案化有機保護層 OP2' 之厚度的方法包括電漿灰化。然後，以厚度減少之圖案化有機保護層 OP2' 為罩幕，移除光感測層 246 上方之無機保

護層 OP1'，以使光感測層 246 暴露，如圖 2K 所示。

接著請參照圖 2L，於覆蓋保護層 260 上形成一第三圖案化導體層 270。由圖 2L 可知，本實施例之第三圖案化導體層 270 包括一畫素電極 272 以及一上電極 274，其中畫素電極 272 透過第一接觸窗 CW1' 與源極 242 和汲極 244 其中之一電性連接，而上電極 274 則透過第二接觸窗 CW2' 與光感測層 254 電性連接。舉例而言，第三圖案化導體層 270 可透過物理氣相沈積(Physical Vapor Deposition, PVD) 以及微影蝕刻製程來進行製作。詳言之，本實施例可藉由濺鍍(sputtering)、蒸鍍(evaporation)以及其他薄膜沈積技術先形成一材料層，之後再透過微影蝕刻製程進行材料層之圖案化製程，如此即可製作出包含有畫素電極 272 以及上電極 274 之第三圖案化導體層 270。

在本實施例中，上述之半導體材料層 SE' 上方包括一重摻雜半導體材料層 DS'，而圖案化半導體層 230 與第二圖案化導體層 240 之間還包括一圖案化重摻雜半導體層 234。此外，在本實施例中，圖案化重摻雜半導體層 234 即為歐姆接觸層。

在本實施例中，於形成第一接觸窗 CW1' 與第二接觸窗 CW2' 的同時，可進一步於閘極介電層 220 與覆蓋保護層 260 中形成多個將第一接墊 214 暴露之第三接觸窗 CW3'，如圖 2K 所示。此外，由圖 2L 可知，第三圖案化導體層 270 可進一步包括多個第一接墊部 276，且第一接墊部 276 會透過第三接觸窗 CW3' 與第一接墊 214 電性連接。

在本實施例中，在形成第一接觸窗 CW1'與第二接觸窗 CW2'的同時，可進一步於覆蓋保護層 260 中形成多個將第二接墊 248 暴露之第四接觸窗 CW4'，如圖 2K 所示。此外，由圖 2L 可知，第三圖案化導體層 270 會透過第四接觸窗 CW4'與第二接墊 248 電性連接。

綜上所述，本發明之整合光感測器之主動元件陣列基板製作方法不會額外增加光罩製程，相較於習知技術而言，光罩使用數量較少，可降低製作成本。此外，光感測層與主動元件陣列基板之源極與汲極是在同一道光罩製程中形成，所以本發明之光感測器的製作可以用較低的成本製作，又可增加產能，以及提高產品整合性。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A~圖 1L 為本發明之一實施例的製作方法。

圖 2A~圖 2L 為本發明另一實施例的製作方法。

【主要元件符號說明】

100、200：基板

100a、200a：顯示區

100b、200b：感測區

100c、200c：周邊電路區

- 110、210：第一圖案化導體層
- 112、212：閘極
- 114、214：第一接墊
- 120、220：閘極介電層
- 130、230：圖案化半導體層
- 132：墊層
- 134、234：重摻雜半導體層
- 140、240：第二圖案化導體層
- 142、242：源極
- 144、244：汲極
- 146、246：下電極
- 148、248：第二接墊
- 150、250：圖案化光敏介電層
- 152、252：介面保護層
- 154、254：光感測層
- 160、260：覆蓋保護層
- 170、270：第三圖案化導體層
- 172、272：畫素電極
- 174、274：上電極
- 176、276：第一接墊部
- 178、278：第二接墊部
- A：第二開口
- CW1、CW1'：第一接觸窗
- CW2、CW2'：第二接觸窗

CW3、CW3'：第三接觸窗
CW4、CW4'：第四接觸窗
M1、M1'：第一導體材料層
M2、M2'：第二導體材料層
PH、PH'：光敏介電材料層
PR、PR'：圖案化光阻層
OP1、OP1'：無機保護層
OP2、OP2'：有機保護層
DS、DS'：重摻雜半導體材料層
SE、SE'：半導體材料層
S2、S2'：第二區塊
S3：第三區塊
S4：第四區塊

七、申請專利範圍：

1.一種主動元件陣列基板的製造方法，包括：

提供一基板，該基板包括一顯示區與一感測區；

於該顯示區之該基板上形成一第一圖案化導體層；

於該基板上形成一閘極介電層，以覆蓋該第一圖案化導體層；

於該閘極介電層上形成一圖案化半導體層、一第二圖案化導體層以及一圖案化光敏介電層，其中該第二圖案化導體層以及該圖案化光敏介電層是同時形成，該第二圖案化導體層包括一源極、一汲極以及一下電極，該源極與該汲極位於該顯示區並覆蓋部分該圖案化半導體層，該下電極位於該感測區，而該圖案化光敏介電層覆蓋該第二圖案化導體層，該圖案化光敏介電層包括一位於該源極與該汲極上之介面保護層以及一位於該下電極上之光感測層；

於該基板上形成一覆蓋保護層，其中該覆蓋保護層具有一第一接觸窗以暴露該源極與該汲極其中之一，以及一第二接觸窗以暴露該光感測層；以及

於該覆蓋保護層上形成一第三圖案化導體層，其中該第三圖案化導體層包括一畫素電極以及一上電極，該畫素電極透過該第一接觸窗與該源極與該汲極其中之一電性連接，而該上電極透過該第二接觸窗覆蓋該光感測層。

2.如申請專利範圍第1項所述之主動元件陣列基板的製造方法，其中該第一圖案化導體層的形成方法包括：

於該基板上形成一第一導體材料層；以及

圖案化該第一導體材料層，以於該基板上形成多條掃

描線以及多個於該些掃描線連接之閘極。

3.如申請專利範圍第 2 項所述之主動元件陣列基板的製造方法，其中在形成該些掃描線以及該些閘極的同時，更包括形成多個與該些掃描線之末端連接之第一接墊。

4.如申請專利範圍第 3 項所述之主動元件陣列基板的製造方法，其中在形成該第一接觸窗與該些第二接觸窗的同時，更包括於該閘極介電層與該覆蓋保護層中形成多個第三接觸窗以將該些第一接墊暴露，而部分該第三圖案化導體層透過該些第三接觸窗與該些第一接墊電性連接。

5.如申請專利範圍第 1 項所述之主動元件陣列基板的製造方法，其中該第二圖案化導體層的形成方法包括：

於該基板上形成一第二導體材料層；以及

圖案化該第二導體材料層，以於該基板上形成該源極與該汲極以及該下電極。

6.如申請專利範圍第 5 項所述之主動元件陣列基板的製造方法，其中在形成該源極與該汲極以及該下電極的同時，更包括形成與該源極連接之資料線。

7.如申請專利範圍第 6 項所述之主動元件陣列基板的製造方法，其中在形成該源極與該汲極、該下電極以及該些資料線的同時，更包括形成與該資料線之末端連接之第二接墊。

8.如申請專利範圍第 7 項所述之主動元件陣列基板的製造方法，其中在形成該第一接觸窗與該些第二接觸窗的同時，更包括於該覆蓋保護層中形成多個第四接觸窗以將該些第二接墊暴露，而部分該第三圖案化導體層透過該些

第四接觸窗與該些第二接墊電性連接。

9.如申請專利範圍第 1 項所述之主動元件陣列基板的製造方法，其中該覆蓋保護層包括一無機保護層與一配置於該無機保護層上之有機保護層，而形成該第一接觸窗與該些第二接觸窗的方法包括：

圖案化該有機保護層以形成一圖案化有機保護層，並以該圖案化有機保護層為罩幕，移除該源極與該汲極上方之該無機保護層、部分該介面保護層及部分閘極介電層；

減少該圖案化有機保護層的厚度，直到該第二區塊被移除而將該光感測層上方之無機保護層暴露為止；以及

以厚度減少之圖案化有機保護層為罩幕，移除該光感測層上方之無機保護層，以使該光感測層暴露。

10.如申請專利範圍第 9 項所述之主動元件陣列基板的製造方法，其中該減少該圖案化有機保護層之厚度的方法包括電漿灰化。

11.如申請專利範圍第 1 項所述之主動元件陣列基板的製造方法，其中該圖案化半導體層、該第二圖案化導體層以及該圖案化光敏介電層的形成方法包括：

於該閘極介電層上依序形成一半導體材料層、一第二導體材料層以及一光敏介電材料層；

於該光敏介電材料層上形成一圖案化光阻層，其中該圖案化光阻層具有多個第二開口，且該圖案化光阻層包括一第三區塊以及一第四區塊，而該第三區塊的厚度大於該第四區塊的厚度；

以該圖案化光阻層為罩幕，移除部分該半導體材料

層、該第二導體材料層以及該光敏介電材料層，以同時形成該源極與該汲極、該下電極、該光感測層以及該些介面保護層；以及

移除該第二圖案化光阻層。

12.如申請專利範圍第 11 項所述之主動元件陣列基板的製造方法，其中同時形成該源極與該汲極、該下電極、該光感測層以及該些介面保護層的方法包括：

以該圖案化光阻層為罩幕，移除部分該半導體材料層、該第二導體材料層以及該光敏介電材料層，以形成該下電極以及該光感測層；

減少該第二圖案化光阻層的厚度，直到該第四區塊被移除；以及

以厚度減少之第二圖案化光阻層為罩幕，移除部分該第二導體材料層以及該光敏介電材料層，以形成該源極與該汲極以及該些介面保護層。

13.如申請專利範圍第 12 項所述之主動元件陣列基板的製造方法，其中在形成該下電極以及該光感測層的同時，更包括於該下電極與該閘極介電層之間形成一墊層(pad layer)。

14.一種主動元件陣列基板的製造方法，包括：

提供一基板，該基板包括一顯示區與一感測區；

於該顯示區之該基板上形成一第一圖案化導體層；

於該基板上形成一閘極介電層，以覆蓋該第一圖案化導體層；

於該閘極介電層上形成一圖案化半導體層，其中該圖

案化半導體層位於該第一圖案化導體層上方；

於該圖案化半導體層上同時形成一第二圖案化導體層以及一圖案化光敏介電層，其中該第二圖案化導體層包括一源極、一汲極以及一下電極，該源極與該汲極位於該顯示區並覆蓋部分該圖案化半導體層，該下電極位於該感測區，而該圖案化光敏介電層覆蓋該第二圖案化導體層，而該圖案化光敏介電層包括一位於該源極與該汲極上之介面保護層以及一位於該下電極上之光感測層；

於該基板上形成一覆蓋保護層，其中該覆蓋保護層具有一第一接觸窗以暴露該源極與該汲極其中之一，以及一第二接觸窗以暴露該光感測層；以及

於該覆蓋保護層上形成一第三圖案化導體層，其中該第三圖案化導體層包括一畫素電極以及一上電極，該畫素電極透過該第一接觸窗與該源極與該汲極其中之一電性連接，而該上電極透過該第二接觸窗覆蓋該光感測層。

15.如申請專利範圍第 14 項所述之主動元件陣列基板的製造方法，其中該第一圖案化導體層的形成方法包括：

於該基板上形成一第一導體材料層；以及

圖案化該第一導體材料層，以於該基板上形成多條掃描線以及多個於該些掃描線連接之閘極。

16.如申請專利範圍第 15 項所述之主動元件陣列基板的製造方法，其中在形成該些掃描線以及該些閘極的同時，更包括形成多個與該些掃描線之末端連接之第一接墊。

17.如申請專利範圍第 16 項所述之主動元件陣列基板的製造方法，其中在形成該第一接觸窗與該些第二接觸窗

的同時，更包括於該閘極介電層與該覆蓋保護層中形成多個第三接觸窗以將該些第一接墊暴露，而部分該第三圖案化導體層透過該些第三接觸窗與該些第一接墊電性連接。

18.如申請專利範圍第 14 項所述之主動元件陣列基板的製造方法，其中該第二圖案化導體層的形成方法包括：

於該基板上形成一第二導體材料層；以及

圖案化該第二導體材料層，以於該基板上形成該源極與該汲極以及該下電極。

19.如申請專利範圍第 18 項所述之主動元件陣列基板的製造方法，其中在形成該源極與該汲極以及該下電極的同時，更包括形成與該源極連接之資料線。

20.如申請專利範圍第 19 項所述之主動元件陣列基板的製造方法，其中在形成該源極與該汲極、該下電極以及該些資料線的同時，更包括形成與該資料線之末端連接之第二接墊。

21.如申請專利範圍第 20 項所述之主動元件陣列基板的製造方法，其中在形成該第一接觸窗與該些第二接觸窗的同時，更包括於該覆蓋保護層中形成多個第四接觸窗以將該些第二接墊暴露，而部分該第三圖案化導體層透過該些第四接觸窗與該些第二接墊電性連接。

22.如申請專利範圍第 14 項所述之主動元件陣列基板的製造方法，其中該覆蓋保護層包括一無機保護層與一配置於該無機保護層上之有機保護層，而形成該第一接觸窗與該些第二接觸窗的方法包括：

圖案化該有機保護層以形成一圖案化有機保護層，並

以該圖案化有機保護層為罩幕，移除該源極與該汲極上方之該無機保護層、部分該介面保護層及部分該閘極介電層；

減少該圖案化有機保護層的厚度，直到該第二區塊被移除而將該光感測層上方之無機保護層暴露為止；以及

以厚度減少之圖案化有機保護層為罩幕，移除該光感測層上方之無機保護層，以使該光感測層暴露。

23.如申請專利範圍第 22 項所述之主動元件陣列基板的製造方法，其中該減少該圖案化有機保護層之厚度的方法包括電漿灰化。

24.如申請專利範圍第 14 項所述之主動元件陣列基板的製造方法，其中該圖案化半導體層的形成方法包括：

於該閘極介電層上形成一半導體材料層；以及

圖案化該半導體材料層。

25.如申請專利範圍第 14 項所述之主動元件陣列基板的製造方法，其中該第二圖案化導體層以及該圖案化光敏介電層的形成方法包括：

於該圖案化半導體層上依序形成一第二導體材料層以及一光敏介電材料層；以及

圖案化該第二導體材料層以及該光敏介電材料層。

八、圖式：

29939TW_T

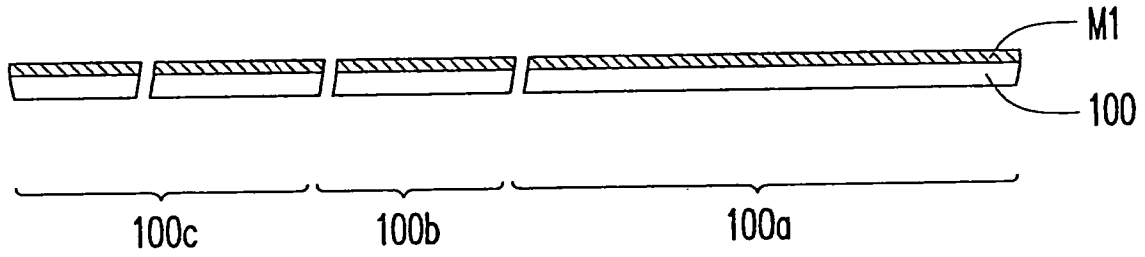


圖 1A

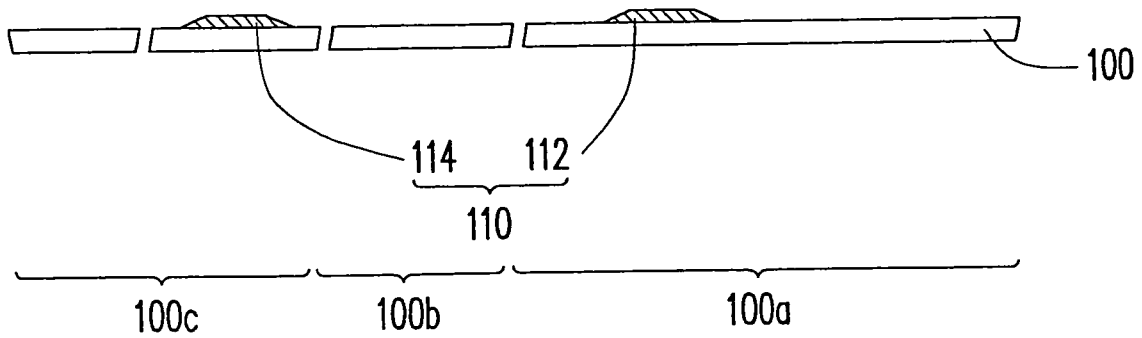


圖 1B

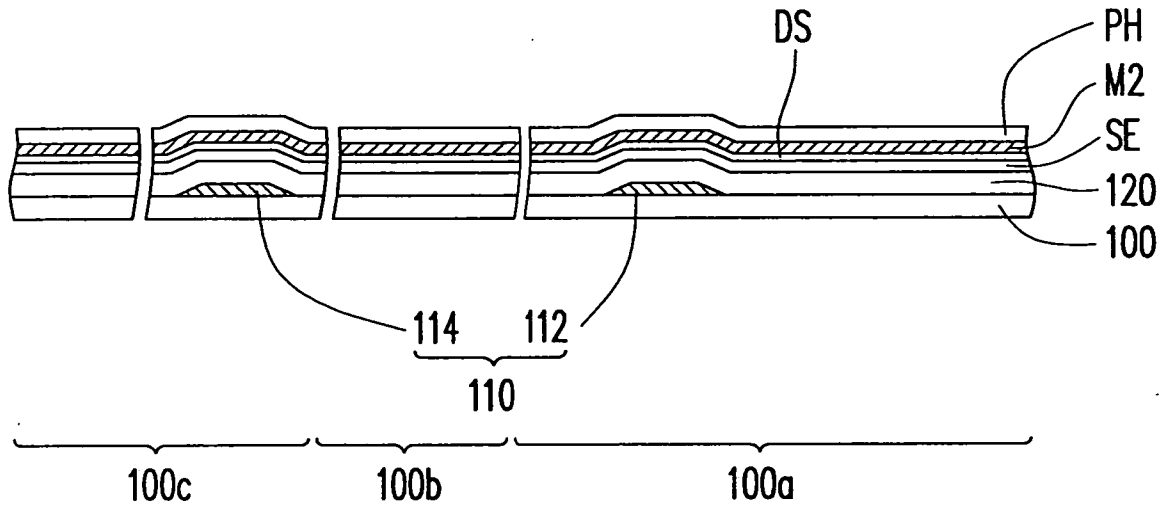


圖 1C

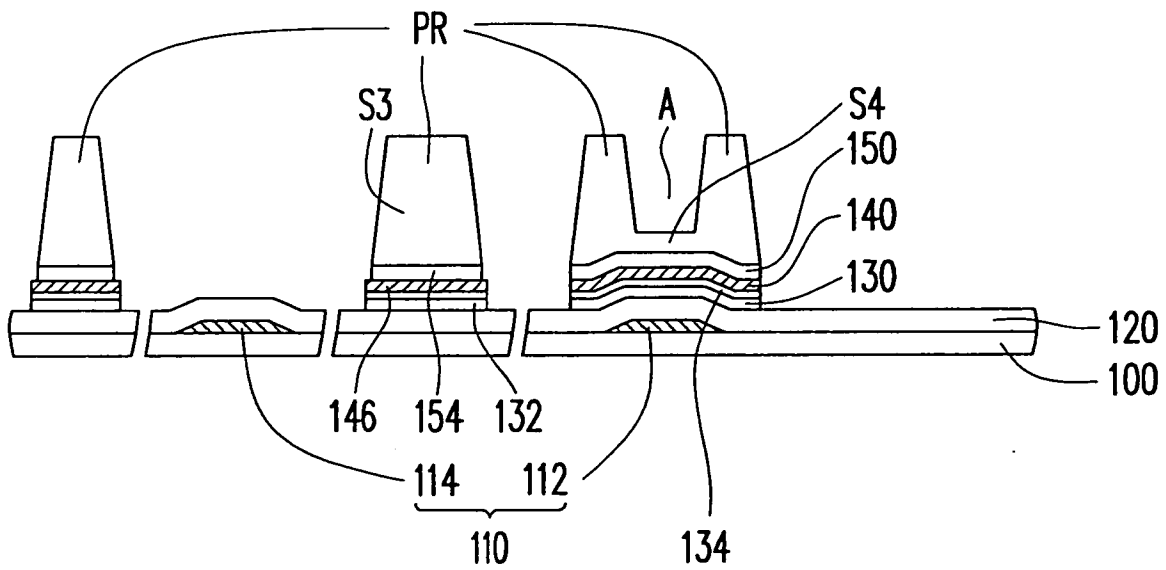


圖 1D

29939TW_T

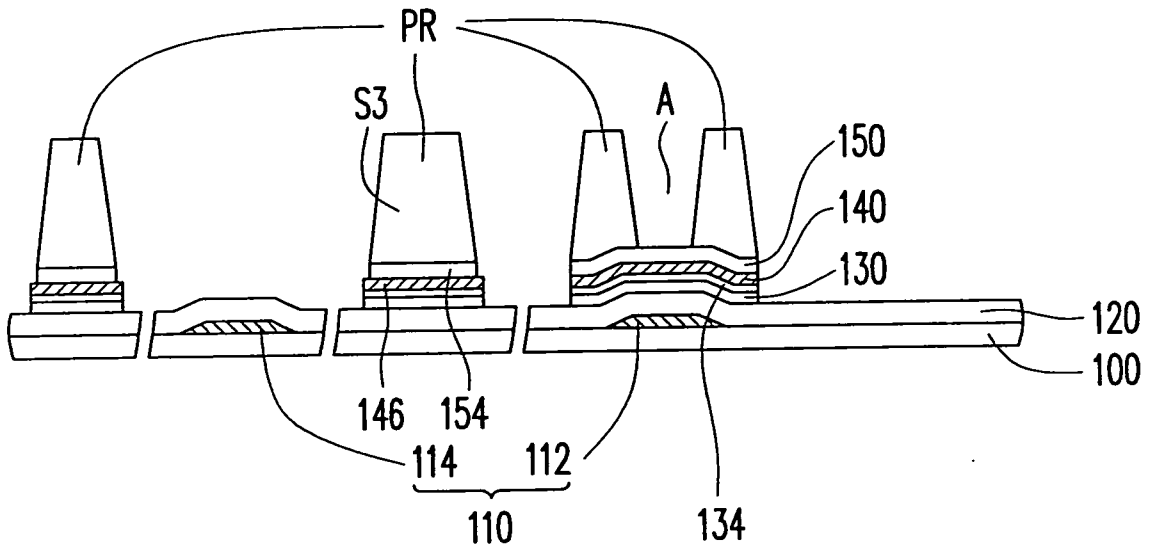


圖 1E

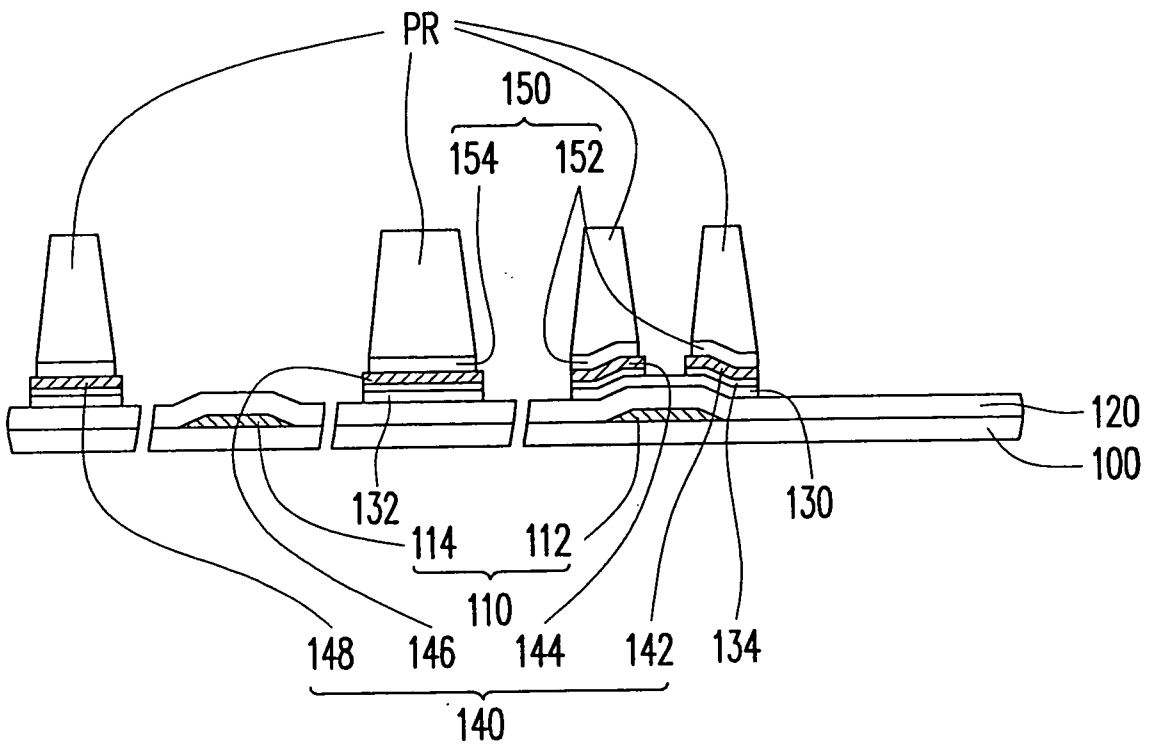


圖 1F

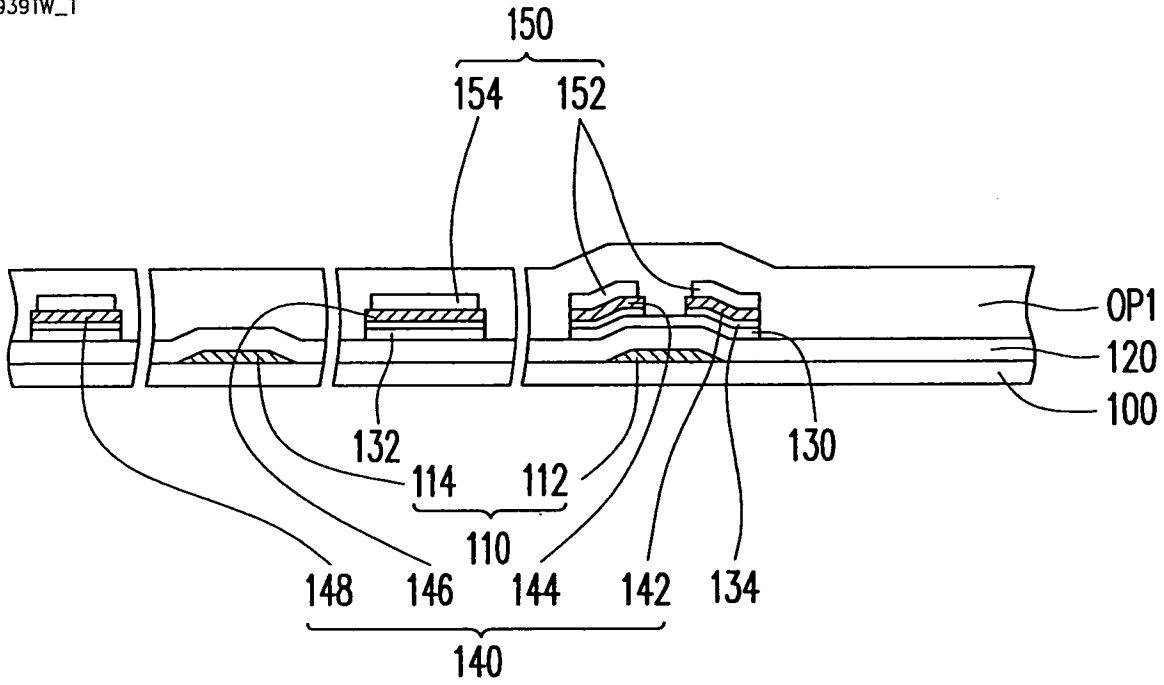


圖 1G

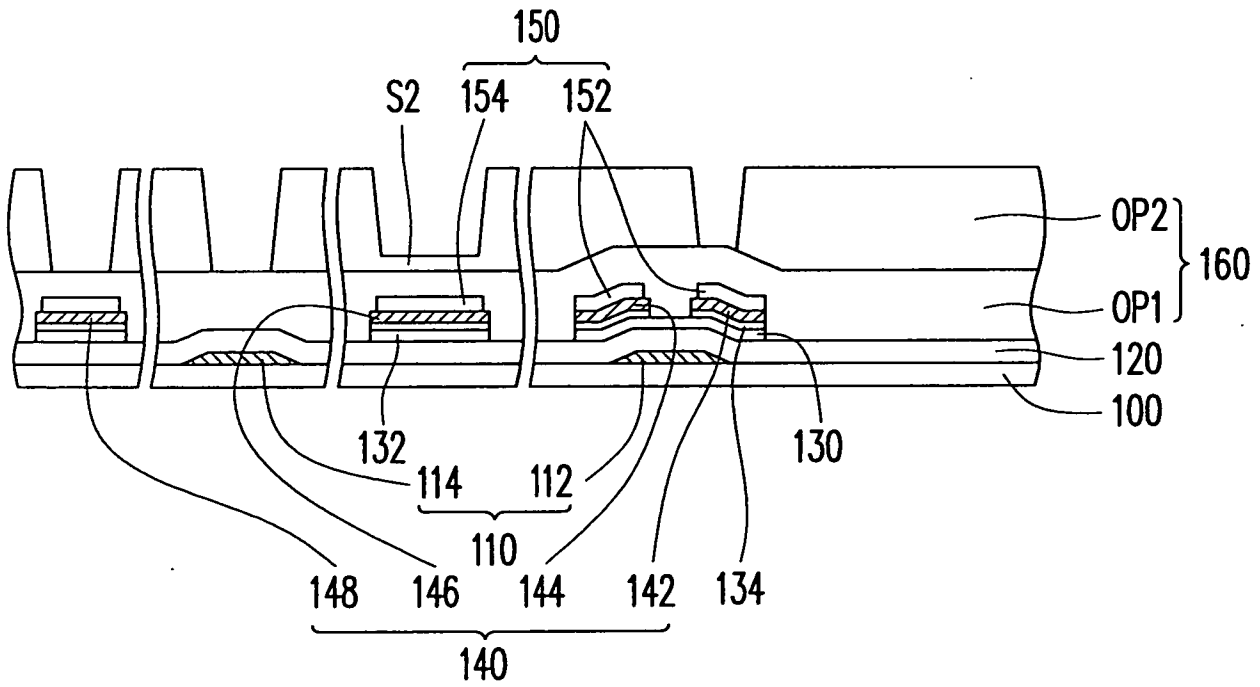


圖 1H

29939TW_T

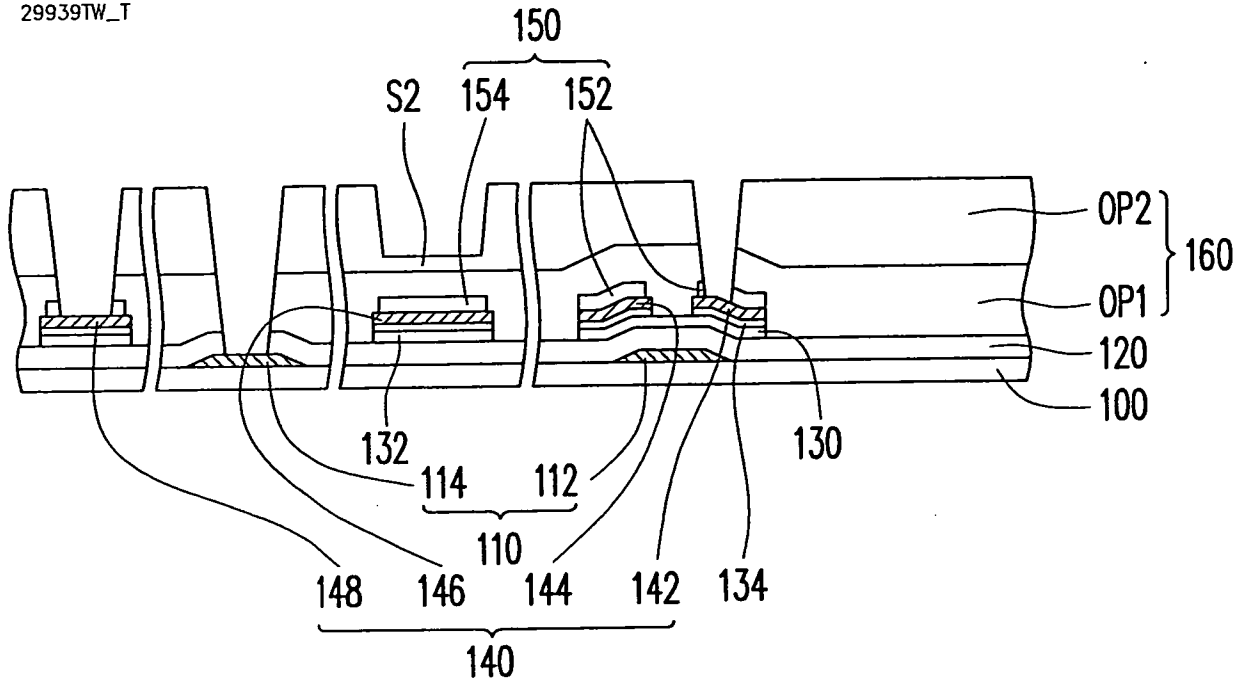


圖 1I

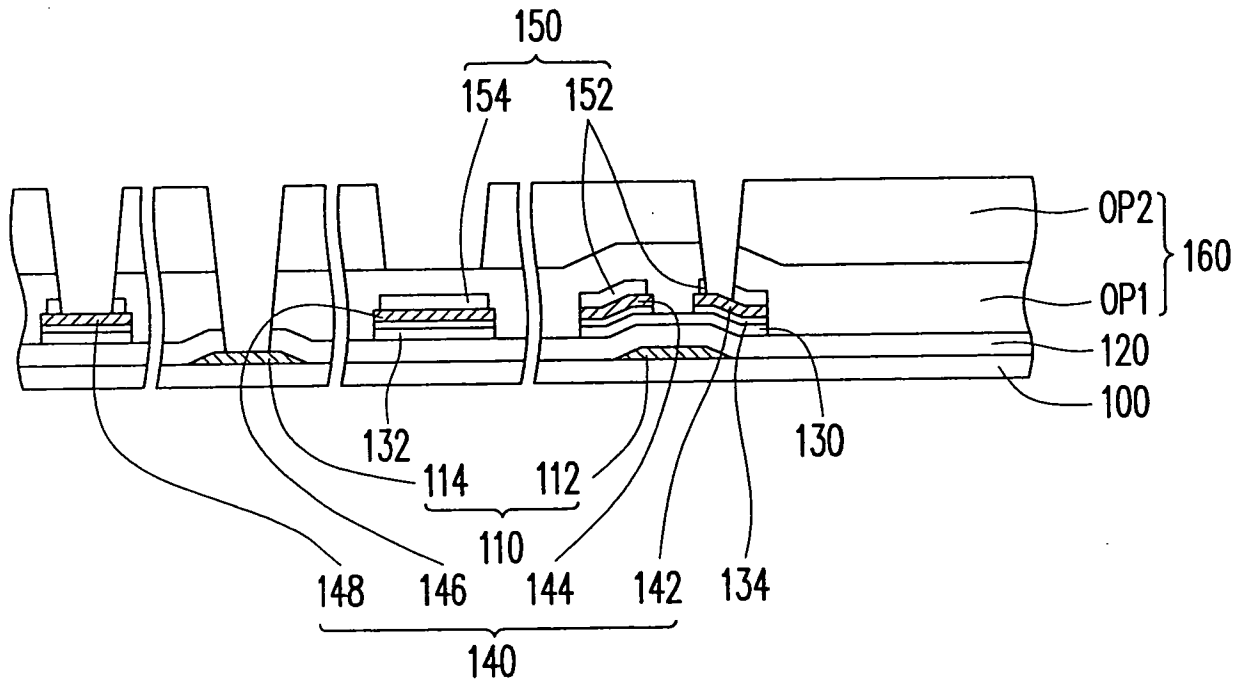


圖 1J

29939TW_T

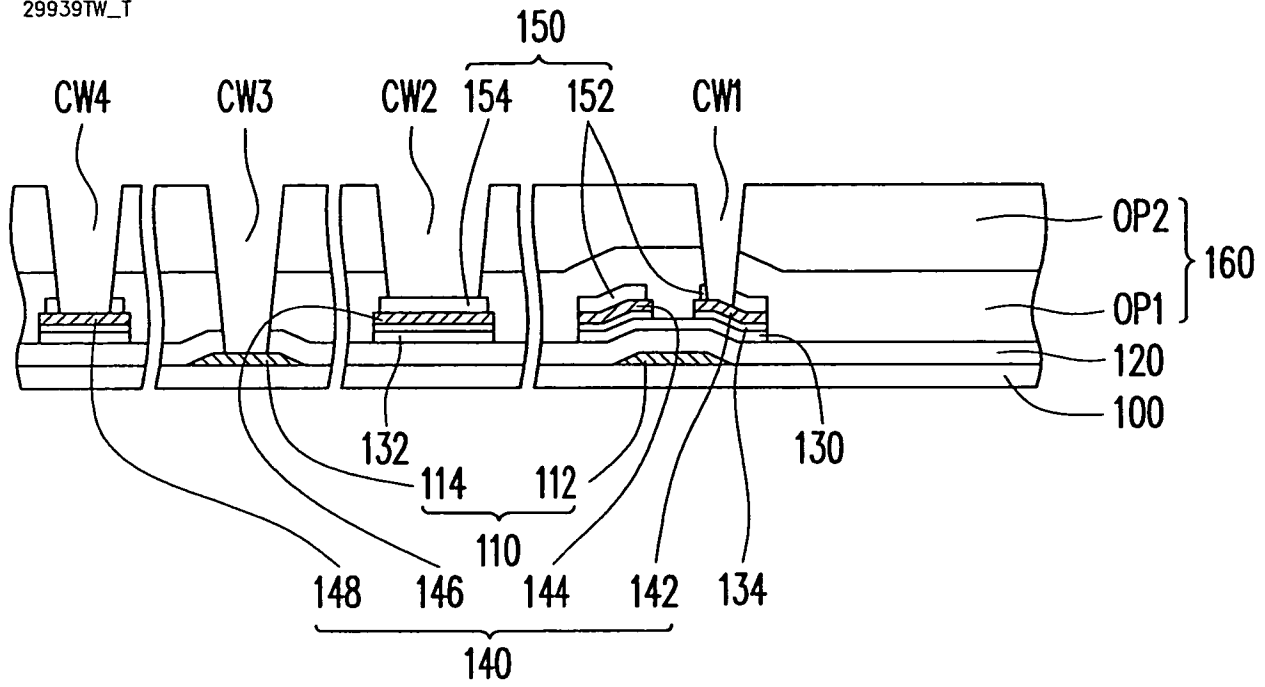


圖 1K

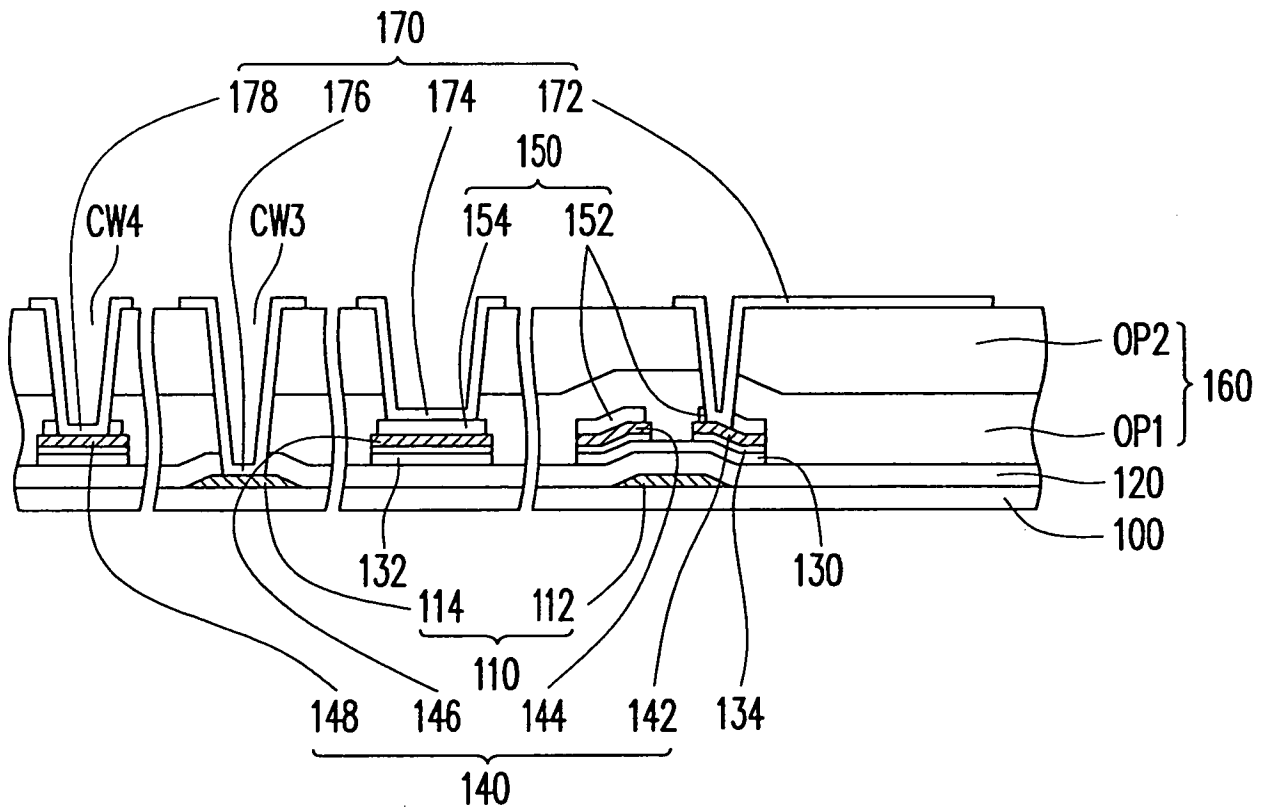


圖 1L

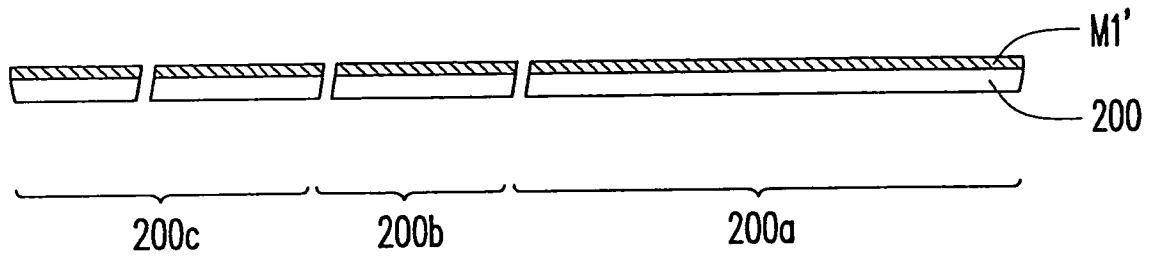


圖 2A

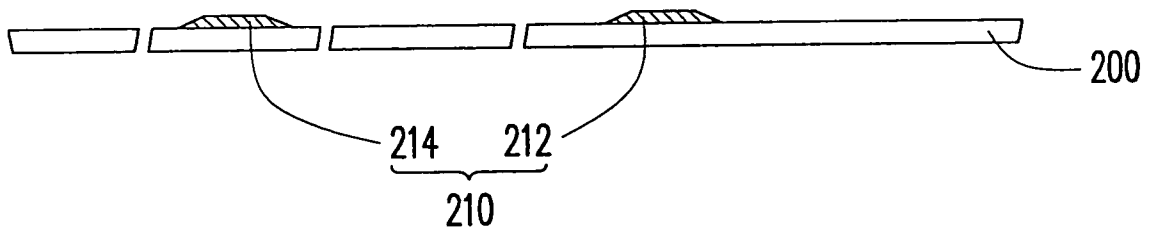


圖 2B

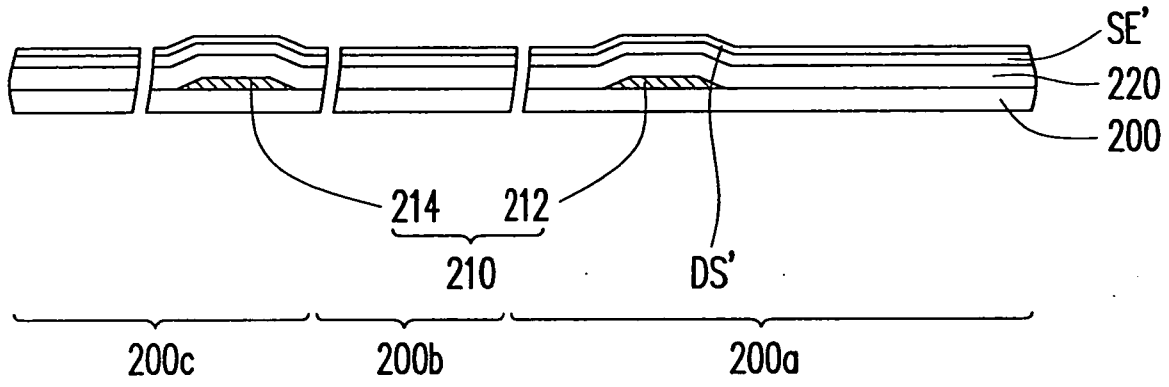


圖 2C

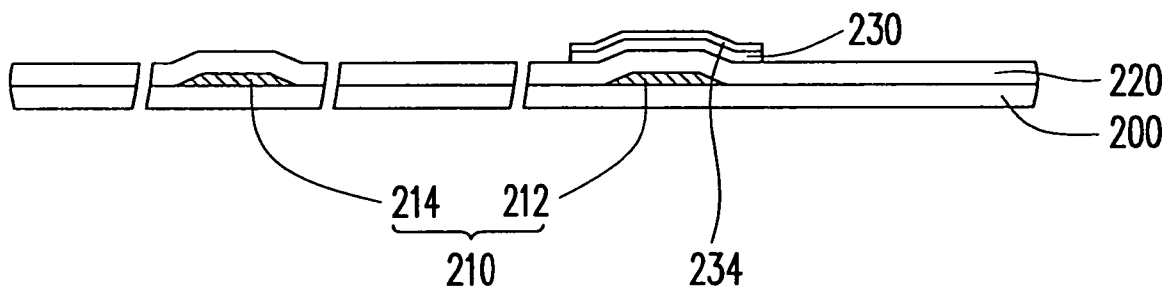


圖 2D

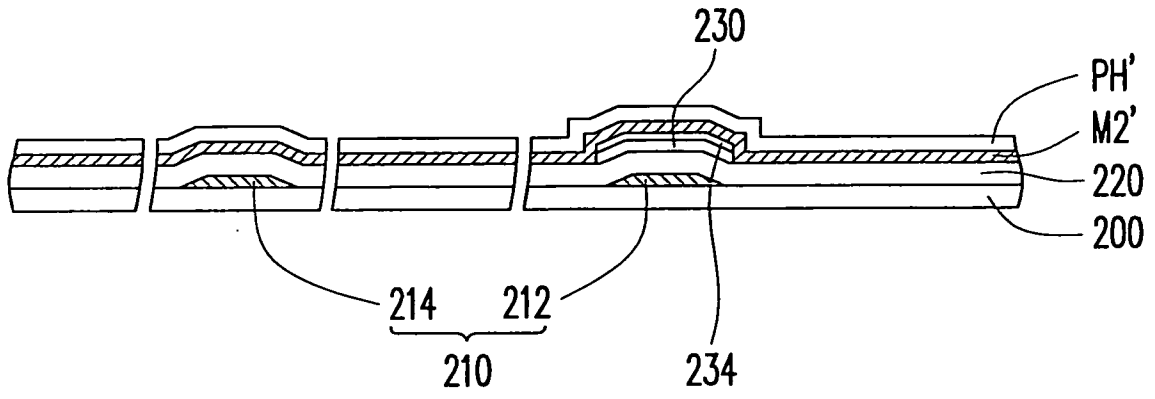


圖 2E

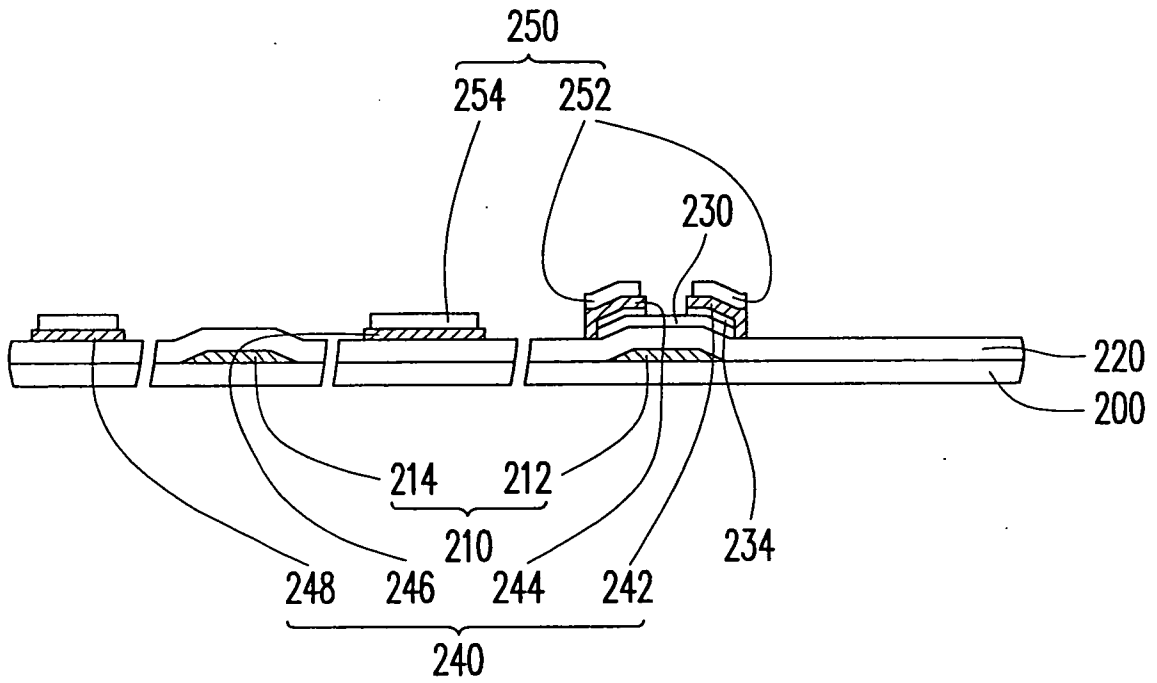


圖 2F

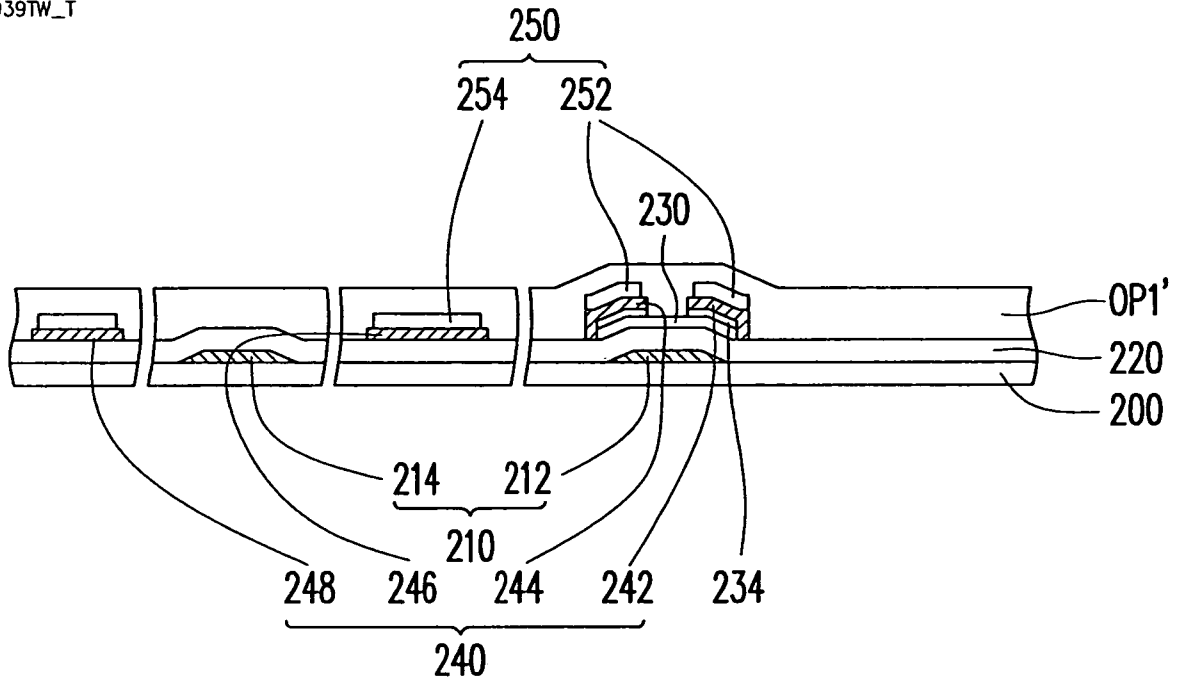


圖 2G

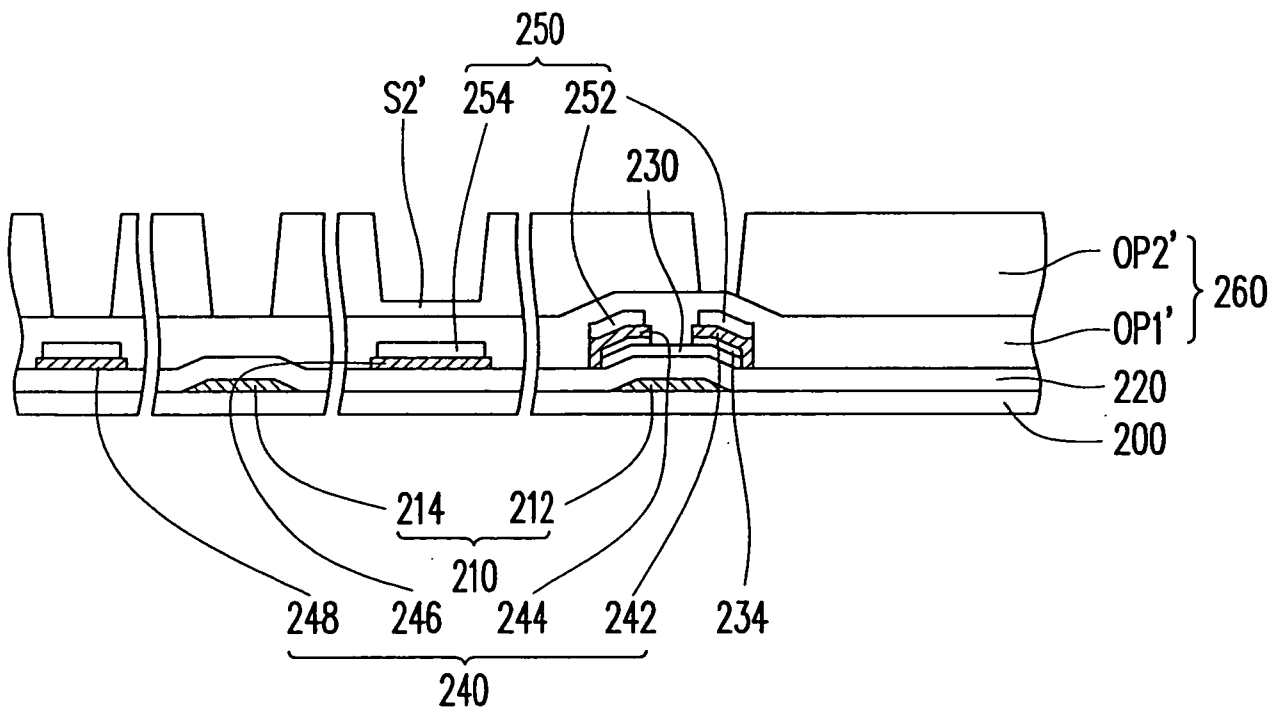


圖 2H

29939TW_T

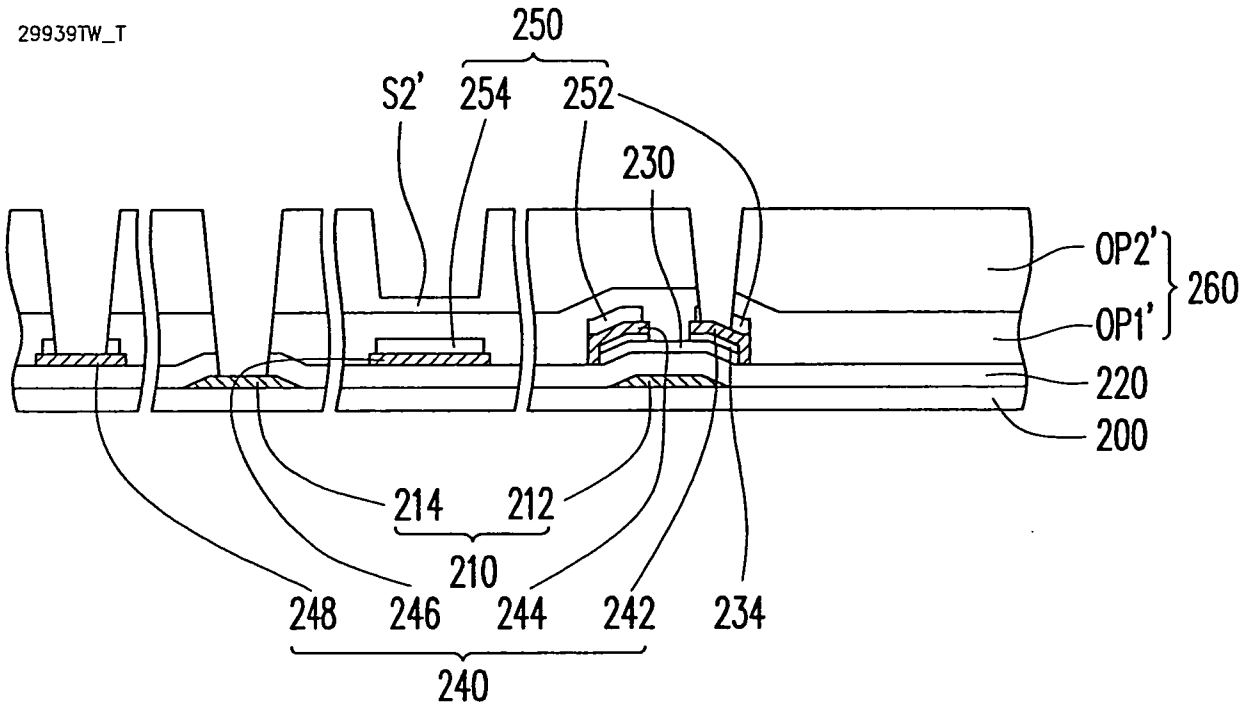


圖 2I

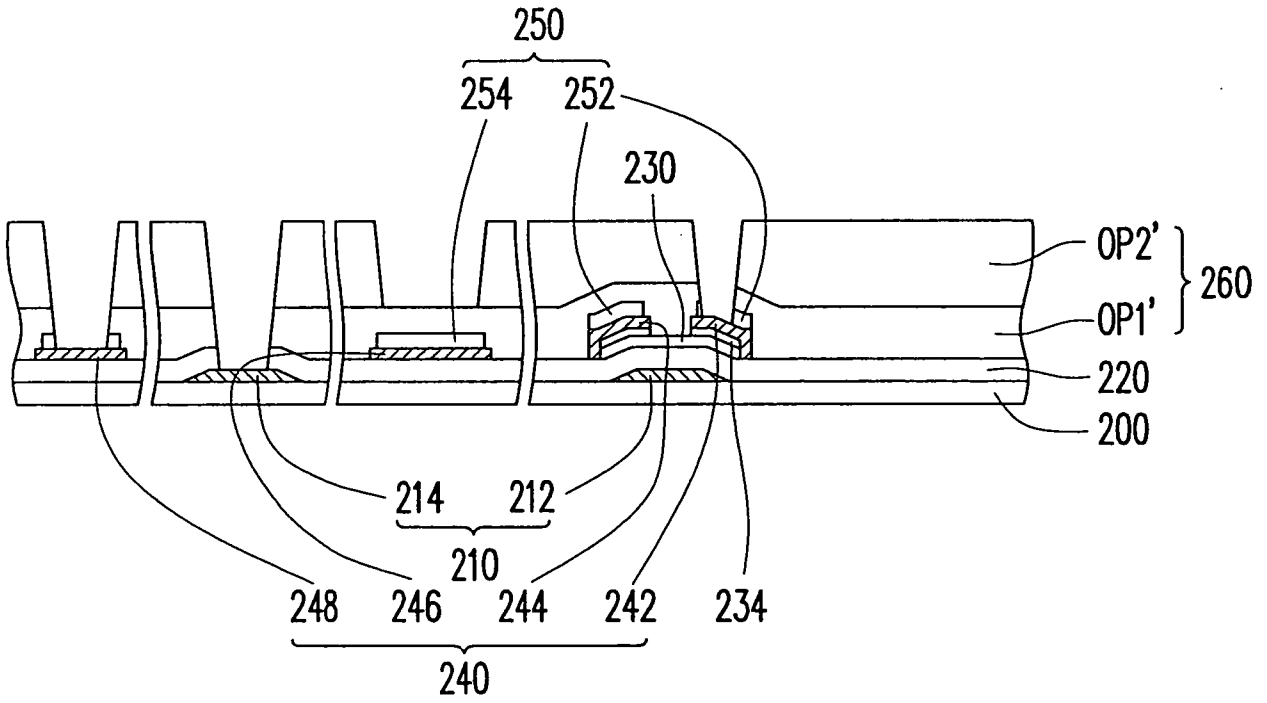


圖 2J

29939TW_T

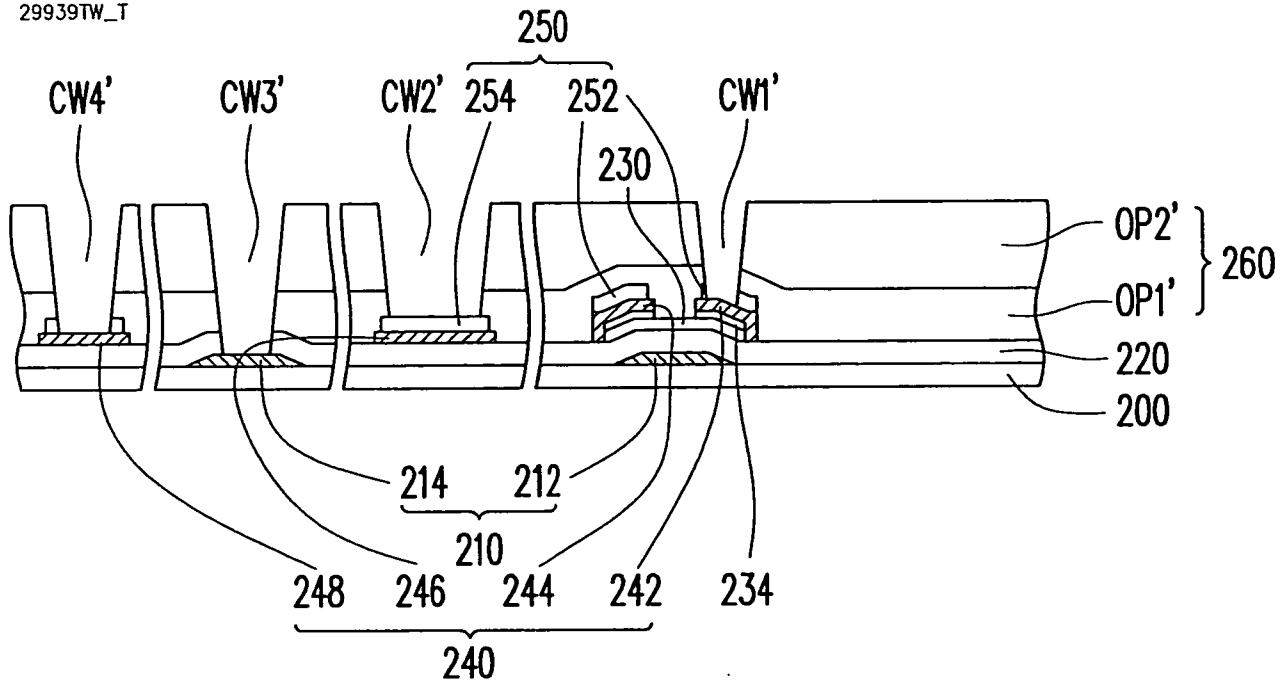


圖 2K

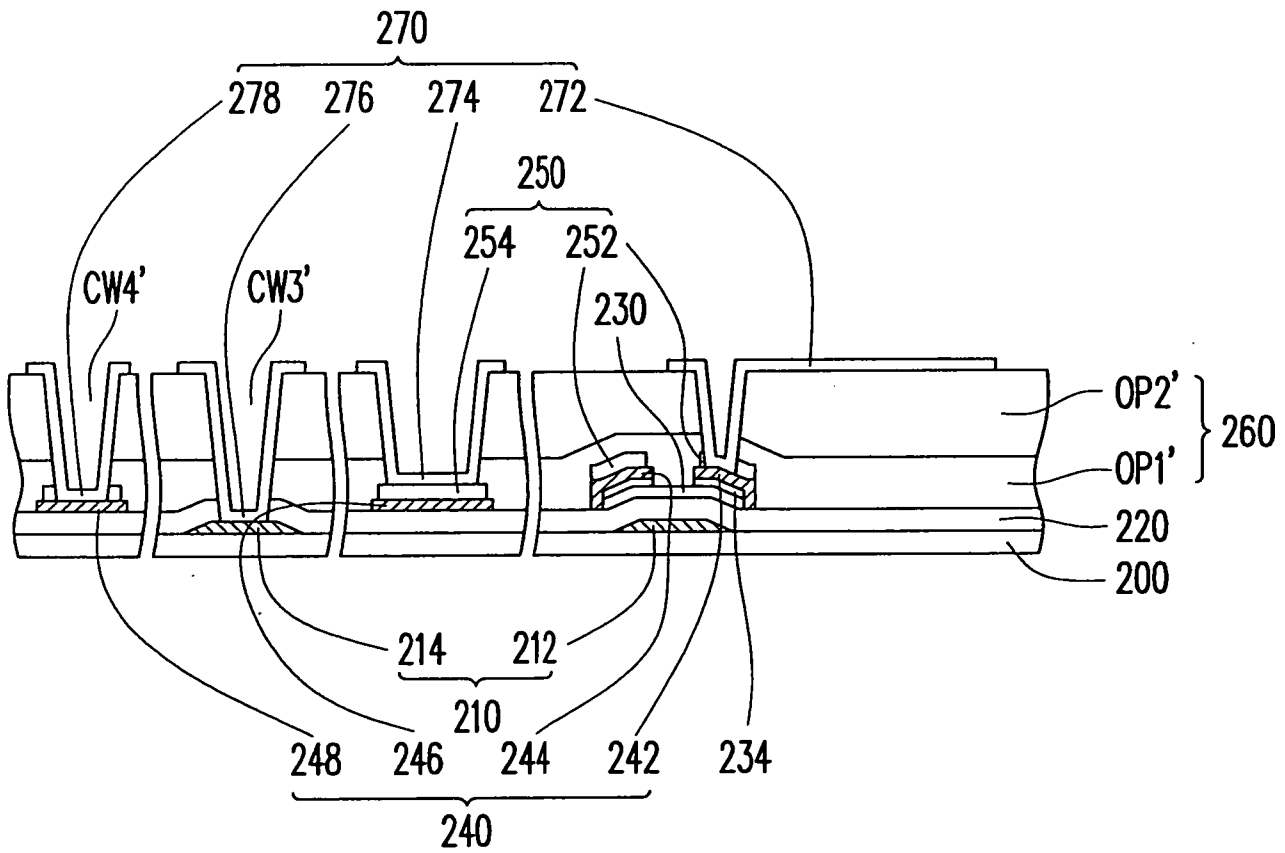


圖 2L