

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5109684号  
(P5109684)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl. F I  
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 C  
 HO 4 N 5/374 (2011.01) HO 4 N 5/335 7 4 O

請求項の数 15 (全 36 頁)

(21) 出願番号	特願2008-18646 (P2008-18646)	(73) 特許権者	000002369
(22) 出願日	平成20年1月30日(2008.1.30)		セイコーエプソン株式会社
(65) 公開番号	特開2009-33093 (P2009-33093A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成21年2月12日(2009.2.12)	(74) 代理人	100095728
審査請求日	平成22年1月29日(2010.1.29)		弁理士 上柳 雅誉
(31) 優先権主張番号	特願2007-164686 (P2007-164686)	(74) 代理人	100107261
(32) 優先日	平成19年6月22日(2007.6.22)		弁理士 須澤 修
(33) 優先権主張国	日本国(JP)	(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	神田 栄二
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野澤 陵一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 検出装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に配置された、複数の走査線と、複数の検出線と、複数の第1電源線と、複数の第2電源線と、前記走査線と前記検出線との交差に対応して設けられた複数の単位回路と、を備え、

前記単位回路は、

第1端子が前記検出線に接続されるとともに第2端子が前記第1電源線に接続され、ゲート電極の電位に応じた検出信号を前記検出線に供給する第1トランジスタと、

前記第1トランジスタのゲート電極と接続され、外的要因に応じて前記第1トランジスタのゲート電位を変化させる検出素子と、

第1端子が前記第1トランジスタのゲート電極に接続されるとともに第2端子が前記第2電源線に接続され、かつゲート電極が前記走査線に接続された第2トランジスタと、

前記第1トランジスタのゲート電極と前記第1電源線との間に設けられ、前記第1トランジスタのゲート電位を保持する第1容量素子と、を有しており、

前記第1トランジスタは、チャンネル長の方向が、前記第2トランジスタのチャンネル長の方向に沿っていることを特徴とする検出装置。

【請求項2】

請求項1に記載の検出装置であって、

前記第1トランジスタ及び前記第2トランジスタは、チャンネル長の方向が、平面視で前

10

20

記走査線の延在方向及び前記検出線の延在方向と交差するように配置されていることを特徴とする検出装置。

【請求項 3】

請求項 1 又は 2 に記載の検出装置であって、

前記第 1 トランジスタ及び前記第 2 トランジスタは、チャンネル長の方向が、平面視で前記走査線の延在方向及び前記検出線の延在方向に対して 45 度の角度をなすように配置されていることを特徴とする検出装置。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の検出装置であって、

平面視で前記走査線の延在方向及び前記検出線の延在方向と交差する方向に沿って、前記第 1 トランジスタの第 1 端子及び第 2 端子が配置され、平面視で前記走査線の延在方向及び前記検出線の延在方向と交差する方向に沿って、前記第 2 トランジスタの第 1 端子及び第 2 端子が配置されていることを特徴とする検出装置。

【請求項 5】

請求項 1 から 4 のいずれか一項に記載の検出装置であって、

平面視で前記走査線の延在方向及び前記検出線の延在方向に対して 45 度の角度をなす方向に沿って、前記第 1 トランジスタの第 1 端子及び第 2 端子が配置され、平面視で前記走査線の延在方向及び前記検出線の延在方向に対して 45 度の角度をなす方向に沿って、前記第 2 トランジスタの第 1 端子及び第 2 端子が配置されていることを特徴とする検出装置。

【請求項 6】

請求項 1 から 5 のいずれか一項に記載の検出装置であって、

前記単位回路において、前記第 1 トランジスタ及び前記第 2 トランジスタは、平面視で前記検出線と前記第 2 電源線との間に配置されていることを特徴とする検出装置。

【請求項 7】

請求項 1 から 6 のいずれか一項に記載の検出装置であって、

平面視で前記走査線の延在方向に沿って前記第 1 トランジスタの第 1 端子と前記第 2 トランジスタの第 1 端子とが配置され、平面視で前記走査線の延在方向に沿って前記第 1 トランジスタの第 2 端子と前記第 2 トランジスタの第 2 端子とが配置されていることを特徴とする検出装置。

【請求項 8】

請求項 1 に記載の検出装置であって、

前記第 1 トランジスタ及び前記第 2 トランジスタは、チャンネル長の方向が、平面視で前記走査線の延在方向と垂直であることを特徴とする検出装置。

【請求項 9】

請求項 8 に記載の検出装置であって、

平面視で前記走査線の延在方向と垂直な方向に沿って前記第 1 トランジスタの第 1 端子と第 2 端子とが配置され、平面視で前記走査線の延在方向と垂直な方向に沿って前記第 2 トランジスタの第 1 端子と第 2 端子とが配置されていることを特徴とする検出装置。

【請求項 10】

請求項 8 又は 9 に記載の検出装置であって、

平面視で前記走査線の延在方向に対して一定の角度をなす方向に沿って前記第 1 トランジスタのチャンネル領域と前記第 2 トランジスタのチャンネル領域とが配置されていることを特徴とする検出装置。

【請求項 11】

請求項 8 から 10 のいずれか一項に記載の検出装置であって、

前記第 1 トランジスタのゲート電極は、平面視で前記走査線の延在方向に沿って配置されていることを特徴とする検出装置。

【請求項 12】

請求項 1 から 11 のいずれか一項に記載の検出装置であって、

10	10
20	20
30	30
40	40
50	50

前記検出素子は、光エネルギーを電気エネルギーに変換する光電変換素子であることを特徴とする検出装置。

【請求項 1 3】

請求項 1 から 1 1 のいずれか一項に記載の検出装置であって、

前記検出素子は、変形によって容量が変化する第 2 容量素子であることを特徴とする検出装置。

【請求項 1 4】

基板と、

前記基板上に配置された、複数の走査線と、複数の検出線と、複数の電源線と、前記走査線と前記検出線との交差に対応して設けられた複数の単位回路と、を備え、

10

前記単位回路は、

第 1 端子が前記検出線に接続されるとともに第 2 端子が前記電源線に接続され、ゲート電極の電位に応じた検出信号を前記検出線に供給する第 1 トランジスタと、

前記第 1 トランジスタのゲート電極と接続され、外的要因に応じて前記第 1 トランジスタのゲート電位を変化させる検出素子と、

第 1 端子が前記第 1 トランジスタのゲート電極に接続されるとともに第 2 端子が前記電源線に接続され、かつゲート電極が前記走査線に接続された第 2 トランジスタと、

前記第 1 トランジスタのゲート電極と前記第 1 電源線との間に設けられ、前記第 1 トランジスタのゲート電位を保持する第 1 容量素子と、を有しており、

前記第 1 トランジスタは、チャンネル長の方向が、前記第 2 トランジスタのチャンネル長の方向に沿っていることを特徴とする検出装置。

20

【請求項 1 5】

請求項 1 から 1 4 のいずれか一項に記載の検出装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、検出装置、及び当該検出装置を搭載した電子機器に関する。

【背景技術】

【0002】

2次元センサ、イメージセンサ、光学式タッチセンサなどに用いられる検出装置の1つとして、次のようなものが知られている。すなわち、検出素子としての光電変換素子と、この光電変換素子の受光量に応じて蓄積電荷量が変化する容量素子と、トランジスタとを備え、トランジスタのオン・オフ動作により、容量素子での電荷蓄積量を読み出す構成の検出装置である（例えば、特許文献1参照）。

30

【0003】

また、上記において光電変換素子を蓄積容量に置き換えると、上記容量素子の蓄積電荷量は、当該蓄積容量の外的要因による増減に応じて変化する。検出装置としては、このように検出素子として蓄積容量を用いた構成とすることもできる。

【0004】

【特許文献1】特開平4 - 212458号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記のような検出装置は、検出素子を高密度に配置するほど検出分解能が向上する。しかしながら、トランジスタや、トランジスタの端子に接続される配線をはじめとする各種構成要素を高密度に配置しようとする、トランジスタの特性が悪化したり、特性ばらつきが大きくなったりするという課題がある。あるいは、配線構造が複雑になることに起因して信号遅延が生じたり、歩留りが低下したりするという課題がある。

【課題を解決するための手段】

50

## 【0006】

本発明は、上記課題の少なくとも一部を解決するためになされたものであり、以下の形態又は適用例として実現することが可能である。

## 【0007】

[適用例1] 基板と、前記基板上に配置された、複数の走査線と、複数の検出線と、複数の第1電源線と、複数の第2電源線と、前記走査線と前記検出線との交差に対応して設けられた複数の単位回路と、を備え、前記単位回路は、第1端子が前記検出線に接続されるとともに第2端子が前記第1電源線に接続され、ゲート電極の電位に応じた検出信号を前記検出線に供給する第1トランジスタと、前記第1トランジスタのゲート電極と接続され、外的要因に応じて前記第1トランジスタのゲート電位を変化させる検出素子と、第1端子が前記第1トランジスタのゲート電極に接続されるとともに第2端子が前記第2電源線に接続され、かつゲート電極が前記走査線に接続された第2トランジスタと、前記第1トランジスタのゲート電位を保持する第1容量素子と、を有しており、前記第1トランジスタは、チャンネル長の方向が、前記第2トランジスタのチャンネル長の方向に沿っている検出装置。

10

## 【0008】

このような構成によれば、第1トランジスタは外的要因に応じた大きさの電流を検出線に出力するため、走査線により選択された単位回路についての上記電流を順次検出することで、外的要因を検出することができる。ここで、第1トランジスタのチャンネル長の方向は、第2トランジスタのチャンネル長の方向に沿っているため、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域を最も小さな領域にまとめて配置することができる。ここで、チャンネル長とは、チャンネル領域のうちトランジスタの第1端子から第2端子へ向かう方向に沿った長さを指す。これにより、第1トランジスタと第2トランジスタとを高密度に配置することが可能となる。また、上記構成においては、第1電源線と第2電源線とは、電気的に接続されていてもよい。すなわち、第1電源線と第2電源線とは、共用化されていてもよい。このようにすれば、検出装置の回路構成を簡略化することができる。また、単位回路の層構造を簡略化すること、及び単位回路を高密度化することが可能となる。

20

## 【0009】

[適用例2] 上記検出装置であって、前記第1トランジスタ及び前記第2トランジスタは、チャンネル長の方向が、平面視で前記走査線の延在方向及び前記検出線の延在方向と交差するように配置されている検出装置。

30

## 【0010】

このような構成によれば、第1トランジスタ及び第2トランジスタのチャンネル領域の配置ピッチを小さくすることができるため、単位回路の配置ピッチを低減することができる。これにより、検出装置の解像度を向上させることができる。上記において「平面視で」とは、「基板の法線方向から見て」の意味である。

## 【0011】

[適用例3] 上記検出装置であって、前記第1トランジスタ及び前記第2トランジスタは、チャンネル長の方向が、平面視で前記走査線の延在方向及び前記検出線の延在方向に対して45度の角度をなすように配置されている検出装置。

40

## 【0012】

このような構成によれば、第1トランジスタ及び第2トランジスタのチャンネル領域の配置ピッチを走査線の延在方向、検出線の延在方向のいずれにおいても小さくすることができるため、これらの方向についての単位回路の配置ピッチを低減することができる。これにより、検出装置の解像度を向上させることができる。

## 【0013】

[適用例4] 上記検出装置であって、平面視で前記走査線の延在方向及び前記検出線の延在方向と交差する方向に沿って、前記第1トランジスタの第1端子及び第2端子が配置され、平面視で前記走査線の延在方向及び前記検出線の延在方向と交差する方向に沿って

50

、前記第2トランジスタの第1端子及び第2端子が配置されている検出装置。

【0014】

このような構成によれば、各トランジスタの第1端子と第2端子とを互いに離れた状態で配置することができる。また、走査線又は検出線の延在方向に沿って配線を配置するに際して、第1トランジスタ及び第2トランジスタに重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0015】

〔適用例5〕上記検出装置であって、平面視で前記走査線の延在方向及び前記検出線の延在方向に対して45度の角度をなす方向に沿って、前記第1トランジスタの第1端子及び第2端子が配置され、平面視で前記走査線の延在方向及び前記検出線の延在方向に対して45度の角度をなす方向に沿って、前記第2トランジスタの第1端子及び第2端子が配置されている検出装置。

10

【0016】

このような構成によれば、各トランジスタの第1端子と第2端子とを互いに離れた状態で配置することができる。また、走査線又は検出線の延在方向に沿って配線を配置するに際して、第1トランジスタ及び第2トランジスタに重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0017】

〔適用例6〕上記検出装置であって、前記単位回路において、前記第1トランジスタ及び前記第2トランジスタは、平面視で前記検出線と前記第2電源線との間に配置されている検出装置。

20

【0018】

このような構成によれば、第2電源線及び検出線を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0019】

〔適用例7〕上記検出装置であって、平面視で前記走査線の延在方向に沿って前記第1トランジスタの第1端子と前記第2トランジスタの第1端子とが配置され、平面視で前記走査線の延在方向に沿って前記第1トランジスタの第2端子と前記第2トランジスタの第2端子とが配置されている検出装置。

30

【0020】

このような構成によれば、走査線に沿った方向に延在する配線を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0021】

〔適用例8〕上記検出装置であって、前記第1トランジスタ及び前記第2トランジスタは、チャンネル長の方向が、平面視で前記走査線の延在方向と垂直である検出装置。

【0022】

このような構成によれば、走査線と垂直な方向に延在する配線と第1トランジスタ、第2トランジスタとを重ねることができ、これらの構成要素を高密度に配置することができる。

40

【0023】

〔適用例9〕上記検出装置であって、平面視で前記走査線の延在方向と垂直な方向に沿って前記第1トランジスタの第1端子と第2端子とが配置され、平面視で前記走査線の延在方向と垂直な方向に沿って前記第2トランジスタの第1端子と第2端子とが配置されている検出装置。

【0024】

このような構成によれば、走査線に沿った方向に延在する配線の配置に際し、第1トランジスタ及び第2トランジスタに重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

50

## 【 0 0 2 5 】

[ 適用例 1 0 ] 上記検出装置であって、平面視で前記走査線の延在方向に対して一定の角度をなす方向に沿って前記第 1 トランジスタのチャンネル領域と前記第 2 トランジスタのチャンネル領域とが配置されている検出装置。

## 【 0 0 2 6 】

このような構成によれば、走査線に平行な方向に延在する配線を、第 1 トランジスタ又は第 2 トランジスタのチャンネル領域に接続する際に、当該配線を複雑に曲げる必要がなく、直線状に配置することができる。これにより、配線が複雑になることによる信号遅延を防止することができる。

## 【 0 0 2 7 】

[ 適用例 1 1 ] 上記検出装置であって、前記第 1 トランジスタのゲート電極は、平面視で前記走査線の延在方向に沿って配置されている検出装置。

## 【 0 0 2 8 】

このような構成によれば、第 1 トランジスタのゲート電極を直線状に配置することができる。また、当該ゲート電極以外の配線も、走査線に沿った方向に直線状に配置しやすくなる。これにより、配線が複雑になることによる信号遅延を防止することができる。

## 【 0 0 2 9 】

[ 適用例 1 2 ] 上記検出装置であって、前記検出素子は、光エネルギーを電気エネルギーに変換する光電変換素子である検出装置。

## 【 0 0 3 0 】

このような構成によれば、外的要因としての外光を検出することができる。

## 【 0 0 3 1 】

[ 適用例 1 3 ] 上記検出装置であって、前記検出素子は、変形によって容量が変化する第 2 容量素子である検出装置。

## 【 0 0 3 2 】

このような構成によれば、外的要因としての、検出素子に印加される外力を検出することができる。

## 【 0 0 3 3 】

[ 適用例 1 4 ] 基板と、前記基板上に配置された、複数の走査線と、複数の検出線と、複数の電源線と、前記走査線と前記検出線との交差に対応して設けられた複数の単位回路と、を備え、前記単位回路は、第 1 端子が前記検出線に接続されるとともに第 2 端子が前記電源線に接続され、ゲート電極の電位に応じた検出信号を前記検出線に供給する第 1 トランジスタと、前記第 1 トランジスタのゲート電極と接続され、外的要因に応じて前記第 1 トランジスタのゲート電位を変化させる検出素子と、第 1 端子が前記第 1 トランジスタのゲート電極に接続されるとともに第 2 端子が前記電源線に接続され、かつゲート電極が前記走査線に接続された第 2 トランジスタと、前記第 1 トランジスタのゲート電位を保持する第 1 容量素子と、を有しており、前記第 1 トランジスタは、チャンネル長の方向が、前記第 2 トランジスタのチャンネル長の方向に沿っている検出装置。

## 【 0 0 3 4 】

このような構成によれば、第 1 トランジスタは外的要因に応じた大きさの電流を検出線に出力するため、走査線により選択された単位回路についての上記電流を順次検出することで、外的要因を検出することができる。ここで、第 1 トランジスタのチャンネル長の方向は、第 2 トランジスタのチャンネル長の方向に沿っているため、第 1 のトランジスタのチャンネル領域及び第 2 のトランジスタのチャンネル領域を最も小さな領域にまとめて配置することができる。これにより、第 1 トランジスタと第 2 トランジスタとを高密度に配置することが可能となる。また、各単位回路は単一の電源線を有する構成とすることが可能なため、複数の電源線を有する構成と比較して検出装置の回路構成を簡略化することができる。また、電源線を異なる層に複数形成する必要がないため、単位回路の層構造を簡略化することができる。さらに、電源線の配置面積を低減させることができ、単位回路をより高密度に構成することができる。

10

20

30

40

50

## 【 0 0 3 5 】

[ 適用例 1 5 ] 上記検出装置を備えた電子機器。

## 【 0 0 3 6 】

このような構成によれば、高検出感度の入力インターフェースを備える電子機器を実現することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 3 7 】

以下、図面を参照し、検出装置及び電子機器の実施形態について説明する。なお、以下に示す各図においては、各構成要素を図面上で認識され得る程度の大きさとするため、各構成要素の寸法や比率を実際のものとは適宜に異ならせてある。

10

## 【 0 0 3 8 】

< 第 1 の実施形態 >

( A . 回路の構成と動作 )

図 1 に、第 1 の実施形態に係る検出装置の構成を示す。同図に示されるように、検出装置 1 は、画素領域 A、Y ドライバ 1 0 0、第 1 X ドライバ 2 0 0 A、第 2 X ドライバ 2 0 0 B、制御回路 3 0 0 を備える。このうち画素領域 A には、X 方向に延在する m 本の走査線 1 0 と、各走査線 1 0 に対をなして X 方向に延在する m 本の第 1 電源線 1 1 と、X 方向に直交する Y 方向に延在する n 本の第 2 電源線 1 2 と、各第 2 電源線 1 2 に対をなして Y 方向に延在する n 本の検出線 1 4 とが形成されている。走査線 1 0 と第 2 電源線 1 2 との各交差に対応する位置には画素回路 4 0 ( 単位回路 ) が配置される。したがって、これら

20

## 【 0 0 3 9 】

Y ドライバ 1 0 0 は、画素領域 A に配列する各画素回路 4 0 を水平走査期間ごとに行単位で選択して、走査信号 Y 1 ~ Y m を各走査線 1 0 に出力する。第 1 X ドライバ 2 0 0 A は、n 本の検出線 1 4 から供給される検出信号 X 1 ~ X n をサンプルホールドし、サンプルホールドの結果に基づいて統合検出信号 V I D を生成する。また、第 2 X ドライバ 2 0 0 B は、第 2 電源線 1 2 に電源電圧 R S L を供給する。電源電圧 R S L は第 1 電源電位 V D D 又は第 2 電源電位 V S S の一方となる。さらに、第 1 X ドライバ 2 0 0 A は、各検出線 1 4 を所定のタイミングで第 2 電源電位 V S S にプリチャージする。後述するように第 1 電源線 1 1 の電位が第 1 電源電位 V D D のとき、各画素回路 4 0 から入射光の光量に応じた大きさの検出信号 X 1 ~ X n が出力される。なお、検出信号 X 1 ~ X n の各々には、列方向に並ぶ m 個の画素回路 4 0 から出力される信号が時分割多重される。制御回路 3 0 0 は、クロック信号など各種の制御信号を Y ドライバ 1 0 0、第 1 X ドライバ 2 0 0 A 及び第 2 X ドライバ 2 0 0 B に供給する。

30

## 【 0 0 4 0 】

図 2 に画素回路 4 0 の構成を示す。この画素回路 4 0 は i ( i は 1 ~ m の整数 ) 行 j ( j は 1 ~ n の整数 ) 列目に配置されるが、他の画素回路 4 0 も同様に構成されている。画素回路 4 0 は、検出素子としてのフォトダイオード 4 7 を備える。フォトダイオード 4 7 は入射光の光量に応じた大きさの電流を出力するものであって、光エネルギーを電気エネルギーに変換する光電変換素子である。フォトダイオード 4 7 の陽極は固定電位に接続されており、その陰極は第 1 トランジスタとしての増幅トランジスタ 4 5 のゲートに接続されている。また、増幅トランジスタ 4 5 のゲートと第 1 電源線 1 1 との間には、増幅トランジスタ 4 5 のゲート電位を保持する第 1 容量素子 4 3 が設けられている。この第 1 容量素子 4 3 にフォトダイオード 4 7 から出力される電荷が蓄積される。増幅トランジスタ 4 5 のゲートと第 2 電源線 1 2 との間には第 2 トランジスタとしてのリセットトランジスタ 4 1 が設けられている。このリセットトランジスタ 4 1 はスイッチング素子として機能し、走査信号 Y i が選択電位になるとオン状態となり、非選択電位になるとオフ状態となる。リセットトランジスタ 4 1 がオン状態のとき、第 2 電源線 1 2 の電位が増幅トランジスタ 4 5 のゲートに供給される。さらに、増幅トランジスタ 4 5 のドレインは第 1 電源線 1 1 と電氣的に接続される一方、そのソースは検出線 1 4 と電氣的に接続される。

40

50

なお、増幅トランジスタ45におけるドレインとソースの関係は、電位が高い方をドレイン、電位が低い方をソースと定義するので、バイアスによってはドレインとソースとが逆転することがある。

#### 【0041】

図3に、第1Xドライバ200Aのブロック図を示す。第1Xドライバ200Aはn本の検出線14に各々対応する処理ユニットUa1~Uanを備える。ここでは、処理ユニットUa1について説明するが、他の処理ユニットも同様に構成されている。トランスファークラップ20、容量素子21及び容量素子22は、サンプルホールド回路として機能する。トランスファークラップ20はサンプリング信号SHGがハイレベルの場合、オン状態となり、ローレベルの場合、オフ状態となる。これにより、検出信号X1が取り込まれ保持される。また、インバータ23は増幅回路として機能する。トランスファークラップ24は、インバータ23の入力を中間電位にバイアスするために用いられる。すなわち、制御信号AMGがハイレベルになるとインバータ23の入力と出力とが短絡され、入力電位が中間電位にバイアスされる。インバータ23の出力端子はスイッチングトランジスタ25を介して配線Lに接続されている。スイッチングトランジスタ25のゲートにはシフトレジスタ26の出力信号が供給される。シフトレジスタ26は、転送開始パルスDXをXクロック信号XCKに従って順次転送して出力信号を生成する。この出力信号によって各処理ユニットUa1~Uanは排他的に検出信号を配線Lに供給し、配線Lで検出信号が合成され、バッファBを介して統合検出信号VIDとして出力される。なお、サンプリング信号SHG、制御信号AMG、転送開始パルスDX、及びXクロック信号XCKは、制御回路300から供給される。

10

20

#### 【0042】

図4は、第2Xドライバ200Bの構成を示すブロック図である。第2Xドライバ200Bはn列に各々対応する処理ユニットUb1~Ubnを備える。ここでは、処理ユニットUb1について説明するが、他の処理ユニットも同様に構成されている。トランジスタ27とトランジスタ28とは制御信号SG1及び制御信号SG2によってオン・オフが制御される。ここで制御信号SG2は制御信号SG1を反転したものである。したがって、トランジスタ27とトランジスタ28とは排他的にオン状態となり、第2電源線12に第1電源電位VDD又は第2電源電位VSSを供給する。また、トランジスタ29は制御信号RGがハイレベルになるとオン状態となり、検出線14に第2電源電位VSSを供給する。これにより、検出線14をプリチャージすることが可能となる。

30

#### 【0043】

次に、検出装置1の動作を説明する。図5は、検出装置1の各部の信号波形を示すタイミングチャートである。走査信号Y1~Ymは各水平走査期間の一部の期間で順次ハイレベルとなる。この図に示すようにi番目の水平走査期間は、リセット期間Trest、初期化期間Tini、検出期間Tdet、及び読出期間Treadから構成される。

#### 【0044】

まず、リセット期間Trestにおいては、増幅トランジスタ45のゲート電位を第2電源電位VSSに設定する。図5に示すように当該期間では、走査信号Yiがハイレベルとなるので、リセットトランジスタ41がオン状態となる。このとき、制御信号SG1がローレベルとなる一方、制御信号SG2がハイレベルとなるので、トランジスタ28がオン状態となり、第2電源電位VSSが第2電源線12を介して増幅トランジスタ45のゲートに供給される。さらに、制御信号RGがハイレベルとなるので、トランジスタ29がオン状態となり検出線14に第2電源電位VSSがプリチャージされる。m=n=3の場合、図6に示すようにすべての画素回路40において増幅トランジスタ45のゲート電位が第2電源電位VSSに設定される。

40

#### 【0045】

次に、初期化期間Tiniでは、制御信号SG1がハイレベルとなりトランジスタ27がオン状態となり、第1電源電位VDDが第2電源線12及びリセットトランジスタ41を介して増幅トランジスタ45のゲートに供給される。図7に示されるように、初期化期間

50

T<sub>ini</sub>において、第1電源電位V<sub>DD</sub>が供給されるのは、走査信号Y<sub>1</sub>~Y<sub>m</sub>がハイレベルとなる行に限られる。図7に示す例では第2行である。その他の行の画素回路40においては、リセット期間T<sub>rest</sub>で書き込まれた第2電源電位V<sub>SS</sub>が第1容量素子43によって保持される。また、初期化期間T<sub>ini</sub>では、サンプリング信号SHG及び制御信号AMGがハイレベルとなるので、トランスファークラップ20及び24がオン状態となる。このとき、検出線14には第2電源電位V<sub>SS</sub>が供給されるので、容量素子21の一方の端子の電位は第2電源電位V<sub>SS</sub>となり、他方の端子の電位は中間電位に設定される。これにより、容量素子21の電位が初期化される。

【0046】

次に、検出期間T<sub>det</sub>においては、図5に示すように電源信号G<sub>Pi</sub>の電位が第1電源電位V<sub>DD</sub>となる。また、制御信号RGがローレベルとなるので、トランジスタ29はオフ状態となり、検出線14には第2電源電位V<sub>SS</sub>が供給されない。図8に示されるように、検出期間T<sub>det</sub>では、選択された行(この例では、第2行)の画素回路40から検出信号X<sub>1</sub>~X<sub>3</sub>が出力される。

【0047】

図9に、選択された第2行第2列の画素回路40のバイアスを示す。この図に示すように増幅トランジスタ45のゲート電位V<sub>g</sub>は、フォトダイオード47の電圧をV<sub>pd</sub>とすれば、 $V_g = V_{DD} - V_{pd}$ となる。電圧V<sub>pd</sub>は、フォトダイオード47への入射光の光量に応じて変化する。すなわち、フォトダイオード47は、外的要因としての入射光の光量に応じて増幅トランジスタ45のゲート電位を変化させる。そして、ゲート電位に応じて定まる電流が検出信号X<sub>2</sub>として検出線14に出力される。換言すれば、増幅トランジスタ45は、ゲート電極の電位に応じた検出信号X<sub>2</sub>を検出線14に供給する。

【0048】

検出線14の電位をV<sub>sense</sub>とすると、電位V<sub>sense</sub>は図10に示すように変化する。ここで、特性Q<sub>1</sub>は入射光の光量が小さく暗い場合を示し、特性Q<sub>2</sub>は入射光の光量が大きく明るい場合を示す。すなわち、暗い場合には、フォトダイオード47の電圧V<sub>pd</sub>が小さいので、ゲート電位V<sub>g</sub>が高い。このため、大きな電流が増幅トランジスタ45のソースから流れ出し、検出線14の電位V<sub>sense</sub>が急速に上昇する。一方、明るい場合にはフォトダイオード47の電圧V<sub>pd</sub>が大きいのでゲート電位V<sub>g</sub>が低い。このため、増幅トランジスタ45のソースから流れ出す電流が小さいので、検出線14の電位V<sub>sense</sub>は緩やかに上昇する。そして、 $V_{sense} = V_g - V_{th}$ となると、増幅トランジスタ45がオフ状態となる。このように入射光の光量に応じて検出線14に流れ出る電荷量が相違するので、これを上述した処理ユニットU<sub>a2</sub>において電圧として検出する。

【0049】

(B. 画素回路の詳細な構成)

続いて、画素回路40の詳細な構成について説明する。図11は、検出装置1の、複数の画素回路40を含む領域における平面図であり、図12は画素回路40の拡大平面図である。画素回路40は、複数の行及び列に沿ってマトリクス状に配置されている。以下においては、画素回路40の行又は列のことを単に「行」又は「列」とも呼ぶ。図19、図20は、それぞれ図11中のB-B線、C-C線に沿った検出装置1の断面図である。図19、図20に示すように、画素回路40は、半導体層41a、45aを含む第1層と、ゲート電極41g、45gを含む第2層と、第2電源線12及び検出線14等を含む第3層と、走査線10及び第1電源線11b等を含む第4層と、第1電源線11a等を含む第5層とを有している。図13は、図11に示した構成要素のうち、第1層及び第3層の構成要素を抽出して示す平面図である。図14は、図11に示した構成要素のうち、第1層、第2層及び第4層の構成要素を抽出して示す平面図である。図15は、図11に示した構成要素のうち、第1層及び第5層の構成要素を抽出して示す平面図である。

【0050】

まず、図19の断面図を参照しながら画素回路40の構成について説明する。基板5上には、酸化シリコン等からなる下地絶縁膜51が形成されている。基板5としては、石英

10

20

30

40

50

基板やガラス基板等を用いることができる。下地絶縁膜51上には半導体層41a, 45aを含む第1層が形成されている。第1層の上には、酸化シリコン等からなるゲート絶縁膜52が形成され、その上にはゲート電極41g, 45gを含む第2層が形成されている。

#### 【0051】

半導体層41aは、例えばシリコン膜としてのポリシリコン膜からなり、ゲート電極41gからの電界によりチャンネルが形成されるチャンネル領域41c、第1端子としてのドレイン領域41d、第2端子としてのソース領域41sを備えている。半導体層45aも同様にポリシリコン膜からなり、ゲート電極45gからの電界によりチャンネルが形成されるチャンネル領域45c、第1端子としてのドレイン領域45d、第2端子としてのソース領域45sを備えている。半導体層41a, 45aは、LDD (Lightly Doped Drain) 構造としてもよい。例えば、チャンネル領域41c (45c) とドレイン領域41d (45d) との間に低濃度ドレイン領域を設けるとともに、チャンネル領域41c (45c) とソース領域41s (45s) との間に低濃度ソース領域を設ける構成としてもよい。

10

#### 【0052】

ゲート電極41g, 45gは、例えばTi (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン) 等の高融点金属のうちの一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの、あるいは導電性ポリシリコン等から構成することができる。ゲート電極41g, 45gは、それぞれ平面視でチャンネル領域41c, 45cと重なる領域に少なくとも形成されている。

20

#### 【0053】

図14に示すように、半導体層41aと半導体層45aとは、互いに平行となるように配置されている。すなわち、半導体層41aは、半導体層45aの延在方向に沿って設けられている。このため、チャンネル領域41cのチャンネル長の方向は、チャンネル領域45cのチャンネル長の方向に沿った方向となっている。又は、チャンネル領域41cのチャンネル長の方向は、チャンネル領域45cのチャンネル長の方向と平行であってもよい。ここで、チャンネル領域41c (45c) は、半導体層41a (45a) のうちゲート電極41g (45g) と重なった領域であり、チャンネル長とは、チャンネル領域41c (45c) のうちドレイン領域41d (45d) からソース領域41s (45s) へ向かう方向に沿った長さを指す。このような構成によれば、チャンネル領域41cとチャンネル領域45cとを最も小さな領域にまとめて配置することができるので、増幅トランジスタ45とリセットトランジスタ41とを高密度に配置することが可能となる。また、半導体層41a, 45aがレーザーアニール処理を経て形成された低温ポリシリコンである場合には、チャンネル領域41c, 45cのサイズでトランジスタ特性を制御することができるという利点を有する。さらに、特に半導体層41a, 45aが低温ポリシリコンの場合には、増幅トランジスタ45及びリセットトランジスタ41の電流特性を揃えることができ、例えばオン電流やオフ電流を同様にするすることができる。検出装置1において、ある画素回路40を動作させない場合には、増幅トランジスタ45及びリセットトランジスタ41をとともに確実にオフ状態としなければならないが、上記構成によればこの動作を行いやすい。

30

40

#### 【0054】

より詳しくは、増幅トランジスタ45は、画素回路40を動作させる際に、閾値領域付近でゲート電位に対する出力電流の感度を敏感にさせる必要がある。また、動作させない場合には、動作させる画素回路40についての検出信号XnのS/N比をとるため、確実にオフさせる必要がある。また、リセットトランジスタ41は、走査線10の電位がローレベルとなることに対応して確実にオフ状態とすることにより、光検出時の増幅トランジスタ45のゲート電位を確実に保持させることができ、検出信号XnのS/N比を向上させることができる。上記のようにチャンネル領域41cのチャンネル長の方向がチャンネル領域45cのチャンネル長に沿った方向となるように配置されることにより、これらの動作が行いやすくなる。

50

## 【 0 0 5 5 】

また、図 1 1 に示すように、チャンネル領域 4 1 c , 4 5 c のチャンネル長は、平面視での延在方向が、走査線 1 0 の延在方向及び検出線 1 4 の延在方向と交差するように配置されている。又は、上記チャンネル長の延在方向が、画素回路 4 0 の対角方向に沿った方向となるように配置されていてもよい。又は、上記チャンネル長の延在方向は、走査線 1 0 の延在方向及び検出線 1 4 の延在方向に対して 4 5 度の角度をなすように配置されていてもよい。同様に、第 1 電源線 1 1 a , 1 1 b、第 2 電源線 1 2 に対して交差するか、又は 4 5 度の角度をなしていてもよい。なお、本実施形態において、走査線 1 0、第 1 電源線 1 1 a , 1 1 b は、図の横方向（行方向）に沿って配置され、第 2 電源線 1 2、検出線 1 4 は、図の縦方向（列方向）に沿って配置されている。このような構成によれば、図 1 1 の縦方向及び横方向についてチャンネル領域 4 1 c , 4 5 c の配置ピッチ、ひいては半導体層 4 1 a , 4 5 a の配置ピッチを小さくすることができるため、画素回路 4 0 の大きさを低減することができる。これにより、検出装置 1 の解像度を向上させることができる。

10

## 【 0 0 5 6 】

ここで、半導体層 4 1 a , 4 5 a がレーザーアニールを経て形成される低温ポリシリコンである場合には、チャンネル領域 4 1 c , 4 5 c は、アニール用レーザーの光束の長手方向に対して 4 5 度の角度をなすように配置されることが望ましい。このようにすれば、半導体層 4 1 a , 4 5 a に対して、少ない数のレーザー照射でアニールを完了することができる。このため、レーザーアニールによる特性ばらつきを低減させることができる。

## 【 0 0 5 7 】

また、図 1 1 に示すように、増幅トランジスタ 4 5 は、ドレイン領域 4 5 d（第 1 端子）とソース領域 4 5 s（第 2 端子）とが、平面視で走査線 1 0、第 1 電源線 1 1 a , 1 1 b、第 2 電源線 1 2、検出線 1 4 の延在方向に対して交差する方向に沿って配置されている。又は、ドレイン領域 4 5 d とソース領域 4 5 s とが、画素回路 4 0 の対角方向に沿って配置されていてもよい。又は、ドレイン領域 4 5 d とソース領域 4 5 s とが走査線 1 0 に対して 4 5 度の角度をなす方向に沿って配置されていてもよい。同様に、リセットトランジスタ 4 1 は、ドレイン領域 4 1 d（第 1 端子）とソース領域 4 1 s（第 2 端子）とが、平面視で走査線 1 0、第 1 電源線 1 1 a , 1 1 b、第 2 電源線 1 2、検出線 1 4 の延在方向に対して交差する方向に沿って配置されている。又は、ドレイン領域 4 1 d とソース領域 4 1 s とが、画素回路 4 0 の対角方向に沿って配置されていてもよい。又は、ドレイン領域 4 1 d とソース領域 4 1 s とが走査線 1 0 に対して 4 5 度の角度をなす方向に沿って配置されていてもよい。このような構成によれば、各トランジスタの第 1 端子と第 2 端子とを互いに離れた状態で配置することができる。また、図 1 1 の縦方向及び横方向に延在する配線の配置に際し、増幅トランジスタ 4 5 及びリセットトランジスタ 4 1 に重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

20

30

## 【 0 0 5 8 】

さらに、図 1 1 に示すように、増幅トランジスタ 4 5 のドレイン領域 4 5 d とリセットトランジスタ 4 1 のドレイン領域 4 1 d とは、平面視で走査線 1 0 及び第 1 電源線 1 1 a , 1 1 b の延在方向に沿って配置されている。また、増幅トランジスタ 4 5 のソース領域 4 5 s とリセットトランジスタ 4 1 のソース領域 4 1 s とは、平面視で走査線 1 0 及び第 1 電源線 1 1 a , 1 1 b の延在方向に沿って配置されている。このような構成によれば、図 1 1 の横方向（行方向）に延在する配線、すなわち走査線 1 0、第 1 電源線 1 1 a , 1 1 b を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

40

## 【 0 0 5 9 】

また、ゲート電極 4 5 g は、平面視でリセットトランジスタ 4 1 のドレイン領域 4 1 d と重なる位置まで延設され、かつコンタクトホール 7 2（図 1 9）を介してドレイン領域 4 1 d に電氣的に接続されている。これにより、増幅トランジスタ 4 5 を、リセットトランジスタ 4 1 の出力により制御することが可能となる。半導体層 4 1 a , 4 5 a が上述の

50

ような配置となっていることにより、ドレイン領域 4 1 d は、チャンネル領域 4 5 c から半導体層 4 5 a の短軸方向に延ばした線分上、すなわち半導体層 4 5 a の垂直二等分線上に存在することとなる。このため、ゲート電極 4 5 g は、チャンネル領域 4 5 c 上を始点とし、半導体層 4 5 a の短軸方向に単に延設していくことで、容易にドレイン領域 4 1 d 上まで形成することができる。また、ドレイン領域 4 1 d におけるコンタクト部を広く確保することができる。

#### 【 0 0 6 0 】

図 1 9 に戻り、第 2 層の上には、酸化シリコン等からなる層間絶縁膜 5 3 を挟んで第 2 電源線 1 2、検出線 1 4 等を含む第 3 層が形成されている。また、この第 3 層には、中継電極 6 1、6 2、6 5 (図 1 3、図 2 0) も形成されている。第 2 電源線 1 2 は、層間絶縁膜 5 3 及びゲート絶縁膜 5 2 を貫通して設けられたコンタクトホール 7 1 を介してリセットトランジスタ 4 1 のソース領域 4 1 s に電氣的に接続されている。検出線 1 4 は、層間絶縁膜 5 3 及びゲート絶縁膜 5 2 を貫通して設けられたコンタクトホール 7 3 を介して増幅トランジスタ 4 5 のドレイン領域 4 5 d に電氣的に接続されている。中継電極 6 1 は、層間絶縁膜 5 3 及びゲート絶縁膜 5 2 を貫通して設けられたコンタクトホール 7 2 を介してリセットトランジスタ 4 1 のドレイン領域 4 1 d に電氣的に接続されている。中継電極 6 2、6 5 は、層間絶縁膜 5 3 及びゲート絶縁膜 5 2 を貫通して設けられたコンタクトホール 7 4 を介して増幅トランジスタ 4 5 のソース領域 4 5 s に電氣的に接続されている。

#### 【 0 0 6 1 】

上記第 3 層の構成要素の平面的な配置は、図 1 3 に示されている。第 2 電源線 1 2 と検出線 1 4 とは、画素回路 4 0 (図 1 1) の列方向に沿って延在し、第 2 電源線 1 2 は図 1 3 において画素回路 4 0 の左端側に配置され、検出線 1 4 は図 1 3 において画素回路 4 0 の右端側に配置されている。よって、画素回路 4 0 において、増幅トランジスタ 4 5 及びリセットトランジスタ 4 1 は、平面視で第 2 電源線 1 2 と検出線 1 4 との間に配置されている。換言すれば、第 2 電源線 1 2 とリセットトランジスタ 4 1 との接続部、及び検出線 1 4 と増幅トランジスタ 4 5 との接続部が、チャンネル領域 4 1 c、4 5 c (図 1 1) より画素回路 4 0 の外縁部に近い領域に位置している。このような構成によれば、図 1 1 の縦方向(列方向)に延在する配線、すなわち第 2 電源線 1 2 及び検出線 1 4 を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

#### 【 0 0 6 2 】

中継電極 6 1 は、リセットトランジスタ 4 1 のドレイン領域 4 1 d (図 1 1) のうちコンタクトホール 7 2 に重なる領域に少なくとも配置されている。中継電極 6 2、6 5 は、増幅トランジスタ 4 5 のソース領域 4 5 s のうちコンタクトホール 7 4 に重なる領域に少なくとも配置されている。ここで、ある行の画素回路 4 0 には中継電極 6 2 が、また当該画素回路 4 0 に隣接する行の画素回路 4 0 には中継電極 6 5 が、配置されている。すなわち、中継電極 6 2、6 5 は、1 行おきに配置されている。より詳しくは、第 1 電源線 1 1 a (図 1 1) を有する画素回路 4 0 には中継電極 6 2 が形成され、第 1 電源線 1 1 b (図 1 1) を有する画素回路 4 0 には中継電極 6 5 が形成される。中継電極 6 5 は、第 1 電源線 1 1 b の配置領域のうち、コンタクトホール 7 8 (図 1 4) の配置領域まで延在している。

#### 【 0 0 6 3 】

図 1 9 に戻り、第 3 層の上には、酸化シリコン等からなる層間絶縁膜 5 4 を挟んで走査線 1 0 等を含む第 4 層が形成されている。第 4 層には、走査線 1 0 の他に、第 1 電源線 1 1 b が形成されている(図 1 4、図 2 0)。走査線 1 0 は、層間絶縁膜 5 4、5 3 を貫通して設けられたコンタクトホール 7 5 を介してリセットトランジスタ 4 1 のゲート電極 4 1 g に電氣的に接続されている。第 1 電源線 1 1 b は、層間絶縁膜 5 4、5 3 を貫通して設けられたコンタクトホール 7 8 を介して中継電極 6 5 (図 2 0) に電氣的に接続されている。ここで、中継電極 6 5 は増幅トランジスタ 4 5 のソース領域 4 5 s に接続されてい

10

20

30

40

50

るので、第1電源線11bは当該ソース領域45sに電氣的に接続されている。後述するように、本実施形態では、第1電源線として、第1電源線11a, 11bの2種類がそれぞれ異なる層に形成されている。第3層の第1電源線11bは、そのうちの一方である。

#### 【0064】

上記第4層の構成要素の平面的な配置は、図14に示されている。走査線10は、平面視でリセットトランジスタ41のゲート電極41gの少なくとも一部に重なるように配置されている。本実施形態では、さらに増幅トランジスタ45のチャンネル領域45c及びリセットトランジスタ41のチャンネル領域41cを横切るように、かつ直線状に配置されている。また、走査線10は、チャンネル領域41c, 45cのチャンネル長の方向に対して一定の角度を有して配置されている。本実施形態では、当該一定の角度は45度である。また、上記したように、走査線10とリセットトランジスタ41のゲート電極41gとは、ゲート電極41g上において基板5の法線方向に形成されたコンタクトホール75を介して電氣的に接続されている。このように、走査線10は、第2層、第3層とは異なる層において2つのトランジスタの上方を通るように配置され、かつ基板5の法線方向でゲート電極41gと接続されているため、走査線10の配線のための領域を別途設ける必要がなく、走査線10とリセットトランジスタ41との接続配線のための領域が不要となる。このため、増幅トランジスタ45及びリセットトランジスタ41を高密度に配置することができる。本明細書において、基板5の法線方向での接続とは、例えばコンタクトホールによる接続の場合、コンタクトホールの形成方向が基板5の法線方向の成分を有していることを意味し、コンタクトホールが厳密に基板5の法線方向に沿って形成されている場合に  
10  
20

#### 【0065】

第1電源線11bは、走査線10と平行に、すなわち行方向に沿って直線状に配置されている。第1電源線11bは、1行おきに配置されている。

#### 【0066】

図19に戻り、第4層の上には、酸化シリコン等からなる層間絶縁膜55を挟んで第1電源線11a、中継電極63, 64(図20)を含む第5層が形成されている。第1電源線11aは、2種類ある第1電源線11のうちの他方である。第1電源線11aは、層間絶縁膜55, 54を貫通して設けられたコンタクトホール77を介して中継電極62に電氣的に接続されている。ここで、中継電極62は増幅トランジスタ45のソース領域45sに接続されているので、第1電源線11aは当該ソース領域45sに電氣的に接続されている。中継電極63は、層間絶縁膜55, 54を貫通して設けられたコンタクトホール76を介して中継電極61に電氣的に接続されている。中継電極64は、層間絶縁膜55, 54を貫通して設けられたコンタクトホール77を介して中継電極65に電氣的に接続されている。  
30

#### 【0067】

上記第5層の構成要素の平面的な配置は、図15に示されている。第1電源線11aは、画素回路40の行方向に沿って配置され、一部がコンタクトホール74, 77の配置領域にせり出すように配置されている。中継電極63は、リセットトランジスタ41のドレイン領域41dのうちコンタクトホール72, 76に重なる領域に少なくとも配置されている。中継電極64は、増幅トランジスタ45のソース領域45sのうちコンタクトホール74, 77に重なる領域に少なくとも配置されている。中継電極64は、第1電源線11bを有する画素回路40にのみ配置される。  
40

#### 【0068】

ここで、第1電源線11a, 11bの配置について、図17を用いて説明する。図17は、図11から第1電源線11a, 11b、半導体層41a, 45a等を抜き出して示す平面図である。第1電源線11a, 11bは、ともに走査線10と平行な方向に直線状に延設されている。より詳しくは、第1電源線11aは、図17において画素回路40の上端側に形成されており、第1電源線11bは画素回路40の下端側に形成されている。そして、第1電源線11aが形成されている画素回路40の行と、第1電源線11bが形成  
50

されている画素回路40の行は、交互に配置されている。したがって、第1電源線11aと第1電源線11bとは、平面視で互いに近接する位置に配置されている。

【0069】

また、上述したように、第1電源線11aは第5層に形成され(図19)、第1電源線11bはこれとは異なる第4層に形成されている(図20)。このため、第1電源線11a、11bを同層に形成する場合と比較して、第1電源線11a、11bを平面視でより近接した位置に配置することが可能となる。このため、図17の縦方向(列方向)についての画素回路40の配置ピッチを小さくすることができる。

【0070】

また、図18に示すように、第1電源線11a、11bを、平面視で一部が重なるように配置してもよい。このようにすれば、列方向についての画素回路40の配置ピッチをさらに小さくすることができる。

【0071】

図19に戻り、第5層の上には、アクリル樹脂等からなる平坦化膜56が形成され、平坦化膜56上には、第1容量素子43、検出素子としてのフォトダイオード47がこの順に積層されている。第1容量素子43及びフォトダイオード47は、画素回路40ごとに形成されている。

【0072】

第1容量素子43は、下層側から、Al-Nd等からなる第2電極43b、窒化シリコン等からなる絶縁膜43d、Al-Nd等からなる第1電極43aが順に積層された構成を有している。第2電極43bは、平坦化膜56に形成されたコンタクトホール79bを介して第1電源線11a又は中継電極64(図20)に電氣的に接続されている。したがって、第2電極43bは、中継電極62又は中継電極65を介して増幅トランジスタ45のソース領域45sに電氣的に接続されている。コンタクトホール79bは、平面視で第2電極43bに重なる領域内に形成されている。また、第1電極43aは、平坦化膜56に形成されたコンタクトホール79aを介して中継電極63に電氣的に接続されている。したがって、第1電極43aは、中継電極61を介してリセットトランジスタ41のドレイン領域41d及び増幅トランジスタ45のゲート電極45gに電氣的に接続されている。コンタクトホール79aは、平面視で第1電極43aに重なる領域内に形成されている。このように、基板5の法線方向に設けられたコンタクトホール79a、79bにより電氣的接続を行う構成によれば、接続を確実に行うことができるとともに、同一層に設けられる配線のライン/スペースを広くすることができる。また、第1電極43aは、平面視で半導体層41aと一部が重なっており、第2電極43bは、平面視で半導体層45aと一部が重なっている。このような特徴によっても、同一層に設けられる配線のライン/スペースを広くすることができるという効果が得られる。

【0073】

さらに、第1電極43aとリセットトランジスタ41のドレイン領域41dとの接続、及び増幅トランジスタ45のゲート電極45gとリセットトランジスタ41のドレイン領域41dとの接続は、同一のコンタクトホール72を介して行われている(共通コンタクト構造)。このような構成によれば、平面視でコンタクトに用いる領域を低減することができ、画素回路40を高密度に配置することができる。

【0074】

第1電極43a、第2電極43bの平面的な配置は、図16に示されている。第2電極43bは、画素回路40のうち、リセットトランジスタ41のドレイン領域41dを除いた領域に形成され、第1電極43aは、画素回路40の略全面にわたって形成されている。このため、増幅トランジスタ45のチャネル領域45c及びリセットトランジスタ41のチャネル領域41cは、平面視で第1電極43a及び第2電極43bの少なくとも一方によって覆われている。このような構成によれば、1つ又は2つの遮光層(第1電極43a、第2電極43b)によりチャネル領域45c、41c(図11)を遮光することができるため、増幅トランジスタ45及びリセットトランジスタ41のオフ電流を低減するこ

10

20

30

40

50

とができる。これにより、検出信号  $X_n$  の  $S/N$  比を向上させることができる。

【0075】

図19に戻り、第1容量素子43の第1電極43aは、フォトダイオード47の陰極を兼ねている。フォトダイオード47は、下層側から、陰極としての第1電極43a、アモルファスシリコンからなるn層47n、i層47i、p層47p、ITO (Indium Tin Oxide) からなる透明な陽極48がこの順に積層された構成を有している。フォトダイオード47は、図16に示すように、平面的には画素回路40の中心付近の矩形領域に形成されている。フォトダイオード47の矩形領域の周囲には、窒化シリコン等からなる絶縁層57が形成されている。このように、第1容量素子43の第1電極43aをフォトダイオード47の陰極に兼用し、第1容量素子43に重ねてフォトダイオード47を形成する構成によれば、第1容量素子43、フォトダイオード47の占有面積をそれぞれ広くすることができる。

10

【0076】

(変形例1-1)

本実施形態の検出装置1は、検出素子としてフォトダイオード47を用いているが、この他にも種々の検出素子を用いることができる。図21は、検出素子として第2容量素子44を用いた検出装置1の断面図であり、断面の位置は、図11におけるB-B線の位置に対応する。第2容量素子44は、第1容量素子43に重ねて形成されており、下層から第1電極43a、絶縁層44d、第2電極44bが積層された構成を有している。ここで、第1電極43aは、第1容量素子43と共通の電極である。第2容量素子44の上には、ガラス又は透明な樹脂等からなる基板6が配置されている。外的要因によって基板6が変形すると、絶縁層44dの厚さが変化し、これにともなって第2容量素子44の容量が変化する。この結果、第2容量素子44に蓄積される電荷の量が変動し、増幅トランジスタ45のゲート電位が変化する。このように、第2容量素子44は、外的要因によって増幅トランジスタ45のゲート電位を変化させる。したがって、検出素子として第2容量素子44を用いた検出装置1によっても、外的要因を検出することができる。

20

【0077】

(変形例1-2)

本実施形態の検出装置1は、各画素回路40に2つの電源線(第1電源線11、第2電源線12)を有しているが、これらの電源線を電氣的に接続させて共用化し、各画素回路40に単一の電源線を有する構成とすることもできる。図22は、こうした構成の画素回路40を有する検出装置1の回路図である。各画素回路40において、第1容量素子43の一方の端子は、第2電源線12(本変形例では、単に電源線12とも呼ぶ)に電氣的に接続されている。また、リセットトランジスタ41及び増幅トランジスタ45の一端(ソース又はドレイン)は、いずれも電源線12に電氣的に接続されている。このようにすれば、第1容量素子43の端子及びリセットトランジスタ41、増幅トランジスタ45の一端に対し、電源線12を介して電源電圧RSLを供給することができる。ここで、電源電圧RSLは、第1電源電位VDD又は第2電源電位VSSの一方となる。

30

【0078】

こうした構成によっても、上記実施形態と同様の検出動作を行うことができる。すなわち、まずリセット期間 $T_{rest}$ においては、リセットトランジスタ41がオン状態となり、第2電源電位VSSが電源線12を介して増幅トランジスタ45のゲートに供給される。また、検出線14に第2電源電位VSSがプリチャージされる。次に、初期化期間 $T_{ini}$ では、走査信号 $Y_1 \sim Y_m$ がハイレベルとなる行において、第1電源電位VDDが電源線12及びリセットトランジスタ41を介して増幅トランジスタ45のゲートに供給される。このとき、第1容量素子43の他端にも電源線12を介して第1電源電位VDDが供給される。次に、検出期間 $T_{det}$ においては、選択された行の画素回路40から、検出信号 $X_1 \sim X_3$ が出力される。このとき、増幅トランジスタ45は、ゲート電位に応じた大きさの検出信号 $X_1 \sim X_3$ を出力する。ここで、増幅トランジスタ45のゲート電位は、フォトダイオード47に入射する光量に応じて変化するため、検出信号 $X_1 \sim X_3$ は、当該

40

50

入射光量に応じた大きさとなる。

【0079】

図23は、本変形例に係る検出装置1の、複数の画素回路40を含む領域における平面図である。また、図24は、図23の構成要素のうち第1層(半導体層41a, 45aが形成された層)、第3層(電源線12が形成された層)の配置を示す平面図である。これらの図に示すように、電源線12は、図の縦方向(列方向)に沿って配置されているとともに、各画素回路40においてソース領域41sとソース領域45sとを接続させるための枝部12aを有している。枝部12aは、コンタクトホール71, 74を介してソース領域41sとソース領域45sとを電氣的に接続している。また、ソース領域41s, 45sは、コンタクトホール77を介して第1容量素子43の第2電極43bと電氣的に接

10

【0080】

本変形例の検出装置1は、第1電源線11a, 11bを持たない。したがって、第1の実施形態に含まれている、第1電源線11a及び中継電極63, 64を含む第5層(図15)を省略することができる。この場合は、走査線10を含む第4層に、中継電極63, 64に相当する位置に新たに中継電極を設け、当該中継電極に第1容量素子43の第1電極43a、第2電極43bをそれぞれ電氣的に接続させればよい。

【0081】

本変形例の構成によれば、各画素回路(単位回路)40は単一の電源線12を有しているため、複数の電源線を有する構成と比較して検出装置1の回路構成を簡略化することができる。また、電源線12を異なる層に複数形成する必要がないため、画素回路40の層構造を簡略化することができる。さらに、電源線12の配置面積を低減させることができ、画素回路40をより高密度に構成することができる。

20

【0082】

(変形例1-3)

本実施形態又は上記変形例に係る検出装置1は、以下に列挙する特徴を含むものであるが、これらの特徴のすべてを包含している必要はなく、このうちの一部の特徴のみを含む検出装置であってもよい。以下の特徴のうち任意の1つ又は2つ以上の特徴を有する検出装置によれば、その特徴に対応する効果が得られる。

【0083】

リセットトランジスタ41のチャンネル長の方向が、増幅トランジスタ45のチャンネル長の方向に沿っている構成。このような構成によれば、増幅トランジスタ45とリセットトランジスタ41とを高密度に配置することが可能となる。また、増幅トランジスタ45及びリセットトランジスタ41の電流特性を揃えることができ、例えばオン電流やオフ電流を同様にする事ができる。

30

【0084】

リセットトランジスタ41のチャンネル長の方向及び増幅トランジスタ45のチャンネル長の方向が、平面視で走査線10の延在方向及び検出線14の延在方向と交差している構成。又は、リセットトランジスタ41のチャンネル長の方向及び増幅トランジスタ45のチャンネル長の方向が、平面視で走査線10の延在方向及び検出線14の延在方向に対して45度の角度をなしている構成。このような構成によれば、半導体層41a, 45aの列方向及び行方向の配置ピッチを小さくすることができるため、画素回路40の縦方向の大きさを低減することができる。これにより、検出装置1の解像度を向上させることができる。

40

【0085】

平面視で走査線10の延在方向及び検出線14の延在方向と交差する方向に沿って、増幅トランジスタ45のドレイン領域45d(第1端子)とソース領域45s(第2端子)とが配置され、平面視で走査線10の延在方向及び検出線14の延在方向と交差する方向に沿って、リセットトランジスタ41のドレイン領域41d(第1端子)とソース領域41s(第2端子)とが配置されている構成。又は、平面視で走査線10の延在方向及び検出線14の延在方向と45度の角度をなす方向に沿って、増幅トランジスタ45のドレイ

50

ン領域 45d とソース領域 45s とが配置され、平面視で走査線 10 の延在方向及び検出線 14 の延在方向と 45 度の角度をなす方向に沿って、リセットトランジスタ 41 のドレイン領域 41d とソース領域 41s とが配置されている構成。このような構成によれば、列方向及び行方向に延在する配線の配置に際し、増幅トランジスタ 45 及びリセットトランジスタ 41 に重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0086】

平面視で走査線 10 の延在方向に沿って増幅トランジスタ 45 のドレイン領域 45d とリセットトランジスタ 41 のドレイン領域 41d とが配置され、平面視で走査線 10 の延在方向に沿って増幅トランジスタ 45 のソース領域 45s とリセットトランジスタ 41 のソース領域 41s とが配置される構成。このような構成によれば、行方向に延在する配線を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

10

【0087】

第 1 電極 43a とリセットトランジスタ 41 のドレイン領域 41d との接続、及び増幅トランジスタ 45 のゲート電極 45g とリセットトランジスタ 41 のドレイン領域 41d との接続を、同一のコンタクトホール 72 を介して行う構成（共通コンタクト構造）。このような構成によれば、平面視でコンタクトに用いる領域を低減することができ、画素回路 40 を高密度に配置することができる。

【0088】

20

各画素回路 40 において、増幅トランジスタ 45 及びリセットトランジスタ 41 が、平面視で第 2 電源線 12 と検出線 14 との間に配置されている構成。又は、第 2 電源線 12 とリセットトランジスタ 41 との接続部、及び検出線 14 と増幅トランジスタ 45 との接続部が、チャンネル領域 41c、45c より画素回路 40 の外縁部に近い領域に位置している構成。このような構成によれば、列方向に延在する配線、すなわち第 2 電源線 12 及び検出線 14 を直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

【0089】

走査線 10 が、平面視でリセットトランジスタ 41 のゲート電極 41g の少なくとも一部に重なっている構成。又は、走査線 10 が、増幅トランジスタ 45 のチャンネル領域 45c 及びリセットトランジスタ 41 のチャンネル領域 41c を横切るように、かつ直線状に配置されている構成。又は、走査線 10 とリセットトランジスタ 41 のゲート電極 41g とが、ゲート電極 41g 上において基板 5 の法線方向に形成されたコンタクトホール 75 を介して電気的に接続されている構成。このような構成によれば、走査線 10 は、第 2 層、第 3 層とは異なる層において 2 つのトランジスタの上方を通るように配置され、かつ基板 5 の法線方向でゲート電極 41g と接続されるため、走査線 10 の配線のための領域を別途設ける必要がなく、走査線 10 とリセットトランジスタ 41 との接続配線のための領域が不要となる。このため、増幅トランジスタ 45 及びリセットトランジスタ 41 を高密度に配置することができる。

30

【0090】

40

第 1 電源線 11a が画素回路 40 の上端側に形成され、第 1 電源線 11b が画素回路 40 の下端側に形成され、第 1 電源線 11a が形成されている画素回路 40 の行と、第 1 電源線 11b が形成されている画素回路 40 の行とが交互に配置されている構成。又は、第 1 電源線 11a と第 1 電源線 11b とが異なる層に形成されている構成。このような構成によれば、第 1 電源線 11a、11b を平面視でより近接した位置に配置することが可能となる。このため、列方向についての画素回路 40 の配置ピッチを小さくすることができる。

【0091】

第 1 電源線 11a、11b を、平面視で一部が重なるように配置する構成。このような構成によれば、列方向についての画素回路 40 の配置ピッチを小さくすることができる。

50

## 【 0 0 9 2 】

第1容量素子43の第1電極43a、第2電極43bが、基板5の法線方向に設けられたコンタクトホール79a、79bにより中継電極等と電氣的接続を行う構成。又は、第1電極43aと半導体層41aとが平面視で一部重なっている構成、若しくは第2電極43bと半導体層45aとが平面視で一部重なっている構成。このような構成によれば、接続を確実に行うことができるとともに、同一層に設けられる配線のライン/スペースを広くすることができる。

## 【 0 0 9 3 】

増幅トランジスタ45のチャンネル領域45c及びリセットトランジスタ41のチャンネル領域41cが、平面視で第1容量素子43の第1電極43a及び第2電極43bの少なくとも一方によって覆われている構成。このような構成によれば、1つ又は2つの遮光層(第1電極43a、第2電極43b)によりチャンネル領域45c、41cを遮光することができるため、増幅トランジスタ45及びリセットトランジスタ41のオフ電流を低減することができる。これにより、検出信号XnのS/N比を向上させることができる。

10

## 【 0 0 9 4 】

第1容量素子43の第1電極43aが、フォトダイオード47の陰極を兼ねている構成。このような構成によれば、第1容量素子43、フォトダイオードの占有面積をそれぞれ広くすることができる。

## 【 0 0 9 5 】

検出素子として、フォトダイオード47に代えて第2容量素子44を用いた構成。この

20

## 【 0 0 9 6 】

各画素回路40に単一の電源線12を有する構成。このような構成によれば、検出装置の回路構成を簡略化することができる。また、単位回路の層構造を簡略化すること、及び単位回路を高密度化することが可能となる。

## 【 0 0 9 7 】

< 第2の実施形態 >

続いて、検出装置の第2の実施形態について説明する。本実施形態の検出装置は、画素回路40の構成要素の配置が第1の実施形態と異なるものであり、その他の点は第1の実施形態と同様である。

30

## 【 0 0 9 8 】

図25は、本実施形態に係る検出装置2の、複数の画素回路40を含む領域における平面図であり、図26は画素回路40の拡大平面図である。図30は、図25中のD-D線に沿った検出装置2の断面図である。図30に示すように、画素回路40は、半導体層41a、45aを含む第1層と、ゲート電極41g、45gを含む第2層と、検出線14等を含む第3層と、走査線10、第1電源線11等を含む第4層と、第2電源線12等を含む第5層とを有している。図27は、図25に示した構成要素のうち、第1層及び第5層の構成要素を抽出して示す平面図である。図28は、図25に示した構成要素のうち、第1層及び第2層の構成要素を抽出して示す平面図である。図29は、図25に示した構成要素のうち、第1層、第3層及び第4層の構成要素を抽出して示す平面図である。

40

## 【 0 0 9 9 】

まず、図30の断面図を参照しながら画素回路40の構成について説明する。基板5上には、酸化シリコン等からなる下地絶縁膜51が形成されている。下地絶縁膜51上には半導体層41a、45aを含む第1層が形成されている。第1層の上には、酸化シリコン等からなるゲート絶縁膜52が形成され、その上にはゲート電極41g、45gを含む第2層が形成されている。

## 【 0 1 0 0 】

半導体層41aは、例えばポリシリコン膜からなり、ゲート電極41gからの電界によりチャンネルが形成されるチャンネル領域41c、第1端子としてのドレイン領域41d、第2端子としてのソース領域41sを備えている。半導体層45aも同様に、ゲート電極4

50

5 gからの電界によりチャンネルが形成されるチャンネル領域45c、第1端子としてのドレイン領域45d、第2端子としてのソース領域45sを備えている。半導体層41a、45aは、LDD構造としてもよい。ゲート電極41g、45gは、それぞれ平面視でチャンネル領域41c、45cと重なる領域に少なくとも形成されている。

#### 【0101】

図28に示すように、半導体層41a、45aは、列方向について互い違いになるように、千鳥状に配置されている。また、半導体層41a、45aは、いずれも隣接する2つの画素回路40の境界線をまたいで一繋がりに形成されたシリコン膜によって構成されており、長手方向について対称な形状となっている。すなわち、1つの半導体層41aは、ドレイン領域41d、チャンネル領域41c、ソース領域41s、チャンネル領域41c、ドレイン領域41dが一列に並んだ構成となっている。このうちソース領域41sは、隣接する2つの画素回路40において兼用され、第2電源線12と電氣的に接続される。同様に、1つの半導体層45aは、ドレイン領域45d、チャンネル領域45c、ソース領域45s、チャンネル領域45c、ドレイン領域45dが一列に並んだ構成となっている。このうちソース領域45sは、隣接する2つの画素回路40において兼用され、第1電源線11と電氣的に接続される。上記において、チャンネル領域41c、45cは、半導体層41a、45aのうちゲート電極41g、45gと重なった領域である。このような構成によれば、半導体層41a、45aと配線とのコンタクトの数を低減することができるため、製造工程における歩留りを向上させることができる。

#### 【0102】

また、半導体層41aと半導体層45aとは、互いに平行となるように配置されている。すなわち、半導体層41aは、半導体層45aの延在方向に沿って設けられている。このため、チャンネル領域41cのチャンネル長の方向は、チャンネル領域45cのチャンネル長の方向に沿った方向となっている。又は、チャンネル領域41cのチャンネル長の方向は、チャンネル領域45cのチャンネル長の方向と平行であってもよい。このような構成によれば、チャンネル領域41cとチャンネル領域45cとを最も小さな領域にまとめて配置することができるので、増幅トランジスタ45とリセットトランジスタ41とを高密度に配置することが可能となる。また、半導体層41a、45aがレーザーアニール処理を経て形成された低温ポリシリコンである場合には、チャンネル領域41c、45cのサイズでトランジスタ特性を制御することができるという利点を有する。特に半導体層41a、45aが低温ポリシリコンの場合には、増幅トランジスタ45及びリセットトランジスタ41の電流特性を揃えることができ、例えばオン電流やオフ電流を同様にすることができる。検出装置2において、ある画素回路40を動作させない場合には、増幅トランジスタ45及びリセットトランジスタ41をとともに確実にオフ状態としなければならないが、上記構成によればこの動作を行いやすい。

#### 【0103】

また、図28に示すように、チャンネル領域41c、45cのチャンネル長は、平面視での延在方向が、走査線10(図29)の延在方向(行方向)と垂直になっている。このような構成によれば、第2電源線12、検出線14等の列方向の配線と増幅トランジスタ45、リセットトランジスタ41とを重ねることができ、これらの構成要素を高密度に配置することができる。

#### 【0104】

また、増幅トランジスタ45は、ドレイン領域45d(第1端子)とソース領域45s(第2端子)とが、平面視で走査線10、第1電源線11の延在方向(行方向)と垂直な方向に沿って配置されている。同様に、リセットトランジスタ41は、ドレイン領域41d(第1端子)とソース領域41s(第2端子)とが、平面視で走査線10、第1電源線11の延在方向(行方向)と垂直な方向に沿って配置されている。このような構成によれば、行方向に延在する配線、すなわち走査線10及び第1電源線11の配置に際し、増幅トランジスタ45及びリセットトランジスタ41に重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止する

10

20

30

40

50

ことができる。また、レーザーアニール処理を経て形成された低温ポリシリコンである場合には、画素回路40の列方向に平行な線状のレーザー光によって半導体層41a, 45aを容易にアニール処理することができる。半導体層41a, 45aの電気特性は、結晶方向に対する依存性が強く、特にレーザーアニールの場合では、レーザーの照射の方向によりこの依存性が顕著である。このため、本実施形態の構成によれば、電気特性の均一性の高い半導体層41a, 45aが得られる。

#### 【0105】

また、図28に示すように、各画素回路40において、増幅トランジスタ45のチャンネル領域45cとリセットトランジスタ41のチャンネル領域41cとが列方向について互い違いになるように配置されている。同様に、増幅トランジスタ45及びリセットトランジスタ41と各種配線とのコンタクトも列方向について互い違いになるように配置されている。換言すれば、平面視で走査線10の延在方向に対して一定の角度をなす方向に沿って、増幅トランジスタ45のチャンネル領域45cと、リセットトランジスタ41のチャンネル領域41cとが配置されている。このような構成によれば、行方向の配線、すなわち走査線10及び第1電源線11をチャンネル領域41c, 45cやドレイン領域41d, 45d、ソース領域41s, 45sに接続する際に、これら行方向の配線を複雑に曲げる必要がなく、直線状に配置することができる。これにより、配線が複雑になることによる信号遅延を防止することができる。

#### 【0106】

また、ゲート電極45gは、平面視でリセットトランジスタ41のドレイン領域41dと重なる位置まで延設され、かつコンタクトホール82を介してドレイン領域41dに電氣的に接続されている。これにより、増幅トランジスタ45を、リセットトランジスタ41の出力により制御することが可能となる。半導体層41a, 45aが上述のような配置となっていることにより、ドレイン領域41dは、チャンネル領域45cから半導体層45aの短軸方向に延ばした線分上に存在することとなる。このため、ゲート電極45gは、チャンネル領域45c上を始点とし、半導体層45aの短軸方向に単に延設していくことで、容易にドレイン領域41d上まで形成することができる。また、ドレイン領域41dにおけるコンタクト部を広く確保することができる。そして、ゲート電極45gは、走査線10の延在方向に沿って直線状に配置されている。これにより、ゲート電極45g以外の配線も、走査線10に沿った方向に直線状に配置しやすくなる。これにより、配線が複雑になることによる信号遅延を防止することができる。

#### 【0107】

図30に戻り、第2層の上には、酸化シリコン等からなる層間絶縁膜53を挟んで検出線14等を含む第3層が形成されている。また、この第3層には、中継電極66, 67も形成されている。検出線14は、層間絶縁膜53及びゲート絶縁膜52を貫通して設けられたコンタクトホール83を介して増幅トランジスタ45のドレイン領域45dに電氣的に接続されている。中継電極66, 67は、それぞれ層間絶縁膜53及びゲート絶縁膜52を貫通して設けられたコンタクトホール82, 81を介してリセットトランジスタ41のドレイン領域41d、ソース領域41sに電氣的に接続されている。

#### 【0108】

上記第3層の構成要素の平面的な配置は、図29に示されている。検出線14は、図の縦方向(列方向)に平行に配置されており、第1電源線11のコンタクトホール84を避けるように一部くの字型に曲がっている。中継電極66は、リセットトランジスタ41のドレイン領域41dのうちコンタクトホール82に重なる領域に少なくとも配置されている。中継電極67は、リセットトランジスタ41のソース領域41sのうちコンタクトホール81に重なる領域に少なくとも配置されている。

#### 【0109】

図30に戻り、第3層の上には、酸化シリコン等からなる層間絶縁膜54を挟んで走査線10、第1電源線11等を含む第4層が形成されている。走査線10は、層間絶縁膜54, 53を貫通して設けられたコンタクトホール85を介してリセットトランジスタ41

10

20

30

40

50

のゲート電極 4 1 g に電氣的に接続されている。第 1 電源線 1 1 は、層間絶縁膜 5 4 , 5 3 及びゲート絶縁膜 5 2 を貫通して設けられたコンタクトホール 8 4 を介して増幅トランジスタ 4 5 のソース領域 4 5 s に電氣的に接続されている。

【 0 1 1 0 】

上記第 4 層の構成要素の平面的な配置は、図 2 9 に示されている。走査線 1 0 は、図の横方向（行方向）に沿って延設され、平面視でリセットトランジスタ 4 1 のゲート電極 4 1 g の少なくとも一部に重なるように配置されている。また、上記したように、走査線 1 0 とリセットトランジスタ 4 1 のゲート電極 4 1 g とは、ゲート電極 4 1 g 上において基板 5 の法線方向に形成されたコンタクトホール 8 5 を介して電氣的に接続されている。このように、走査線 1 0 は、第 2 層、第 3 層とは異なる層において 2 つのトランジスタの上方を通るように配置され、かつ基板 5 の法線方向でゲート電極 4 1 g と接続されているため、走査線 1 0 の配線のための領域を別途設ける必要がなく、走査線 1 0 とリセットトランジスタ 4 1 との接続配線のための領域が不要となる。このため、増幅トランジスタ 4 5 及びリセットトランジスタ 4 1 を高密度に配置することができる。

10

【 0 1 1 1 】

第 1 電源線 1 1 は、図の横方向（行方向）に沿って延設され、平面視で増幅トランジスタ 4 5 のソース領域 4 5 s の少なくとも一部に重なるように配置されている。ここで、第 1 電源線 1 1 は、画素回路 4 0 の行のうち、隣接する 2 つの行に挟まれた位置に形成されるとともに、隣接する 2 つの行について 1 つ形成される。そして、各第 1 電源線は、隣接する 2 つの画素回路 4 0 の行に電源を供給する。すなわち、第 1 電源線 1 1 は、隣接する画素回路 4 0 の行で共用化されている。さらに、第 1 電源線 1 1 を挟んで隣接する 2 つの画素回路 4 0 の構成要素は、第 1 電源線 1 1 の延在方向に対して線対称に構成されている。このような構成によれば、第 1 電源線 1 1 の数を最小限にすることにより、画素回路 4 0 の配置密度を向上させることができる。すなわち、画素回路 4 0 の隣接する行の間に第 1 電源線 1 1 を 2 本形成する構成と比較すると、第 1 電源線 1 1 の配置領域、及び 2 つの第 1 電源線の間スペースを設ける必要がないため、画素回路 4 0 の配置ピッチを小さくすることができる。また、画素回路 4 0 の構成要素が線対称に配置されることにより、画素回路 4 0 の特性ばらつきを低減することができる。

20

【 0 1 1 2 】

図 3 0 に戻り、第 4 層の上には、酸化シリコン等からなる層間絶縁膜 5 5 を挟んで第 2 電源線 1 2、中継電極 6 3 , 6 4 を含む第 5 層が形成されている。第 2 電源線 1 2 は、層間絶縁膜 5 5 , 5 4 を貫通して設けられたコンタクトホール 8 6 を介して中継電極 6 7 に電氣的に接続されている。ここで、中継電極 6 7 はリセットトランジスタ 4 1 のソース領域 4 1 s に接続されているので、第 2 電源線 1 2 は当該ソース領域 4 1 s に電氣的に接続されている。中継電極 6 3 は、層間絶縁膜 5 5 , 5 4 を貫通して設けられたコンタクトホール 8 7 を介して中継電極 6 6 に電氣的に接続されている。中継電極 6 4 は、層間絶縁膜 5 5 を貫通して設けられたコンタクトホール 8 8 を介して第 1 電源線 1 1、ひいては増幅トランジスタ 4 5 のソース領域 4 5 s に電氣的に接続されている。

30

【 0 1 1 3 】

中継電極 6 4 と第 1 電源線 1 1 との接続部、すなわちコンタクトホール 8 8 の形成位置は、平面視で検出線 1 4 と一部が重なっている。このように、本実施形態の構成によれば、検出線 1 4 の上層の領域を有効に利用することができる。これにより、画素回路 4 0 を高密度に形成することができる。

40

【 0 1 1 4 】

上記第 5 層の構成要素の平面的な配置は、図 2 7 に示されている。第 2 電源線 1 2 は、図の縦方向（列方向）に沿って延在しており、リセットトランジスタ 4 1 のソース領域 4 1 s に接続するための枝部を有している。上記したように、リセットトランジスタ 4 1 のソース領域 4 1 s は、隣接する 2 つの画素回路 4 0 において兼用されているため、ソース領域 4 1 s への 1 つのコンタクトにより 2 つのリセットトランジスタ 4 1 に対して電源を供給することができる。

50

## 【 0 1 1 5 】

ここで、図 2 5 に示すように、第 2 電源線 1 2 と検出線 1 4 とは、ともに列方向に沿って延在する配線であり、また第 2 電源線 1 2 は第 5 層、検出線 1 4 は第 3 層と、互いに異なる層に形成されている。このため、第 2 電源線 1 2 と検出線 1 4 とは、平面視で少なくとも一部が重なるように配置することができる。本実施形態では、第 2 電源線 1 2 と検出線 1 4 とは、一部が重なっている。このような構成によれば、2 つの配線を重ねることができるため、画素回路 4 0 の行方向の配置ピッチを小さくすることができ、画素回路 4 0 を高密度に形成することが可能となる。

## 【 0 1 1 6 】

図 3 0 に戻り、第 5 層の上には、アクリル樹脂等からなる平坦化膜 5 6 が形成され、平坦化膜 5 6 上には、第 1 容量素子 4 3、検出素子としてのフォトダイオード 4 7 がこの順に積層されている。第 1 容量素子 4 3 及びフォトダイオード 4 7 は、画素回路 4 0 ごとに形成されている。

## 【 0 1 1 7 】

第 1 容量素子 4 3 は、下層側から、A 1 - N d 等からなる第 2 電極 4 3 b、窒化シリコン等からなる絶縁膜 4 3 d、A 1 - N d 等からなる第 1 電極 4 3 a が順に積層された構成を有している。第 2 電極 4 3 b は、平坦化膜 5 6 に形成されたコンタクトホール 7 9 b を介して中継電極 6 4 に電氣的に接続されている。したがって、第 2 電極 4 3 b は、中継電極 6 4、第 1 電源線 1 1 を介して増幅トランジスタ 4 5 のソース領域 4 5 s に電氣的に接続されている。コンタクトホール 7 9 b は、平面視で第 2 電極 4 3 b に重なる領域内に形成されている。また、第 1 電極 4 3 a は、平坦化膜 5 6 に形成されたコンタクトホール 7 9 a を介して中継電極 6 3 に電氣的に接続されている。したがって、第 1 電極 4 3 a は、中継電極 6 3、6 6 を介してリセットトランジスタ 4 1 のドレイン領域 4 1 d 及び増幅トランジスタ 4 5 のゲート電極 4 5 g に電氣的に接続されている。コンタクトホール 7 9 a は、平面視で第 1 電極 4 3 a に重なる領域内に形成されている。このように、基板 5 の法線方向に設けられたコンタクトホール 7 9 a、7 9 b により電氣的接続を行う構成によれば、接続を確実に行うことができるとともに、同一層に設けられる配線のライン/スペースを広くすることができる。また、第 1 電極 4 3 a は、平面視で半導体層 4 1 a と一部が重なっており、第 2 電極 4 3 b は、平面視で半導体層 4 5 a と一部が重なっている。このような特徴によっても、同一層に設けられる配線のライン/スペースを広くすることができるという効果が得られる。

## 【 0 1 1 8 】

さらに、第 1 電極 4 3 a とリセットトランジスタ 4 1 のドレイン領域 4 1 d との接続、及び増幅トランジスタ 4 5 のゲート電極 4 5 g とリセットトランジスタ 4 1 のドレイン領域 4 1 d との接続は、同一のコンタクトホール 8 2 を介して行われている（共通コンタクト構造）。このような構成によれば、平面視でコンタクトに用いる領域を低減することができ、画素回路 4 0 を高密度に配置することができる。

## 【 0 1 1 9 】

第 2 電極 4 3 b は、画素回路 4 0 のうち、リセットトランジスタ 4 1 のドレイン領域 4 1 d 及びその近傍を除いた領域に形成され、第 1 電極 4 3 a は、画素回路 4 0 の略全面にわたって形成されている。このため、増幅トランジスタ 4 5 のチャネル領域 4 5 c 及びリセットトランジスタ 4 1 のチャネル領域 4 1 c は、平面視で第 1 電極 4 3 a 及び第 2 電極 4 3 b の少なくとも一方によって覆われている。このような構成によれば、1 つ又は 2 つの遮光層（第 1 電極 4 3 a、第 2 電極 4 3 b）によりチャネル領域 4 5 c、4 1 c を遮光することができるため、増幅トランジスタ 4 5 及びリセットトランジスタ 4 1 のオフ電流を低減することができる。これにより、検出信号 X n の S / N 比を向上させることができる。

## 【 0 1 2 0 】

第 1 容量素子 4 3 の第 1 電極 4 3 a は、フォトダイオード 4 7 の陰極を兼ねている。フォトダイオード 4 7 は、下層側から、陰極としての第 1 電極 4 3 a、アモルファスシリコ

10

20

30

40

50

ンからなるn層47n、i層47i、p層47p、ITOからなる透明な陽極48がこの順に積層された構成を有している。フォトダイオード47の周囲には、窒化シリコン等からなる絶縁層57が形成されている。このように、第1容量素子43の第1電極43aをフォトダイオード47の陰極に兼用し、第1容量素子43に重ねてフォトダイオード47を形成する構成によれば、第1容量素子43、フォトダイオード47の占有面積をそれぞれ広くすることができる。

#### 【0121】

##### (変形例2-1)

本実施形態の検出装置2は、検出素子としてフォトダイオード47を用いているが、この他にも種々の検出素子を用いることができる。図31は、検出素子として第2容量素子44を用いた検出装置2の断面図であり、断面の位置は、図25におけるD-D線の位置に対応する。第2容量素子44は、第1容量素子43に重ねて形成されており、下層から第1電極43a、絶縁層44d、第2電極44bが積層された構成を有している。ここで、第1電極43aは、第1容量素子43と共通の電極である。第2容量素子44の上には、ガラス又は透明な樹脂等からなる基板6が配置されている。外的要因によって基板6が変形すると、絶縁層44dの厚さが変化し、これにともなって第2容量素子44の容量が変化する。この結果、第2容量素子44に蓄積される電荷の量が変動し、増幅トランジスタ45のゲート電位が変化する。このように、第2容量素子44は、外的要因によって増幅トランジスタ45のゲート電位を変化させる。したがって、検出素子として第2容量素子44を用いた検出装置2によっても、外的要因を検出することができる。

#### 【0122】

##### (変形例2-2)

本実施形態の検出装置2は、各画素回路40に2つの電源線(第1電源線11、第2電源線12)を有しているが、これらの電源線を電氣的に接続させて共用化し、各画素回路40に単一の電源線12を有する構成とすることもできる。こうした構成の画素回路40を有する検出装置2の回路図は、上述の変形例1-2と同様であり、図22に示されている。こうした構成によっても、上記実施形態と同様の検出動作を行うことができる。

#### 【0123】

図32は、本変形例に係る検出装置2の、複数の画素回路40を含む領域における平面図である。また、図33は、図32の構成要素のうち第1層(半導体層41a、45aが形成された層)、第5層(電源線12が形成された層)の配置を示す平面図である。これらの図に示すように、電源線12は、図の縦方向(列方向)に沿って配置されているとともに、列方向に交差する方向に延在する枝部においてコンタクトホール81、84、86、88と電氣的に接続されている。より詳しくは、電源線12は、コンタクトホール81、86を介してソース領域41sと電氣的に接続されており、またコンタクトホール89を介してソース領域45sと電氣的に接続されている。さらに、電源線12は、コンタクトホール79bの位置で第1容量素子43の第2電極43bと電氣的に接続されている。

#### 【0124】

本変形例の検出装置2は、第1電源線11を持たない。したがって、第2の実施形態に含まれている、第1電源線11及び走査線10を含む第4層(図29)において第1電源線11を省略することができる。

#### 【0125】

本変形例の構成によれば、各画素回路(単位回路)40は単一の電源線12を有しているため、複数の電源線を有する構成と比較して検出装置2の回路構成を簡略化することができる。また、電源線12を異なる層に複数形成する必要がないため、画素回路40の層構造を簡略化することができる。さらに、電源線12の配置面積を低減させることができ、画素回路40をより高密度に構成することができる。

#### 【0126】

##### (変形例2-3)

本実施形態又は上記変形例に係る検出装置2は、以下に列挙する特徴を含むものである

10

20

30

40

50

が、これらの特徴のすべてを包含している必要はなく、このうちの一部の特徴のみを含む検出装置であってもよい。以下の特徴のうち任意の1つ又は2つ以上の特徴を有する検出装置によれば、その特徴に対応する効果が得られる。

**【0127】**

半導体層41a, 45aは、いずれも隣接する2つの画素回路40にわたって一繋がりに形成されたシリコン膜によって構成される。このうち半導体層41aのソース領域41sは、隣接する2つの画素回路40において兼用され、第2電源線12と電気的に接続される。また、半導体層45aのソース領域45sは、隣接する2つの画素回路40において兼用され、第1電源線11と電気的に接続される。このような構成によれば、半導体層41a, 45aと配線とのコンタクトの数を低減することができるため、製造工程における歩留りを向上させることができる。

10

**【0128】**

リセットトランジスタ41のチャネル長の方向が、増幅トランジスタ45のチャネル長の方向に沿っている構成。このような構成によれば、増幅トランジスタ45とリセットトランジスタ41とを高密度に配置することが可能となる。また、増幅トランジスタ45及びリセットトランジスタ41の電流特性を揃えることができ、例えばオン電流やオフ電流を同様にすることができる。

**【0129】**

平面視でのチャネル領域41c, 45cのチャネル長の延在方向が、走査線10の延在方向と垂直になっている構成。このような構成によれば、第2電源線12、検出線14等の列方向の配線と増幅トランジスタ45、リセットトランジスタ41とを重ねることができ、これらの構成要素を高密度に配置することができる。

20

**【0130】**

平面視で走査線10、第1電源線11の延在方向に垂直な方向に沿って、増幅トランジスタ45のドレイン領域45d(第1端子)とソース領域45s(第2端子)とが配置され、またリセットトランジスタ41のドレイン領域41d(第1端子)とソース領域41s(第2端子)とが配置されている構成。このような構成によれば、画素回路40の列方向に平行な線状のレーザー光によって半導体層41a, 45aを容易にアニール処理することができる。また、行方向に延在する配線の配置に際し、増幅トランジスタ45及びリセットトランジスタ41に重なる領域を最小限に抑えながら直線状に配置することができる。このため、配線が複雑になることによる信号遅延を防止することができる。

30

**【0131】**

各画素回路40において、増幅トランジスタ45のチャネル領域45cとリセットトランジスタ41のチャネル領域41cとが列方向について互い違いになるように配置されている構成。又は、増幅トランジスタ45及びリセットトランジスタ41と各種配線とのコンタクトが列方向について互い違いになるように配置されている構成。又は、平面視で走査線10の延在方向に対して一定の角度をなす方向に沿って、増幅トランジスタ45のチャネル領域45cと、リセットトランジスタ41のチャネル領域41cとが配置されている構成。このような構成によれば、行方向の配線、すなわち走査線10及び第1電源線11をチャネル領域41c, 45cやドレイン領域41d, 45d、ソース領域41s, 45sに接続する際に、これら行方向の配線を複雑に曲げる必要がなく、直線状に配置することができる。これにより、配線が複雑になることによる信号遅延を防止することができる。

40

**【0132】**

第1電極43aとリセットトランジスタ41のドレイン領域41dとの接続、及び増幅トランジスタ45のゲート電極45gとリセットトランジスタ41のドレイン領域41dとの接続を、同一のコンタクトホール82を介して行う構成(共通コンタクト構造)。このような構成によれば、平面視でコンタクトに用いる領域を低減ことができ、画素回路40を高密度に配置することができる。

**【0133】**

50

走査線 10 が、平面視でリセットトランジスタ 41 のゲート電極 41g の少なくとも一部に重なっている構成。走査線 10 とリセットトランジスタ 41 のゲート電極 41g とが、ゲート電極 41g 上において基板 5 の法線方向に形成されたコンタクトホール 85 を介して電氣的に接続されている。このような構成によれば、走査線 10 は、第 2 層、第 3 層とは異なる層において 2 つのトランジスタの上方を通るように配置され、かつ基板 5 の法線方向でゲート電極 41g と接続されるため、走査線 10 の配線のための領域を別途設ける必要がなく、走査線 10 とリセットトランジスタ 41 との接続配線のための領域が不要となる。このため、増幅トランジスタ 45 及びリセットトランジスタ 41 を高密度に配置することができる。

【0134】

第 1 電源線 11 が、画素回路 40 の行のうち、隣接する 2 つの行に挟まれた位置に形成されるとともに、隣接する 2 つの行について 1 つ形成され、隣接する 2 つの画素回路 40 の行に電源を供給する構成。このような構成によれば、第 1 電源線 11 の数を最小限にすることにより、画素回路 40 の配置密度を向上させることができる。すなわち、画素回路 40 の隣接する行の間に第 1 電源線 11 を 2 本形成する構成と比較すると、第 1 電源線 11 の配置領域、及び 2 つの第 1 電源線の間スペースを設ける必要がないため、画素回路 40 の配置ピッチを小さくすることができる。

【0135】

又は、第 1 電源線 11 を挟んで隣接する 2 つの画素回路 40 の構成要素が、第 1 電源線 11 の延在方向に対して線対称に構成されている構成。このような構成によれば、画素回路 40 の特性ばらつきを低減することができる。

【0136】

第 2 電源線 12 と検出線 14 とが、ともに列方向に沿って延在し、互いに異なる層に形成されている構成。又は、第 2 電源線 12 と検出線 14 とが、平面視で少なくとも一部が重なるように配置されている構成。このような構成によれば、2 つの配線を重ねることができるため、画素回路 40 の行方向の配置ピッチを小さくすることができ、画素回路 40 を高密度に形成することが可能となる。

【0137】

第 1 容量素子 43 の第 1 電極 43a、第 2 電極 43b が、基板 5 の法線方向に設けられたコンタクトホール 79a、79b により中継電極等と電氣的接続を行う構成。このような構成によれば、接続を確実に行うことができるとともに、同一層に設けられる配線のライン/スペースを広くすることができる。

【0138】

増幅トランジスタ 45 のチャンネル領域 45c 及びリセットトランジスタ 41 のチャンネル領域 41c が、平面視で第 1 容量素子 43 の第 1 電極 43a 及び第 2 電極 43b の少なくとも一方によって覆われている構成。このような構成によれば、1 つ又は 2 つの遮光層 (第 1 電極 43a、第 2 電極 43b) によりチャンネル領域 45c、41c を遮光することができるため、増幅トランジスタ 45 及びリセットトランジスタ 41 のオフ電流を低減することができる。これにより、検出信号 Xn の S/N 比を向上させることができる。

【0139】

第 1 容量素子 43 の第 1 電極 43a が、フォトダイオード 47 の陰極を兼ねている構成。このような構成によれば、第 1 容量素子 43、フォトダイオード 47 の占有面積をそれぞれ広くすることができる。

【0140】

検出素子として、フォトダイオード 47 に代えて第 2 容量素子 44 を用いた構成。このような構成によっても、外的要因を検出することができる。

【0141】

各画素回路 40 に単一の電源線 12 を有する構成。このような構成によれば、検出装置の回路構成を簡略化することができる。また、単位回路の層構造を簡略化すること、及び単位回路を高密度化することが可能となる。

10

20

30

40

50

## 【 0 1 4 2 】

## &lt; 電子機器 &gt;

上述した検出装置 1 ( 検出装置 2 を含む。以下同様。 ) は、例えば、図 3 4 に示すような電子機器としての携帯電話機 5 0 0 に搭載して用いることができる。携帯電話機 5 0 0 は、表示部 5 1 0 及び操作ボタン 5 2 0 を有している。表示部 5 1 0 は、操作ボタン 5 2 0 で入力した内容や着信情報を始めとする様々な情報について表示を行うことができる。また、表示部 5 1 0 には、内部に検出装置 1 が組み込まれている。検出装置 1 にタッチペンや指等を近付けると、検出装置 1 によって入射光量の変化が検出され、その位置情報が電子機器に入力される。このように、携帯電話機 5 0 0 は、検出装置 1 を用いたユーザーインターフェースを有している。

10

## 【 0 1 4 3 】

なお、検出装置 1 は、上記携帯電話機 5 0 0 の他、モバイルコンピュータ、デジタルカメラ、デジタルビデオカメラ、車載機器、オーディオ機器などの各種電子機器に用いることができる。また、検出装置 1 は、スキャナーや撮像装置などの画像読取装置に適用することができる。

## 【 図面の簡単な説明 】

## 【 0 1 4 4 】

【 図 1 】 検出装置の構成を示すブロック図。

【 図 2 】 画素回路の構成を示す回路図。

【 図 3 】 第 1 X ドライバの構成を示すブロック図。

20

【 図 4 】 第 2 X ドライバの構成を示すブロック図。

【 図 5 】 検出装置の各部の信号波形を示すタイミングチャート。

【 図 6 】 リセット期間における信号の流れを示す説明図。

【 図 7 】 初期化期間における信号の流れを示す説明図。

【 図 8 】 検出期間における信号の流れを示す説明図。

【 図 9 】 画素回路のバイアスを示す説明図。

【 図 1 0 】 検出線の電位の時間変化を示すグラフ。

【 図 1 1 】 検出装置の、複数の画素回路を含む領域における平面図。

【 図 1 2 】 画素回路の拡大平面図。

【 図 1 3 】 図 1 1 の構成要素のうち第 1 層、第 3 層の配置を示す平面図。

30

【 図 1 4 】 図 1 1 の構成要素のうち第 1 層、第 2 層、第 4 層の配置を示す平面図。

【 図 1 5 】 図 1 1 の構成要素のうち第 1 層、第 5 層の配置を示す平面図。

【 図 1 6 】 第 1 容量素子及びフォトダイオードの配置を示す平面図。

【 図 1 7 】 図 1 1 から第 1 電源線、半導体層等を抜き出して示す平面図。

【 図 1 8 】 第 1 電源線の配置の変形例を示す平面図。

【 図 1 9 】 図 1 1 中の B - B 線に沿った検出装置の断面図。

【 図 2 0 】 図 1 1 中の C - C 線に沿った検出装置の断面図。

【 図 2 1 】 検出素子として第 2 容量素子を用いた検出装置の断面図。

【 図 2 2 】 変形例 1 - 2 に係る検出装置の回路図。

【 図 2 3 】 変形例 1 - 2 に係る検出装置の、複数の画素回路を含む領域における平面図。

40

【 図 2 4 】 図 2 3 の構成要素のうち第 1 層、第 3 層の配置を示す平面図。

【 図 2 5 】 検出装置の、複数の画素回路を含む領域における平面図。

【 図 2 6 】 画素回路の拡大平面図。

【 図 2 7 】 図 2 5 の構成要素のうち第 1 層、第 5 層の配置を示す平面図。

【 図 2 8 】 図 2 5 の構成要素のうち第 1 層、第 2 層の配置を示す平面図。

【 図 2 9 】 図 2 5 の構成要素のうち第 1 層、第 3 層、第 4 層の配置を示す平面図。

【 図 3 0 】 図 2 5 中の D - D 線に沿った検出装置の断面図。

【 図 3 1 】 検出素子として第 2 容量素子を用いた検出装置の断面図。

【 図 3 2 】 変形例 2 - 2 に係る検出装置の、複数の画素回路を含む領域における平面図。

【 図 3 3 】 図 3 2 の構成要素のうち第 1 層、第 5 層の配置を示す平面図。

50

【図34】電子機器としての携帯電話機の斜視図。

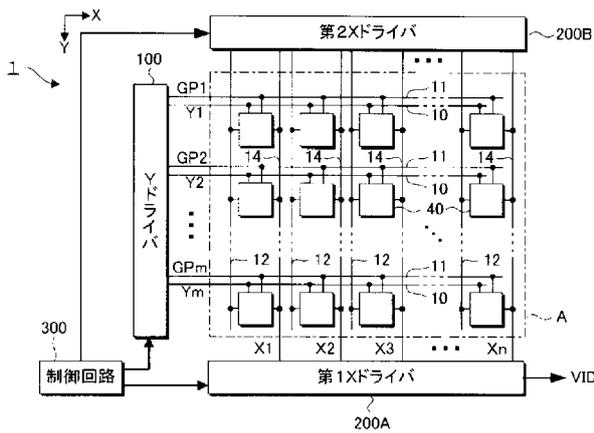
【符号の説明】

【0145】

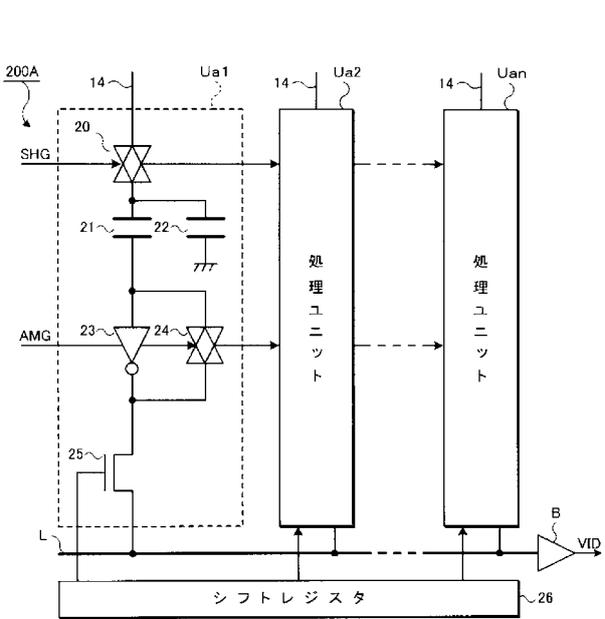
1, 2...検出装置、5, 6...基板、10...走査線、11, 11a, 11b...第1電源線、12...第2電源線、14...検出線、40...単位回路としての画素回路、41...第2トランジスタとしてのリセットトランジスタ、41a, 45a...半導体層、41c, 45c...チャンネル領域、41d, 45d...ドレイン領域、41g, 45g...ゲート電極、41s, 45s...ソース領域、43...第1容量素子、43a...第1電極、43b...第2電極、43d...絶縁膜、44...第2容量素子、44b...第2電極、44d...絶縁層、45...第1トランジスタとしての増幅トランジスタ、47...検出素子としてのフォトダイオード、48...陽極、51...下地絶縁膜、52...ゲート絶縁膜、53, 54, 55...層間絶縁膜、56...平坦化膜、57...絶縁層、61~67...中継電極、71~78, 79a, 79b, 81~89...コンタクトホール、500...電子機器としての携帯電話機。

10

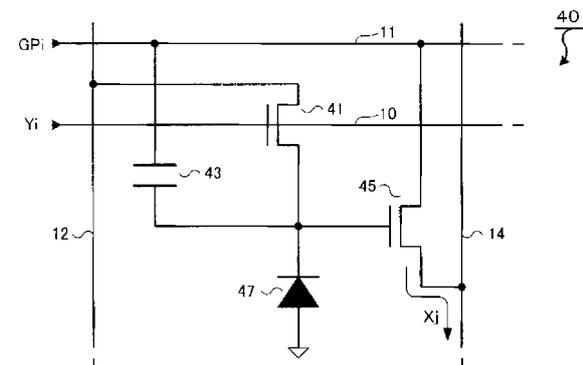
【図1】



【図3】

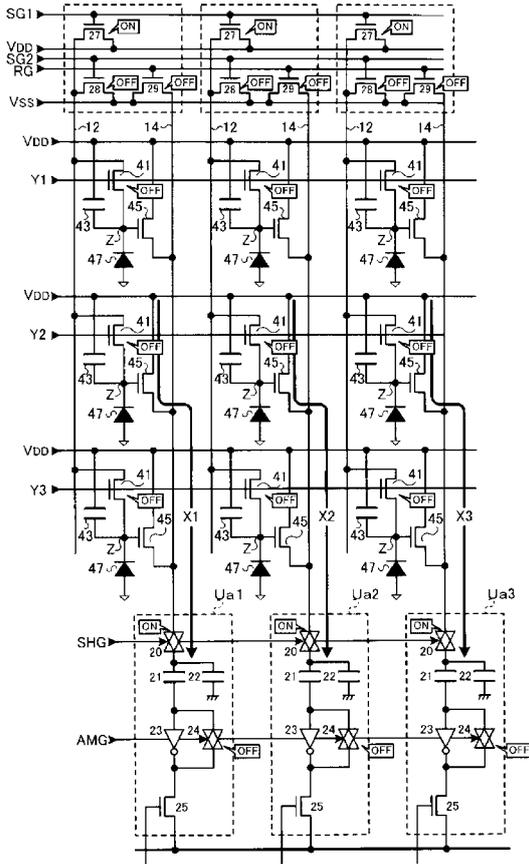


【図2】

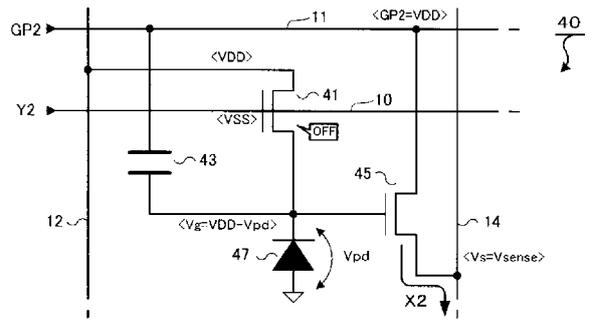




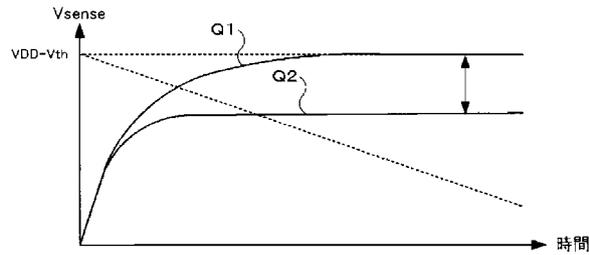
【図8】



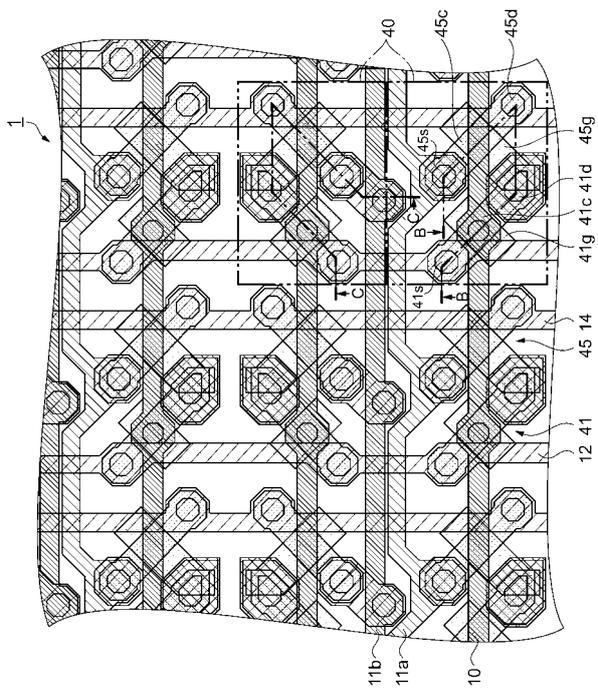
【図9】



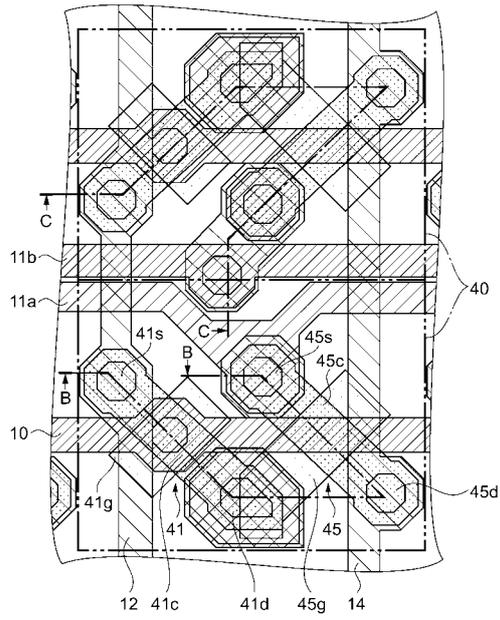
【図10】



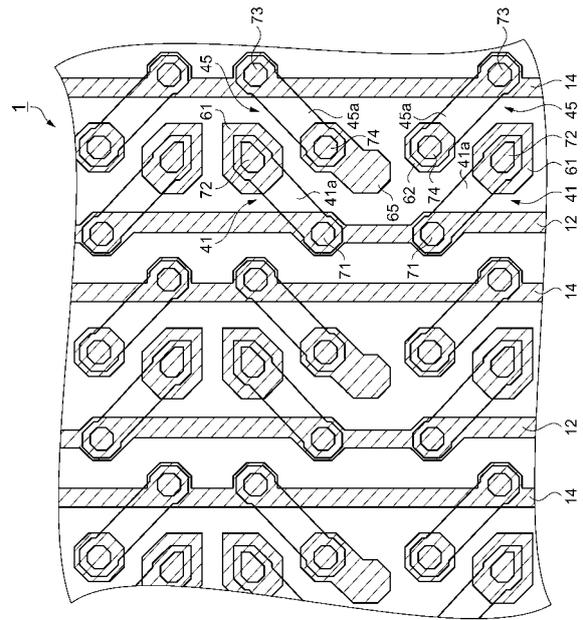
【図11】



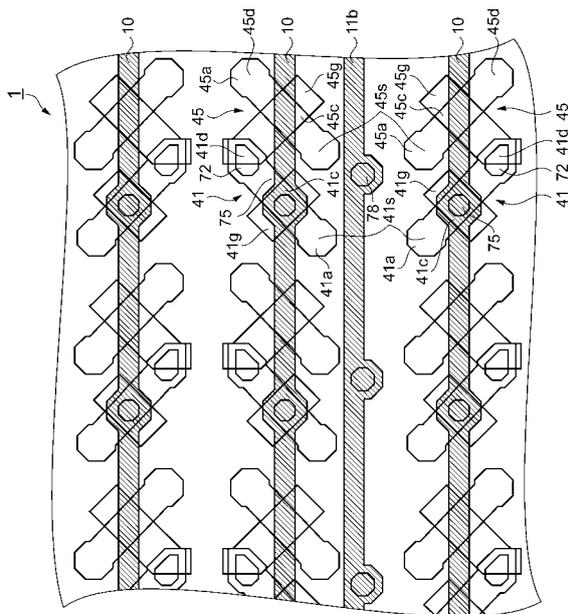
【 図 1 2 】



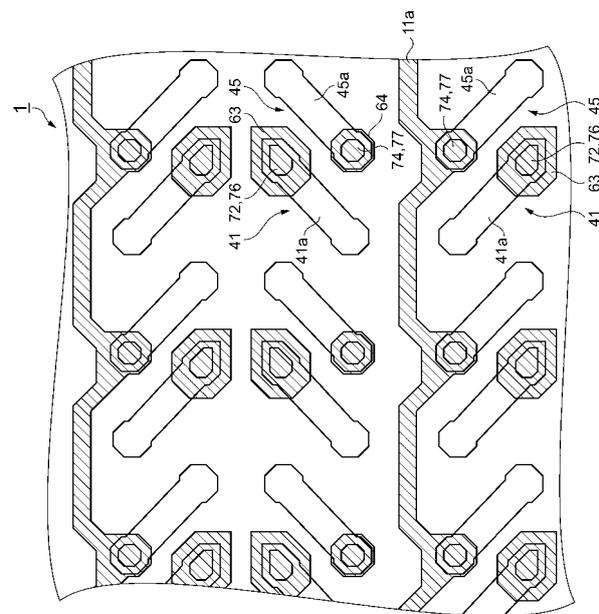
【 図 1 3 】



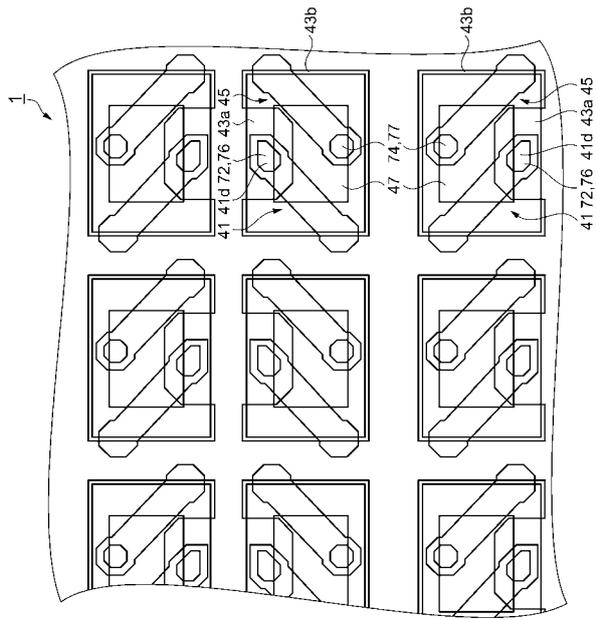
【 図 1 4 】



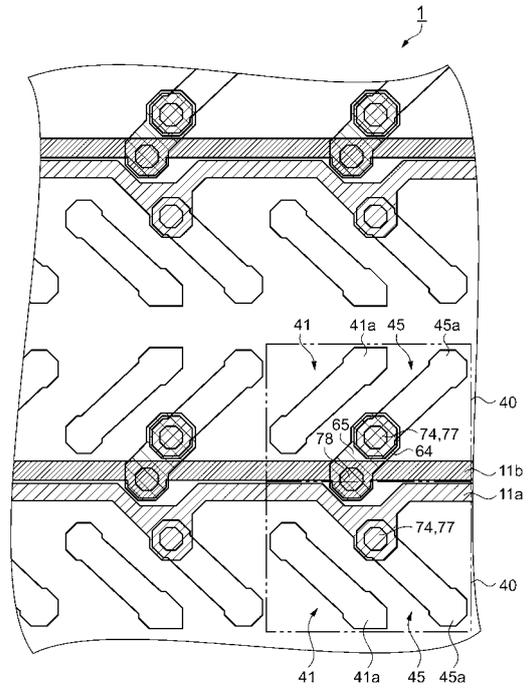
【 図 1 5 】



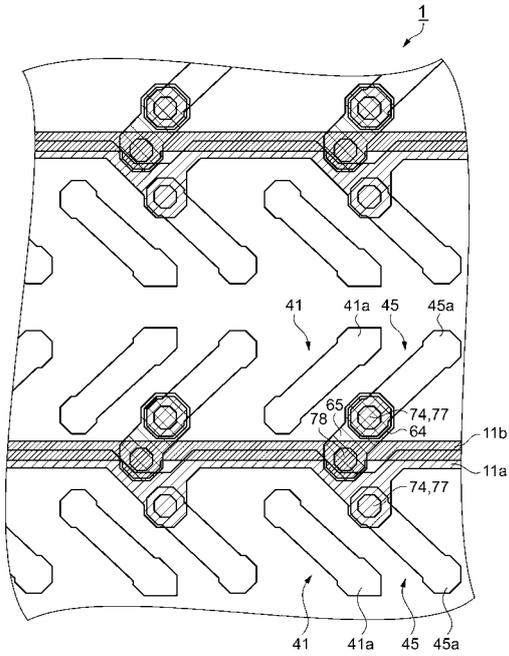
【図16】



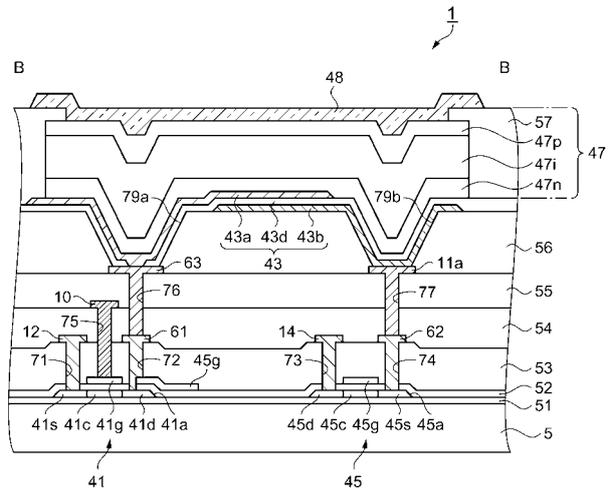
【図17】



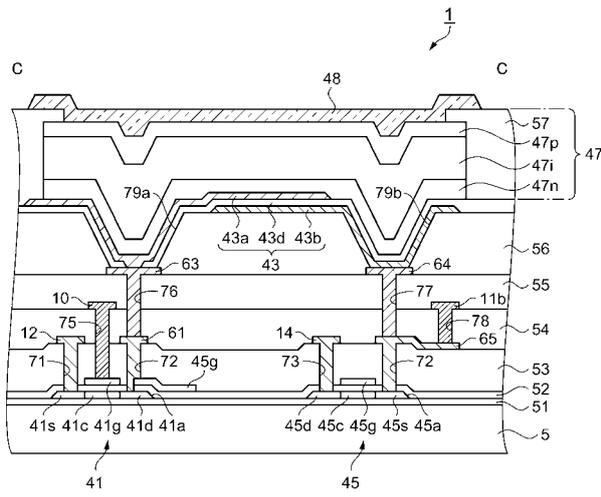
【図18】



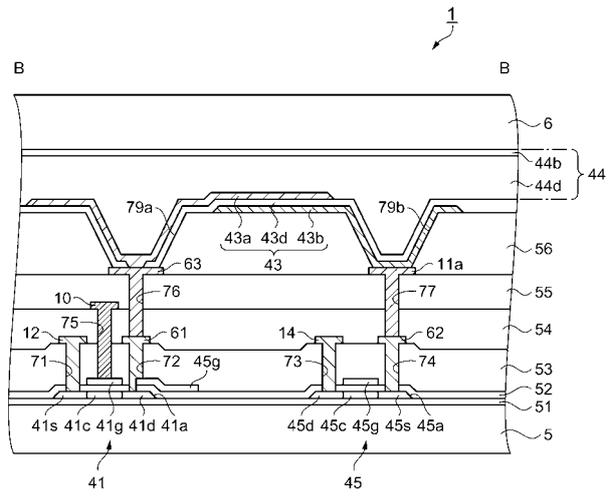
【図19】



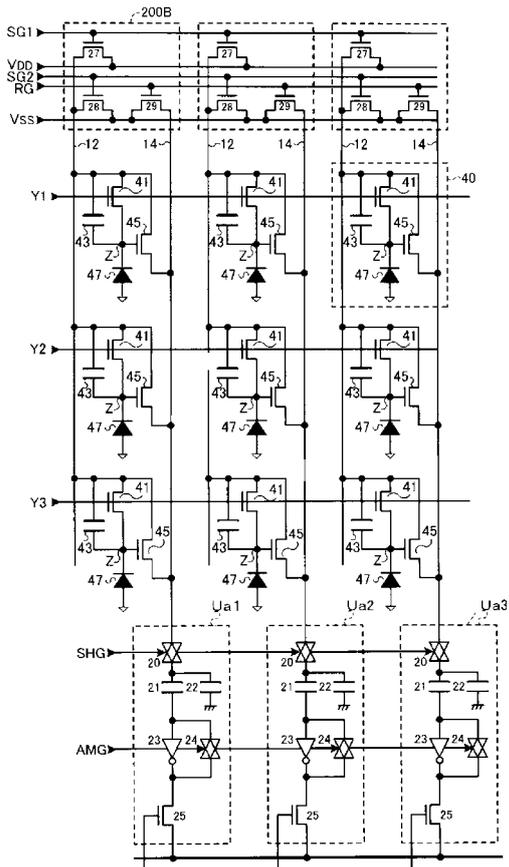
【図20】



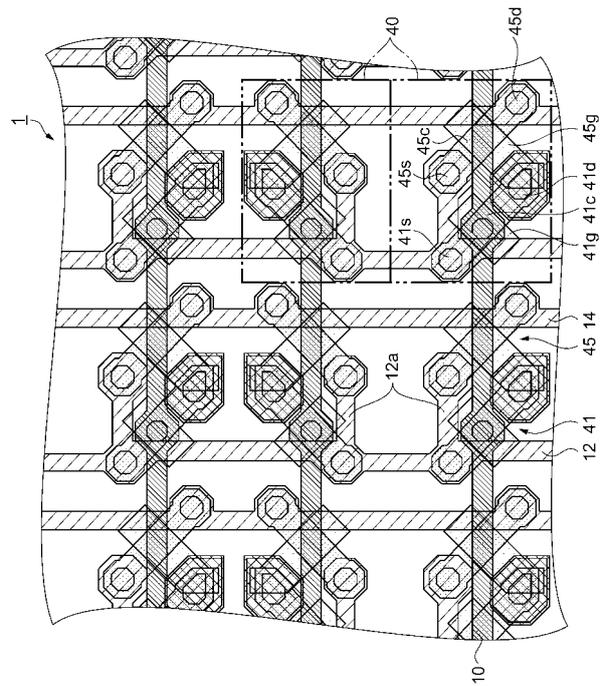
【図21】



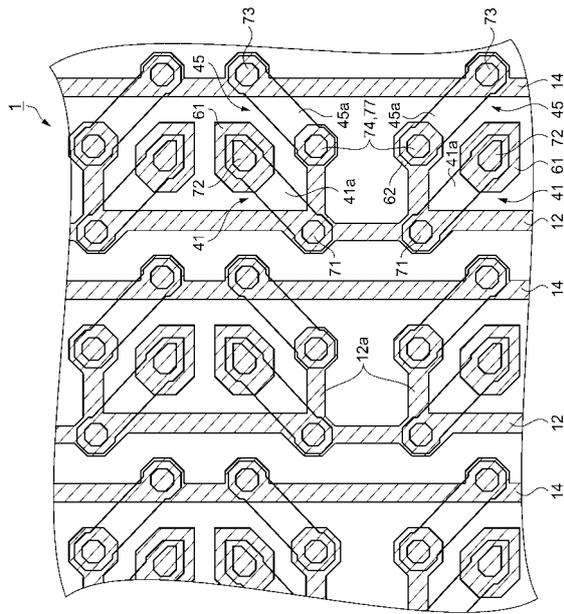
【図22】



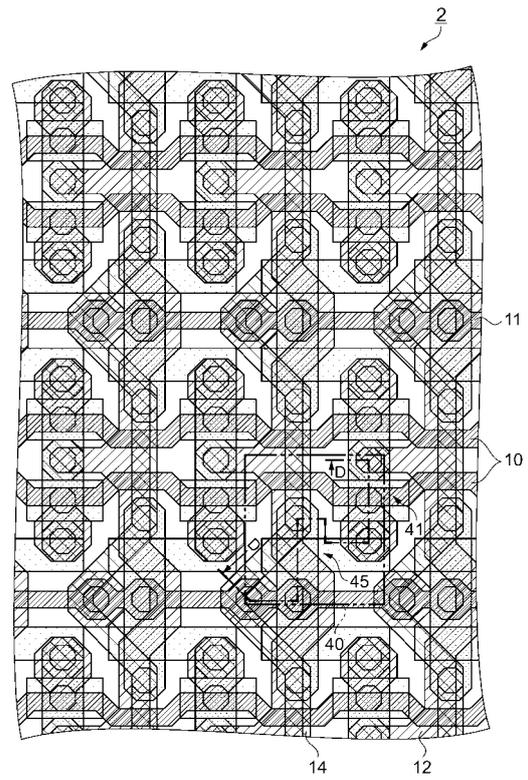
【図23】



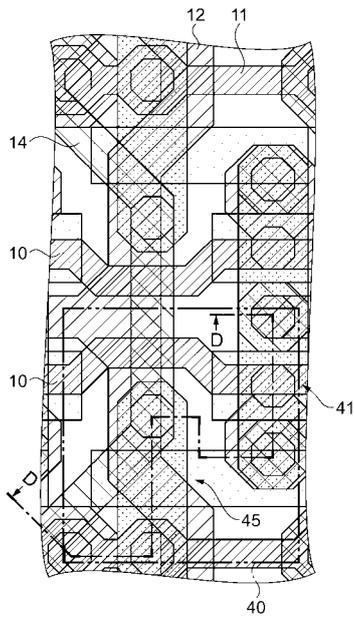
【図 24】



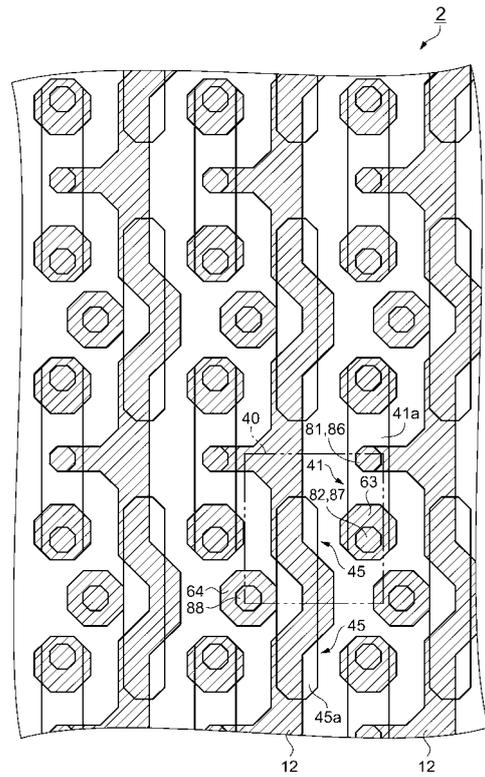
【図 25】



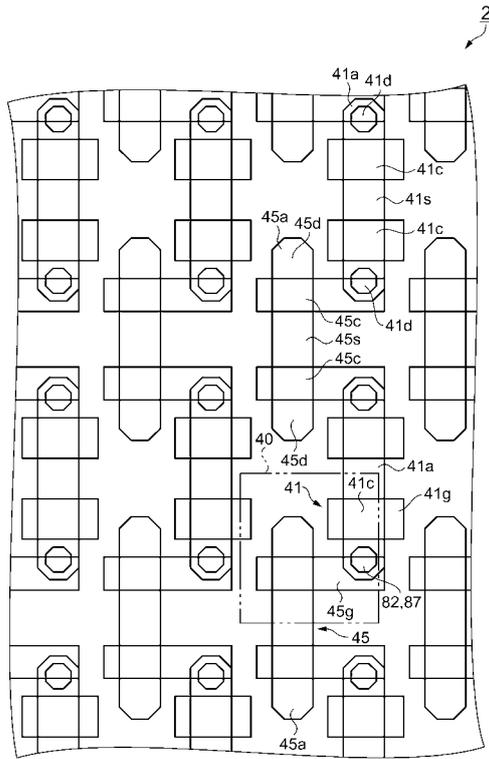
【図 26】



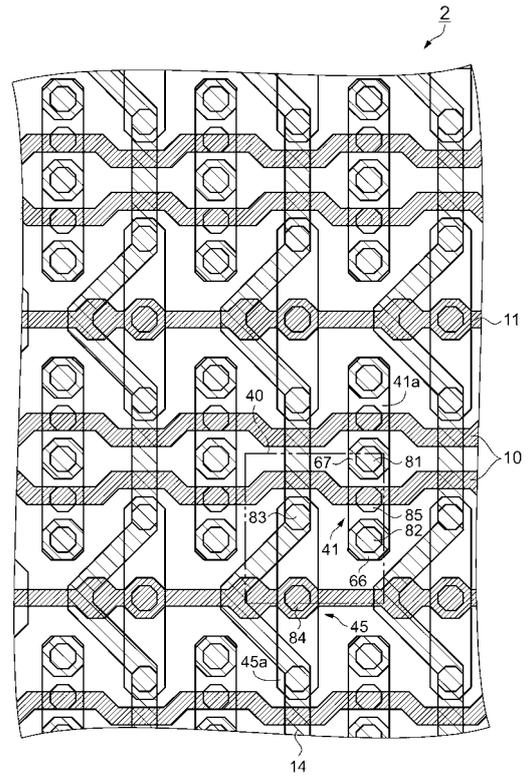
【図 27】



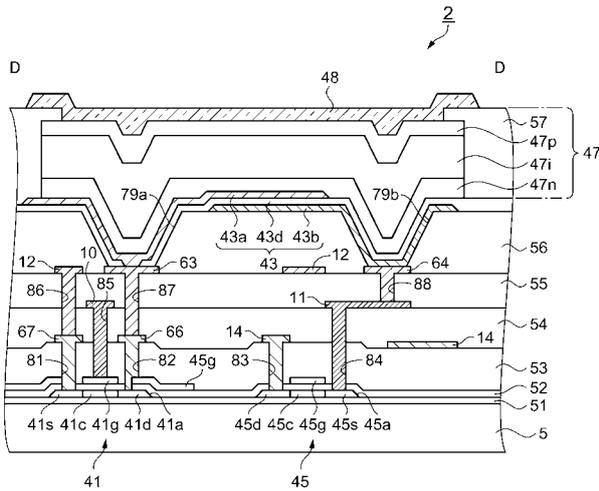
【図28】



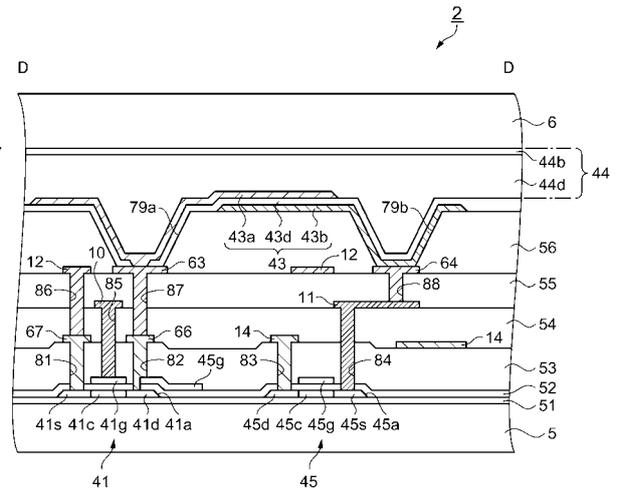
【図29】



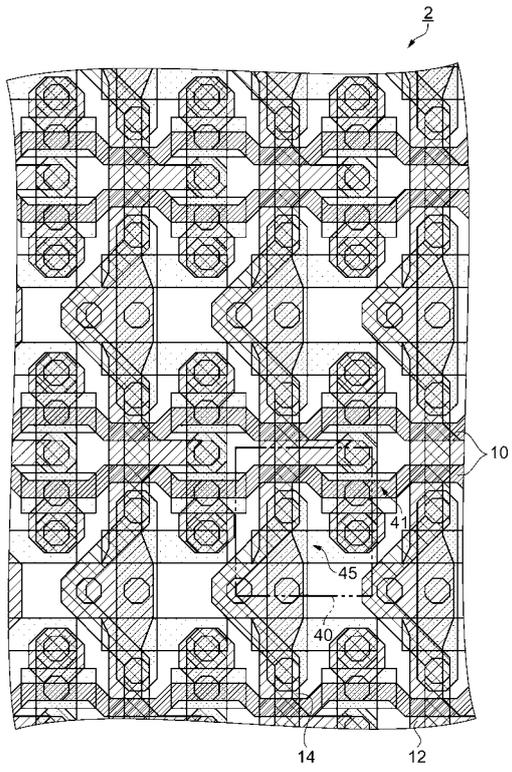
【図30】



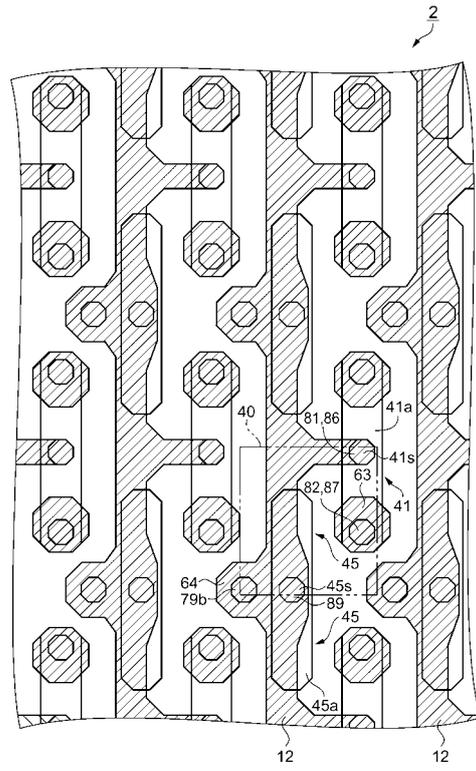
【図31】



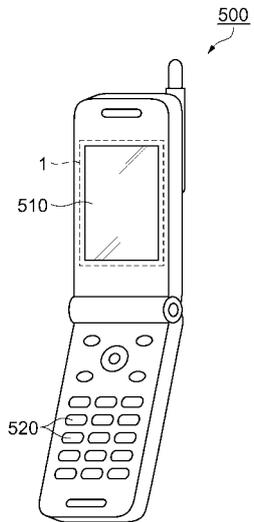
【図 3 2】



【図 3 3】



【図 3 4】



---

フロントページの続き

審査官 柴山 将隆

- (56)参考文献 特開2004-265933(JP,A)  
特開平11-307756(JP,A)  
特開2003-110940(JP,A)  
特開2001-223350(JP,A)  
特開平11-307753(JP,A)  
特開2005-150146(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/374