



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월04일  
(11) 등록번호 10-1018693  
(24) 등록일자 2011년02월23일

(51) Int. Cl.

G11C 5/14 (2006.01) G11C 7/10 (2006.01)

(21) 출원번호 10-2009-0053799  
(22) 출원일자 2009년06월17일  
심사청구일자 2009년06월17일  
(65) 공개번호 10-2010-0033335  
(43) 공개일자 2010년03월29일  
(30) 우선권주장 1020080092238 2008년09월19일 대한민국(KR)  
(56) 선행기술조사문헌 KR1020060135367 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
강길욱  
경기도 이천시 부발읍 신하리 신한아파트 101-603  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 5 항

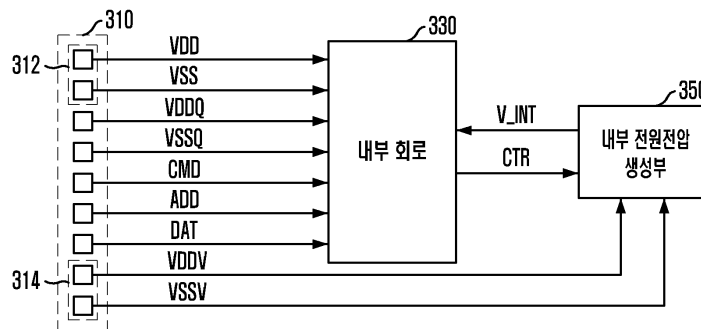
심사관 : 윤진훈

(54) 반도체 장치

(57) 요약

본 발명은 외부에서 인가되는 전원전압을 입력받아 여러 가지 다양한 회로 동작을 수행하는 반도체 장치에 관한 것으로, 제1 전원입력단을 통해 인가되는 전원회로용 전원전압을 제1 전원공급경로를 통해 입력받아 내부 전원전압을 생성하는 내부전원전압 생성수단, 및 제2 전원입력단을 통해 인가되는 내부회로용 전원전압을 상기 제1 전원공급경로와 독립적인 제2 전원공급경로를 통해 입력받고, 상기 내부 전원전압을 입력받아 예정된 회로 동작을 수행하기 위한 내부 회로를 구비하는 반도체 장치를 제공한다.

대표도 - 도3



**특허청구의 범위**

**청구항 1**

제1 전원입력단을 통해 인가되는 전원회로용 전원전압을 제1 전원공급경로를 통해 입력받아 내부 전원전압을 생성하는 내부전원전압 생성수단; 및

제2 전원입력단을 통해 인가되는 내부회로용 전원전압을 상기 제1 전원공급경로와 독립적인 제2 전원공급경로를 통해 입력받고, 상기 내부 전원전압을 입력받아 예정된 회로 동작을 수행하기 위한 내부 회로를 구비하되,

상기 전원회로용 전원전압과 상기 내부회로용 전원전압은 서로 동일한 전압 레벨을 가지는 것을 특징으로 하는 반도체 장치.

**청구항 2**

제1항에 있어서,

상기 제1 및 제2 전원입력단은 서로 독립적으로 설계된 패드, 볼 또는 핀인 것을 특징으로 하는 반도체 장치.

**청구항 3**

삭제

**청구항 4**

제1항에 있어서,

상기 내부 회로는 커맨드 신호와 어드레스 신호 및 데이터를 입력받아 회로 동작을 수행하는 것을 특징으로 하는 반도체 장치.

**청구항 5**

제1항에 있어서,

상기 제1 전원입력단은 전원회로용 공급 전원전압과 전원회로용 접지 전원전압이 입력되는 제1 및 제2 입력단을 구비하는 것을 특징으로 하는 반도체 장치.

**청구항 6**

제1항에 있어서,

상기 제2 전원입력단은 내부회로용 공급 전원전압과 내부회로용 접지 전원전압이 입력되는 제1 및 제2 입력단을 구비하는 것을 특징으로 하는 반도체 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 특히 외부에서 인가되는 전원전압을 입력받아 여러 가지 다양한 회로 동작을 수행하는 반도체 장치에 관한 것이다.

**배경기술**

- [0002] 일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 장치가 점점 고 집적화됨에 따라 내부 회로를 설계함에 있어서, 서브-미크론(sub-micron)급 이하의 디자인-룰(design-rule)이 적용되고 있다. 이렇게 극 미세화된 회로가 높은 동작 주파수에 대응하여 동작하기 위해서는 기본적으로 반도체 메모리 장치에 사용되는 전원전압이 매우 낮아져야 한다. 반도체 장치는 이러한 전원전압을 외부에서 인가받으며, 인가된 전원전압을 사용하여 여러 가지 회로 동작을 수행한다.
- [0003] 한편, 반도체 장치는 외부로부터 전원전압을 인가받아 내부적으로 이를 가공하여 내부 전원전압을 생성한다. 이러한 내부 전원전압에는 인가되는 전원전압을 다운 컨버팅(down converting)하여 생성하는 코어 전압(core voltage)과 페리 전압(peri voltage) 등이 있으며, 전원전압을 펌핑(pumping)하여 생성하는 펌핑 전압(pumping voltage) 및 기판 바이어스 전압(substrate bias voltage) 등이 있다.
- [0004] 도 1 은 기존의 반도체 장치의 일부 회로를 개략적으로 설명하기 위한 블록도이다.
- [0005] 도 1 을 참조하면, 반도체 장치는 내부 회로(110)와 내부 전원전압 생성부(130)를 구비한다.
- [0006] 내부 회로(110)는 외부로부터 인가되는 공급 전원전압(VDD)과, 접지 전원전압(VSS), 데이터출력용 공급 전원전압(VDDQ)과, 데이터출력용 접지 전원전압(VSSQ)과, 커맨드 신호(CMD)와, 어드레스 신호(ADD), 및 데이터(DAT)를 패드(pad)나, 볼(ball), 핀(pin) 등과 같은 입력단으로 각각 입력받아 읽기 및 쓰기 동작 등을 수행한다. 이때, 내부 회로(110)는 내부 전원전압 생성부(130)를 제어하기 위한 제어신호(CTR)를 생성하며, 내부 전원전압 생성부(130)에서 생성되는 내부 전원전압(V\_INT)을 인가받아 내부적으로 사용한다.
- [0007] 내부 전원전압 생성부(130)는 외부로부터 인가되는 공급 전원전압(VDD)과, 접지 전원전압(VSS)과, 제어신호(CTR)에 응답하여 내부 전원전압(V\_INT)을 생성한다. 여기서, 내부 전원전압(V\_INT)은 항상 안정적인 전압 레벨을 유지하여야 하며, 요즈음 반도체 장치에 사용되는 전압 레벨이 점점 낮아지는 상황에서 내부 전원전압(V\_INT)의 안정적인 전압 레벨 유지 동작은 필수적이라 할 수 있다.
- [0008] 한편, 기존의 반도체 장치는 내부 회로(110)와 내부 전원전압 생성부(130)에 인가되는 공급 전원전압(VDD)과 접지 전원전압(VSS)이 동일한 입력단을 통해 전달된다. 이러한 구조에서는 내부 회로(110)의 동작에 따라 내부 전원전압(V\_INT)에 노이즈(noise)가 반영될 여지가 있다. 이하, 도 2 를 통해 살펴보기로 한다.
- [0009] 도 2 는 도 1 의 반도체 장치의 회로 동작에 따른 각 전원들의 전압 변화를 설명하기 위한 도면으로서, 공급 전원전압(VDD)과, 내부 전원전압(V\_INT), 및 접지 전원전압(VSS)이 도시되어 있다. 설명의 편의를 위하여, 내부 전원전압(V\_INT)은 공급 전원전압(VDD)을 다운 컨버팅하여 생성된 것을 일례로 하였다.
- [0010] 도 1 과 도 2 를 참조하면, 반도체 장치에 액티브 명령(ACT)이 인가되기 이전에는 공급 전원전압(VDD)과, 내부 전원전압(V\_INT), 및 접지 전원전압(VSS)이 노이즈 없이 모두 안정적인 상태를 가진다.
- [0011] 하지만, 액티브 명령(ACT)이 인가되면 내부 회로(110)가 회로 동작을 수행하게 되고, 공급 전원전압(VDD)의 전압이 급격하게 출렁거리게 된다. 이는 내부 회로(110)가 공급 전원전압(VDD)의 전류를 사용하기 때문이며, 이렇게 사용되는 전류는 접지 전원전압(VSS)으로 방전(discharge)되기 때문에, 접지 전원전압(VSS)의 전압 역시 급격하게 출렁거리게 된다. 즉, 공급 전원전압(VDD)과 접지 전원전압(VSS)에는 노이즈가 발생한다.
- [0012] 한편, 노이즈가 발생한 공급 전원전압(VDD)과 접지 전원전압(VSS)은 내부 전원전압 생성부(130)에 인가된다. 따라서, 내부 전원전압 생성부(130)에서 생성되는 내부 전원전압(V\_INT)은 공급 전원전압(VDD)과 접지 전원전압(VSS)에 반영된 노이즈에 따라 출렁거리게 된다. 즉, 내부 전원전압(V\_INT)에도 노이즈가 발생한다. 이렇게 내부 전원전압(V\_INT)에 노이즈가 발생하는 원인은 내부 회로(110)와 내부 전원전압 생성부(130)가 동일한 입력단으로 공급 전원전압(VDD)과 접지 전원전압(VSS)을 각각 입력받는데 있다. 다시 말하면, 내부 회로(110)의 회로 동작이 공통 입력단을 통해 내부 전원전압 생성부(130)에 영향을 미치고, 결국 내부 전원전압(V\_INT)의 노이즈로 반영된다.
- [0013] 이상에서 살펴본 바와 같이, 기존 반도체 장치의 구조는 내부 회로(110)에서 회로 동작을 수행함에 따라 내부 전원전압(V\_INT)에 노이즈가 발생한다. 노이즈가 발생한 내부 전원전압(V\_INT)은 반도체 장치의 안정적인 동작을 보장해 줄 수 없으며, 나아가 반도체 장치의 오동작을 유발하는 문제점을 갖는다.

**발명의 내용**

**해결 하고자하는 과제**

[0014] 본 발명은 상기와 같은 문제점을 해결하기 위해 제안된 것으로, 외부로부터 인가되는 전원전압을 서로 독립된 입력단을 통해 입력받고, 독립된 전원공급경로를 통해 해당하는 회로로 전달할 수 있는 반도체 장치를 제공하는 데 그 목적이 있다.

**과제 해결수단**

[0015] 상기 목적을 달성하기 위한 본 발명의 일 측면에 따른 반도체 장치는, 제1 전원입력단을 통해 인가되는 전원회로용 전원전압을 제1 전원공급경로를 통해 입력받아 내부 전원전압을 생성하는 내부전원전압 생성수단; 및 제2 전원입력단을 통해 인가되는 내부회로용 전원전압을 상기 제1 전원공급경로와 독립적인 제2 전원공급경로를 통해 입력받고, 상기 내부 전원전압을 입력받아 예정된 회로 동작을 수행하기 위한 내부 회로를 구비한다.

[0016] 본 발명에 따른 실시예는 외부로부터 인가되는 전원전압을 서로 독립된 입력단을 통해 입력받고, 이를 독립된 전원공급경로를 통해 해당하는 회로로 전달함으로써, 내부 회로의 회로 동작으로 인하여 전원전압에 발생하는 노이즈가 내부 전원전압을 생성하는데 아무런 영향을 미치지 않도록 하는 것이 가능하다.

**효과**

[0017] 본 발명은 내부 회로의 회로 동작으로 인하여 발생하는 전원전압의 노이즈가 내부 전원전압을 생성하는데 아무런 영향을 주지 못하게 함으로써, 회로 동작과 무관하게 항상 안정적인 내부 전원전압을 생성할 수 있다. 이어서, 안정적인 내부 전원전압을 확보하는 것이 가능하기 때문에 반도체 장치의 신뢰성을 높일 수 있는 효과를 얻을 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0018] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시 예를 첨부 도면을 참조하여 설명하기로 한다.

[0019] 도 3 은 본 발명의 실시예에 따른 반도체 장치의 일부 회로를 개략적으로 설명하기 위한 블록도이다.

[0020] 도 3 을 참조하면, 반도체 장치는 다수의 입력단(310)과, 내부 회로(330), 및 내부 전원전압 생성부(350)를 구비한다.

[0021] 다수의 입력단(310)은 외부로부터 인가되는 내부회로용 공급 전원전압(VDD)과, 내부회로용 접지 전원전압(VSS), 데이터출력용 공급 전원전압(VDDQ)과, 데이터출력용 접지 전원전압(VSSQ)과, 커맨드 신호(CMD)와, 어드레스 신호(ADD)와, 데이터(DAT)와, 전원회로용 공급 전원전압(VDDV), 및 전원회로용 접지 전원전압(VSSV)을 각각 입력받기 위한 것으로, 패드나, 볼, 핀 등과 같은 입력단을 의미한다.

[0022] 본 발명의 실시예에 따른 반도체 장치는 내부 회로(330)에 인가되는 전원전압(VDD, VSS)과 내부 전원전압 생성부(350)에 인가되는 전원전압(VDDV, VSSV)을 서로 독립적으로 설계된 입력단으로 인가받고, 이를 서로 다른 전원공급경로를 통해 해당하는 회로로 전달할 수 있다. 따라서, 다수의 입력단(310)은 내부 회로(330)에 인가되는 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)을 입력받기 위한 제1 전원입력단(312)을 구비하고, 내부 전원전압 생성부(350)에 인가되는 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)을 입력받기 위한 제2 전원입력단(314)을 구비한다.

[0023] 내부 회로(330)는 다수의 입력단(310)을 통해 입력되는 내부회로용 공급 전원전압(VDD)과, 내부회로용 접지 전원전압(VSS), 데이터출력용 공급 전원전압(VDDQ)과, 데이터출력용 접지 전원전압(VSSQ)과, 커맨드 신호(CMD)와, 어드레스 신호(ADD), 및 데이터(DAT)를 입력받아 읽기 및 쓰기 동작 등을 수행한다. 이때, 내부 회로(330)는 내부 전원전압 생성부(350)를 제어하기 위한 제어신호(CTR)를 생성하며, 내부 전원전압 생성부(350)에서 생성되는 내부 전원전압(V\_INT)을 인가받아 내부적으로 사용한다.

- [0024] 내부 전원전압 생성부(350)는 다수의 입력단(310)의 제2 전원입력단(314)을 통해 입력되는 전원회로용 공급 전원전압(VDDV)과, 전원회로용 접지 전원전압(VSSV), 및 제어신호(CTR)에 응답하여 내부 전원전압(V\_INT)을 생성한다.
- [0025] 도면에서 알 수 있듯이, 제1 전원입력단(312)을 통해 입력되는 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)의 전원공급경로는 제2 전원입력단(314)을 통해 입력되는 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)의 전원공급경로와 서로 다르다. 즉, 전원공급경로가 서로 독립된 것을 알 수 있다.
- [0026] 본 발명의 실시예에 따른 반도체 장치는 이러한 독립적인 전원입력단과 전원공급경로를 가지는 구조를 통해 내부 회로(330)의 회로 동작에 의하여 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)에 노이즈가 발생하더라도 독립된 전원회로용 공급 전원전압(VDDV)과 독립된 전원회로용 접지 전원전압(VSSV)을 이용하여 안정적인 내부 전원전압(V\_INT)을 생성하는 것이 가능하다.
- [0027] 도 4 는 도 3 의 반도체 장치의 회로 동작에 따른 각 전원들의 전압 변화를 설명하기 위한 도면으로써, 내부회로용 공급 전원전압(VDD)과, 전원회로용 공급 전원전압(VDDV)과, 내부 전원전압(V\_INT)과, 내부회로용 접지 전원전압(VSS), 및 전원회로용 접지 전원전압(VSSV)이 도시되어 있다. 설명의 편의를 위하여, 내부 전원전압(V\_INT)은 공급 전원전압(VDD)을 다운 컨버팅하여 생성된 것을 일례로 하였다.
- [0028] 도 3 과 도 4 를 참조하면, 반도체 장치에 액티브 명령(ACT)이 인가되기 이전에는 내부회로용 공급 전원전압(VDD)과 전원회로용 공급 전원전압(VDDV)이 동일한 전압 레벨로 안정적인 상태를 가지고 있고, 내부회로용 접지 전원전압(VSS)과 전원회로용 접지 전원전압(VSSV)이 동일한 전압 레벨로 안정적인 상태를 가지고 있다. 또한, 내부 전원전압(V\_INT) 역시 액티브 명령(ACT)이 인가되기 이전에 안정적인 상태를 가지고 있다.
- [0029] 이어서, 액티브 명령(ACT)이 인가되면 내부 회로(330)가 회로 동작을 수행하게 된다. 따라서, 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)의 전압이 급격하게 출렁거리게 된다. 하지만, 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)은 여전히 안정적인 상태를 유지하는 것을 볼 수 있다. 이는 본 발명의 실시예에 따른 반도체 장치가 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)을 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)이 인가되는 제1 전원입력단(312)과 독립적으로 설계된 제2 전원입력단(314)으로 인가받기 때문이다. 따라서, 내부회로용 공급 전원전압(VDD)과 내부회로용 접지 전원전압(VSS)에 노이즈가 발생하더라도 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)에는 노이즈가 발생하지 않게 된다.
- [0030] 결국, 내부 전원전압 생성부(350)는 노이즈가 발생하지 않은 전원회로용 공급 전원전압(VDDV)과 전원회로용 접지 전원전압(VSSV)을 입력받으며, 이를 기반으로 안정적인 전압 레벨을 유지하는 내부 전원전압(V\_INT)을 생성하는 것이 가능하다.

[0031] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

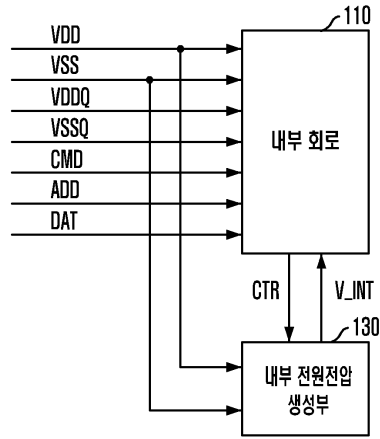
**도면의 간단한 설명**

- [0032] 도 1 은 기존의 반도체 장치의 일부 회로를 개략적으로 설명하기 위한 블록도.
- [0033] 도 2 는 도 1 의 반도체 장치의 회로 동작에 따른 각 전원들의 전압 변화를 설명하기 위한 도면.
- [0034] 도 3 은 본 발명의 실시예에 따른 반도체 장치의 일부 회로를 개략적으로 설명하기 위한 블록도.
- [0035] 도 4 는 도 3 의 반도체 장치의 회로 동작에 따른 각 전원들의 전압 변화를 설명하기 위한 도면.
- [0036] \* 도면의 주요 부분에 대한 부호의 설명 \*
- [0037] 310 : 다수의 입력단
- [0038] 330 : 내부 회로

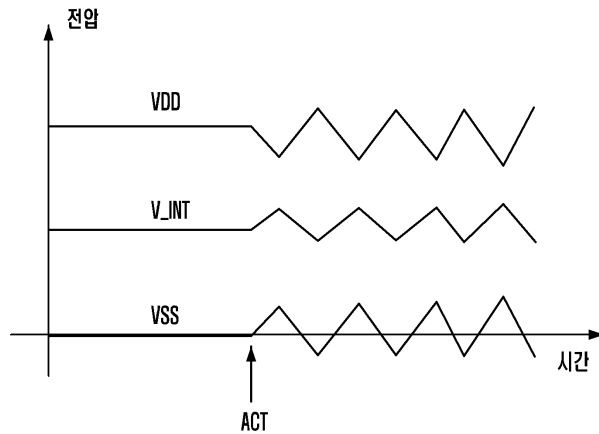
[0039] 350 : 내부 전원전압 생성부

도면

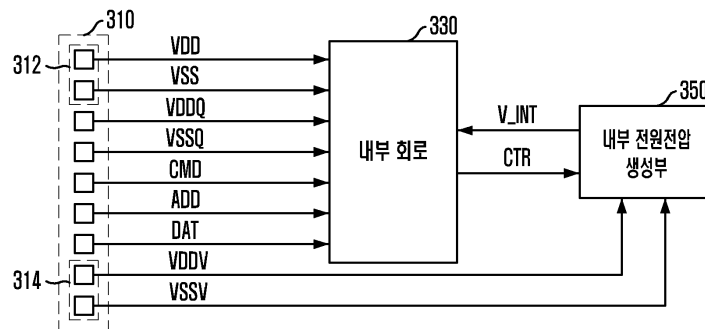
도면1



도면2



도면3



도면4

