(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-229128
(P2011-229128A)
(43)公開日　平成23年11月10日(2011.11.10)

(51)Int.Cl.			F I			テーマコード（参考）
H03M	***1/18***	***(2006.01)***	H03M	1/18		5J022
H03M	***1/14***	***(2006.01)***	H03M	1/14	A	

審査請求 未請求　請求項の数 4　OL　（全 26 頁）

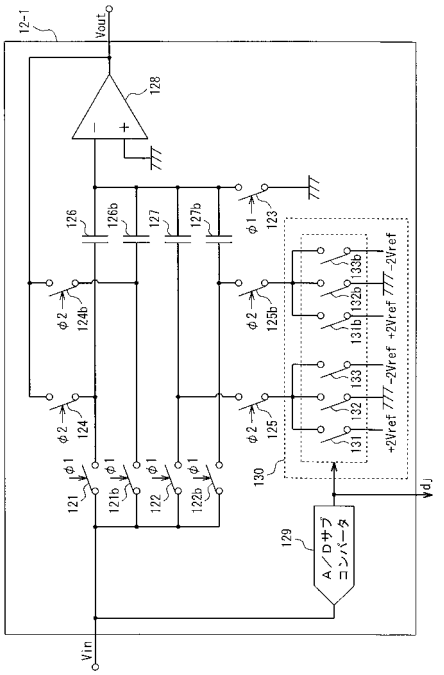
(21)出願番号　特願2011-48194(P2011-48194)
(22)出願日　平成23年3月4日(2011.3.4)
(31)優先権主張番号　特願2010-82273(P2010-82273)
(32)優先日　平成22年3月31日(2010.3.31)
(33)優先権主張国　日本国(JP)

(71)出願人　303046277
旭化成エレクトロニクス株式会社
東京都千代田区神田神保町一丁目１０５番地
(74)代理人　100066980
弁理士　森　哲也
(74)代理人　100109380
弁理士　小西　恵
(74)代理人　100103850
弁理士　田中　秀▲てつ▼
(72)発明者　江川　一樹
宮崎県宮崎市橘通東５丁目３番１０号　ＡＫＭテクノロジ株式会社内

Ｆターム(参考)　5J022 AA01 AA15 BA08 CA07 CA10 CB01 CB06 CC01 CF02 CF07

(54)【発明の名称】パイプライン型Ａ／Ｄコンバータ

(57)【要約】
【課題】熱雑音および演算増幅器に要求されるオープンループゲインを大きくさせることなく、入力レンジおよびディジタル出力信号のビット数を大きくすることのできるパイプライン型Ａ／Ｄコンバータを提供する。
【解決手段】サンプルホールド用のコンデンサの個数ＭをＮ分割し、さらに基準電圧をＮ倍することで、基準電圧を加減算するために用いることが出来るコンデンサの数を増加させて入力レンジを広げ、ディジタル出力信号のビット数を大きくする。この場合、全てのコンデンサでアナログ信号をサンプルするため、コンデンサを分割する前後で熱雑音を劣化させない。さらに、アナログ信号を増幅するための帰還素子として用いるコンデンサと、残りのコンデンサとの比はコンデンサを分割する前後で変わらないため、演算増幅器１２８に要求されるオープンループゲインを増加させない。
【選択図】図２



【特許請求の範囲】
【請求項１】
アナログ信号をサンプルホールドするサンプルホールド手段と、
前記サンプルホールド手段によってホールドされた前記アナログ信号をディジタル信号に変換する複数のＡ／Ｄ変換手段と、
複数の前記Ａ／Ｄ変換手段から出力された複数の前記ディジタル信号を合成する演算手段と、
複数の前記Ａ／Ｄ変換手段によって行われる動作を制御する制御手段と、
を備えるパイプライン型Ａ／Ｄコンバータであって、
前記Ａ／Ｄ変換手段は、
前記アナログ信号をディジタル信号に変換するＡ／Ｄ副変換手段と、
前記Ａ／Ｄ副変換手段の変換結果に対応する基準電圧を生成する基準電圧生成手段と、
前記基準電圧と前記アナログ信号との差分信号を増幅する信号増幅手段と、
を備え、
前記信号増幅手段は、
所定の容量値をＣ（Ｃは正の数とする）とし、所定の分割数をＮ（Ｎは１以上の整数とする）とし、前記アナログ信号の増幅度をＭ（Ｍは２以上の整数とする）としたとき、夫々Ｃ／Ｎの容量値を有するＮ×Ｍ個の充放電素子と、スイッチング素子と、演算増幅器と、を備え、
前記基準電圧生成手段は、
所定の電圧をＮ倍した前記基準電圧を生成し、
前記制御手段は、
サンプル動作時に、Ｎ×Ｍ個の全ての前記充放電素子を用いて前記アナログ信号をサンプルし、
ホールド動作時に、Ｎ×Ｍ個の全ての前記充放電素子のうちＮ個の前記充放電素子を用いて前記アナログ入力信号をＭ倍に増幅し、残りのＮ×（Ｍ－１）個の前記充放電素子を用いて増幅された前記アナログ入力信号に前記基準電圧生成手段により生成された所定の電圧をＮ倍した前記基準電圧を加減するように、動作を制御することを特徴とするパイプライン型Ａ／Ｄコンバータ。
【請求項２】
前記充放電素子は、
前記アナログ信号の入力端子と前記演算増幅器の反転入力端子との間に接続され、
前記スイッチング素子は、
前記アナログ信号の入力端子と前記充放電素子の入力端子との間に接続される第１のスイッチング素子と、
前記演算増幅器の出力端子と前記充放電素子の入力端子との間に接続される第２のスイッチング素子と、
前記基準電圧生成手段の出力端子と前記充放電素子の入力端子との間に接続される第３のスイッチング素子と、
を備え、
前記制御手段は、
サンプル動作時に、前記第１のスイッチング素子を介して、Ｎ×Ｍ個の全ての前記充放電素子が前記アナログ信号の入力端子と前記演算増幅器の反転入力端子との間に接続され、
ホールド動作時に、前記第２スイッチング素子を介してＮ×Ｍ個の全ての前記充放電素子のうちＮ個の前記充放電素子が前記演算増幅器の出力端子と反転入力端子との間に接続され、前記第３スイッチング素子を介して残りのＮ×（Ｍ－１）個の前記充放電素子が基準電圧生成手段の出力端子と前記演算増幅器の反転入力端子との間に接続されるように、前記第１～第３のスイッチング素子の電気的接続状態の切り替え動作を制御することを特徴とする請求項１記載のパイプライン型Ａ／Ｄコンバータ。

【請求項３】
前記基準電圧生成手段は、
前記所定の電圧を－Ｖｒｅｆ（Ｖ），０（Ｖ），＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧として、前記所定の電圧をＮ倍した前記基準電圧を生成することを特徴とする請求項１または２記載のパイプライン型Ａ／Ｄコンバータ。
【請求項４】
Ｎが１のとき、
前記基準電圧生成手段は、
前記所定の電圧をＬ（Ｌは１以上の整数とする）倍した前記基準電圧を生成し、
前記制御手段は、
サンプル動作時に、Ｍ個の全ての前記充放電素子を用いて前記アナログ信号をサンプルし、
ホールド動作時に、Ｍ個の全ての前記充放電素子のうち１個の前記充放電素子を用いて前記アナログ入力信号をＭ倍に増幅し、残りのＭ－１個の前記充放電素子を用いて増幅された前記アナログ入力信号に前記基準電圧生成手段により生成された前記所定の電圧をＬ（Ｌは１以上の整数とする）倍した前記基準電圧を加減するように、動作を制御することを特徴とする請求項１～３のいずれかに記載のパイプライン型Ａ／Ｄコンバータ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、Ａ／Ｄコンバータに関し、特に入力レンジおよびディジタル出力のビット数を大きくしたパイプライン型Ａ／Ｄコンバータに関する。
【背景技術】
【０００２】
各種画像センサや画像処理装置等、アナログ信号をディジタル信号に変換することが必要な電子機器は、多くのデータを高速に処理することが求められる。このような処理を行うことができるように、複数のＡ／Ｄコンバータを互いに縦列に多段で接続して構成することで、１クロックの間に複数のＡ／Ｄ変換処理を行うことのできるパイプライン型Ａ／Ｄコンバータが知られている。
【０００３】
従来のパイプライン型Ａ／Ｄコンバータとしては、例えば、非特許文献１のパイプライン型Ａ／Ｄコンバータがある。
まず、図１０を参照して、従来の一般的なパイプライン型Ａ／Ｄコンバータ１００の構成を説明する。図１０は、従来の一般的なパイプライン型Ａ／Ｄコンバータ１００の構成を示すブロック図である。
図１０に示すパイプライン型Ａ／Ｄコンバータ１００は、サンプルホールド回路１０１、縦列接続されたｋ個のＡ／Ｄコンバータ１０２－１～１０２－ｋ、メモリ１０３、演算回路１０４および制御部１０５を備えて構成される。
サンプルホールド回路１０１は、アナログ入力信号Ａｉｎをサンプルホールドし、ホールドしたアナログ入力信号Ａｉｎを最初のＡ／Ｄコンバータ１０２－１に送出するための回路である。
【０００４】
Ａ／Ｄコンバータ１０２－１～１０２－ｋは縦列接続され、各段に入力されるアナログ信号Ｖｉｎに基づいて、各Ａ／Ｄコンバータ１０２－１～１０２－ｋが担当する分解能分のＡ／Ｄ変換を実施し、それぞれｓ桁のディジタル出力信号d_j（ｊ＝１，２，……，ｋ）をメモリ１０３に送出する。また、Ａ／Ｄコンバータ１０２－１～１０２－ｋは、各段においてアナログ信号Ｖｉｎと、ディジタル出力信号d_jのＤ／Ａ変換結果とから得られるアナログ信号Ｖｏｕｔを次段に送出する。
メモリ１０３は、ｋ個のＡ／Ｄコンバータ１０２－１～１０２－ｋで決定された、それぞれｓ桁のディジタル出力信号d_jを受け取り格納する。すなわち、メモリ１０３には、

少なくとも、ｋ個のアドレスを有し、１つのアドレス当たりｓビットのデータを記憶することができる半導体メモリ等を用いれば良い。

【０００５】

演算回路１０４は、メモリ１０３に格納されたディジタル出力信号d_jを合成して、Ｓビットのディジタル出力信号Ｄｏｕｔを演算する。この演算回路１０４における演算方法は、以下の通りである。まず、d_kの最上位桁とd_{k-1}の最下位桁とを２進法で加算する。次に、この結果に基づいて、d_{k-1}の最上位桁とd_{k-2}の最下位桁とを、同じく２進法で加算する。以下、これを繰り返して、最後にd_1の最下位ビットと、d_2の最上位ビットとを足し合わせる。このように、すべてのd_jについて足し合わされた結果がディジタル出力信号Ｄｏｕｔになる。

【０００６】

制御部１０５は、内部で生成されるマスタクロック信号φに合わせて、アナログ信号Ｖｉｎをサンプルホールドする動作を行うために、Ａ／Ｄコンバータ１０２－１～１０２－ｋの内部の各スイッチング素子を電気的に接続状態または切断状態のいずれか一方に切り替えるためのスイッチング素子制御信号φ１，φ２を生成するためのものである。

なお、Ａ／Ｄコンバータ１０２－１～１０２－ｋは同一の素子を有して構成される同じ回路であるため、図１１を参照して、Ａ／Ｄコンバータ１０２－１の回路構成を説明する。

【０００７】

図１１は、担当する分解能が１．５ビットの場合のＡ／Ｄコンバータ１０２－１の回路構成を示す回路図である。分解能が１．５ビットとは、Ａ／Ｄコンバータ１０２－１から出力されるディジタル出力信号が３値であることを示す。

図１１に示すＡ／Ｄコンバータ１０２－１は、サンプルホールド用スイッチング素子１２１～１２５、サンプルホールド用コンデンサ１２６，１２７、演算増幅器１２８、Ａ／Ｄサブコンバータ１２９および多値出力回路１３０を備えて構成される。

【０００８】

サンプルホールド用スイッチング素子１２１～１２５は、制御部１０５から出力されるスイッチング素子制御信号φ１，φ２に基づいて、サンプルホールド動作を行うために電気的接続状態を接続状態または切断状態のいずれか一方に切り替えるためのものである。サンプルホールド用スイッチング素子１２１，１２２は、アナログ信号Ｖｉｎを入力する入力端子と、サンプルホールド用コンデンサ１２６，１２７の入力端子との間に接続される。サンプルホールド用スイッチング素子１２３は、サンプルホールド用コンデンサ１２６，１２７の出力端子と、アナロググランドとの間に接続される。サンプルホールド用スイッチング素子１２４は、演算増幅器１２８の出力端子と、サンプルホールド用コンデンサ１２６の入力端子との間に接続される。サンプルホールド用スイッチング素子１２５は、多値出力回路１３０の出力端子と、サンプルホールド用コンデンサ１２７の入力端子との間に接続される。上記の各スイッチング素子は、スイッチング素子制御信号φ１，φ２がＨレベルであるときに接続状態になり、スイッチング素子制御信号φ１，φ２がＬレベルであるときに切断状態になる。

【０００９】

サンプルホールド用コンデンサ１２６，１２７は、多値出力回路１３０から出力される基準電圧を基準にして、サンプルされたアナログ信号Ｖｉｎに対応する電荷を充放電するためのものである。

演算増幅器１２８は、非反転（＋）入力端子にアナロググランドが接続され、反転（－）入力端子にサンプルホールド用コンデンサ１２６，１２７が接続され、２個の入力端子に入力される信号の電位差を増幅するものである。

Ａ／Ｄサブコンバータ１２９は、図示しない２個のコンパレータから構成され、アナログ信号Ｖｉｎをディジタル出力信号d_jに変換するためのものである。

【００１０】

多値出力回路１３０は、多値出力用スイッチング素子１３１～１３３を備えて構成され

る。スイッチング素子１３１～１３３は、所定の電圧である－Ｖｒｅｆ，０，＋Ｖｒｅｆを出力する電圧源と、多値出力回路１３０の出力端子との間に接続され、Ａ／Ｄサブコンバータ１２９の出力結果に基づいて、電気的接続状態を接続状態または切断状態のいずれか一方に切り替えるものである。そして、多値出力回路１３０は、ディジタル出力信号d_jに基づいて、スイッチング素子１３１～１３３の電気的接続状態が切り替わることによって、－Ｖｒｅｆ，０，＋Ｖｒｅｆのいずれか１つの基準電圧を出力する。ＶｒｅｆはＡ／Ｄ変換の入力レンジによって決定される所定の電圧であり、０はアナロググランドの電圧である。

【００１１】

このＡ／Ｄコンバータ１０２－２の動作は、サンプル動作フェーズとホールド動作フェーズとに分かれており、サンプル動作とホールド動作とを交互に繰り返す。

まず、サンプル動作時に、サンプルホールド用スイッチング素子１２１～１２３が接続状態となり、サンプルホールド用スイッチング素子１２４，１２５が切断状態となる。そして、前段のＡ／Ｄコンバータ１０２－１から入力されたアナログ信号Ｖｉｎが、サンプルホールド用コンデンサ１２６，１２７にサンプルされる。また、Ａ／Ｄサブコンバータ１２９は、前段のＡ／Ｄコンバータ１０２－１から入力されたアナログ信号Ｖｉｎを、－１，０，１のいずれか１つの値にＡ／Ｄ変換して出力する。多値出力回路１３０は、Ａ／Ｄサブコンバータ１２９の出力結果に基づいて、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれか１つの基準電圧を出力する。

【００１２】

また、ホールド動作時には、サンプルホールド用スイッチング素子１２１～１２３が切断状態となり、サンプルホールド用スイッチング素子１２４，１２５が接続状態となる。そして、コンデンサ１２６を演算増幅器１２８の出力端子と反転入力端子との間に接続し、帰還素子として用いる。これにより、アナログ信号Ｖｉｎの電圧を２倍に増幅する。さらに、Ａ／Ｄサブコンバータ１２９の出力結果に応じてスイッチング素子１３１～１３３のいずれか１つの電気的接続状態が接続状態になり、コンデンサ１２７に、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれか１つの電圧が出力される。これにより、２倍に増幅されたアナログ信号Ｖｉｎの範囲内で取りうるアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようにする。このアナログ信号Ｖｏｕｔが、Ａ／Ｄコンバータ１０２－１の後段に接続されるＡ／Ｄコンバータ１０２－２のアナログ信号Ｖｉｎとなる。

【００１３】

続いて、図１２参照して、Ａ／Ｄコンバータ１０２－１のアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図１２は、Ａ／Ｄコンバータ１０２－１のアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図１２に示すグラフの横軸は、Ａ／Ｄコンバータ１０２－１に入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１０２－１から出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００１４】

図中に矢印で示すように、アナログ信号Ｖｉｎの取りうる電圧の範囲が、Ａ／Ｄコンバータ１０２－１の入力レンジとなる。また、アナログ信号Ｖｉｎの入力レンジの範囲内で、アナログ信号Ｖｏｕｔの取りうる電圧の範囲が、Ａ／Ｄコンバータ１０２－１の出力レンジ、つまりＡ／Ｄコンバータ１０２－２の入力レンジとなる。

上述したように、Ａ／Ｄコンバータ１０２－１で２倍に増幅されたアナログ信号Ｖｉｎから、Ａ／Ｄサブコンバータ１２９の出力値に応じて決定される基準電圧を加減算することによって、Ａ／Ｄコンバータのアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータの入力レンジを超えないようにしている。

【００１５】

ところで、ディジタルカメラ等の多くの電子機器に搭載されるパイプライン型Ａ／Ｄコ

ンバータでは、外部からの信号のオフセットや、パイプライン型Ａ／Ｄコンバータ自身が持っている内部のオフセットをキャンセルする必要がある。このため、Ｓビットのディジタル出力信号Ｄｏｕｔを出力することができるパイプライン型Ａ／Ｄコンバータであっても、例えば、Ｓ＋０．５ビット大きくディジタル値を出力することができなければならない。従って、パイプライン型Ａ／Ｄコンバータが備える複数のＡ／ＤコンバータのうちのあるＡ／Ｄコンバータにおいて、入力レンジを通常より大きく取れるようにしている。一般的に、入力レンジを一番大きく取ることが可能となる最初のＡ／Ｄコンバータの入力レンジを、通常より大きく取れるようにする場合が多い。このため、パイプライン型Ａ／Ｄコンバータ１００において、最初のＡ／Ｄコンバータ１０２－１が入力レンジを通常より大きく取れるように構成された場合について、次に説明する。

【００１６】

図１３を参照して、入力レンジを通常より大きく取れるようにしたＡ／Ｄコンバータ１０２－１ｂの回路について説明する。図１３は、入力レンジを通常より大きく取れるようにしたＡ／Ｄコンバータ１０２－１ｂの回路構成を示す回路図である。

図１３に示すＡ／Ｄコンバータ１０２－１ｂは、一例として、入力レンジを１．５倍に大きくし、ディジタル出力信号Ｄｏｕｔの出力ビット数をＳ＋０．５ビットに大きくしたものである。

【００１７】

図１１に示したＡ／Ｄコンバータ１０２－１と図１３に示したＡ／Ｄコンバータ１０２－１ｂとの差異は、多値出力回路１３０がさらに３個の多値出力用スイッチング素子１３１ｂ～１３３ｂを備え、サンプルホールド用スイッチング素子１２２ｂ，１２５ｂおよびサンプルホールド用コンデンサ１２７ｂを備えて構成されている点である。

サンプルホールド用スイッチング素子１２５ｂは、サンプルホールド用スイッチング素子１２５と同様に、サンプルホールド用コンデンサ１２７に対応するサンプルホールド用コンデンサ１２７ｂと多値出力回路１３０との間に接続される。

【００１８】

サンプルホールド用コンデンサ１２７ｂは、サンプルホールド用コンデンサ１２７に対応するものであるが、サンプルホールド用スイッチング素子１２２ｂ，１２３を介して、両端子がアナロググランドに接続され、電荷をアナロググランドに放電してリセットすることができるようになっている。つまり、サンプルホールド用コンデンサ１２７ｂは、アナログ信号Ｖｉｎに対応する電荷をサンプルホールドせず、０Ｖを基準として多値出力回路１３０から出力される基準電圧を加減算するものである。

【００１９】

多値出力用スイッチング素子１３１ｂ～１３３ｂは、多値出力用スイッチング素子１３１～１３３と同様に、Ａ／Ｄサブコンバータ１２９の出力結果に基づいて、その電気的接続状態を切り替えるものである。Ａ／Ｄサブコンバータ１２９は、図示しないコンパレータを４個備えているものを用いており、アナログ信号Ｖｉｎに応じて－２，－１，０，１，２の５値のいずれかの１つの値を出力することができるようになっている。このため、多値出力回路１３０は、Ａ／Ｄサブコンバータ１２９の出力結果に基づいて、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧を２組出力することができる。

【００２０】

Ａ／Ｄコンバータ１０２－１ｂにおいても、図１１のＡ／Ｄコンバータ１０２－１と同様に、スイッチング素子制御信号φ１，φ２によって、各スイッチング素子の電気的接続状態を切り替えることによってサンプル動作とホールド動作とを交互に繰り返す。

まず、サンプル動作時、サンプルホールド用スイッチング素子１２１～１２３，１２２ｂが接続状態となり、サンプルホールド用スイッチング素子１２４，１２５，１２５ｂが切断状態となる。サンプルホールド用コンデンサ１２６，１２７に、アナログ信号Ｖｉｎに対応する電荷がサンプルされる。また、サンプルホールド用コンデンサ１２７ｂは、０Ｖにリセットされる。

【００２１】

また、ホールド動作時には、Ａ／Ｄサブコンバータ１２９の出力結果に応じて、多値出力用スイッチング素子１３１～１３３のいずれか１つと、多値出力用スイッチング素子１３１ｂ～１３３ｂのいずれか１つとが接続状態となる。そして、サンプルホールド用コンデンサ１２７，１２７ｂに、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの基準電圧がそれぞれ出力される。これにより、２倍に増幅されたアナログ信号Ｖｉｎから、２組分の基準電圧が加減算されて、Ａ／Ｄコンバータ１０２－１のアナログ信号Ｖｉｎの入力レンジを大きくしても、Ａ／Ｄコンバータ１０２－１から出力されるアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータ１０２－２の入力レンジの範囲内に収まるようになっている。

【００２２】

続いて、図１４を参照して、Ａ／Ｄコンバータ１０２－１ｂのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図１４は、Ａ／Ｄコンバータ１０２－１ｂのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図１４に示すグラフの横軸は、Ａ／Ｄコンバータ１０２－１ｂに入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１０２－１ｂから出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００２３】

図中に矢印で示すように、このＡ／Ｄコンバータ１０２－１ｂの入力レンジは、図１２に示した入出力特性よりも１．５倍大きくなっている。但し、Ａ／Ｄコンバータ１０２－１ｂの出力レンジは、Ａ／Ｄコンバータ１０２－２の入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１０２－１ｂが請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータの入力レンジが大きくなったことを意味する。最初のＡ／Ｄコンバータ１０２－１ｂは、Ｓビットのディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１０２－１ｂの入力レンジが１．５倍に大きくなると、パイプライン型Ａ／Ｄコンバータ１００全体の入力レンジが１．５倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋０．５ビットに大きくすることができる。

【００２４】

図１１では、担当する分解能が１．５ビットの場合のＡ／Ｄコンバータ１０２－１に関する説明であったが、担当する分解能は１．５ビットに留まらない。

図１５は、担当する分解能が２．５ビットの場合のＡ／Ｄコンバータ１０２－１ｃの回路構成を示す回路図である。分解能が２．５ビットとは、Ａ／Ｄコンバータ１０２－１ｃから出力されるディジタル出力信号が７値であることを示す。

【００２５】

図１５は、図１１に示したＡ／Ｄコンバータ１０２－１と同様の素子を有して構成される回路であるが、担当する分解能が２．５ビットになることと、それによって、アナログ信号Ｖｉｎの増幅度が４倍になる点が異なる。具体的には、サンプルホールド用スイッチング素子２２１～２２９、サンプルホールド用コンデンサ２３０～２３３、Ａ／Ｄサブコンバータ２３５、および、多値出力回路２３６が１２個のスイッチング素子２３７～２４５を備えている。また、多値出力回路２３６は、Ａ／Ｄサブコンバータ２３５から出力されるアナログ信号Ｖｉｎに応じて決まるディジタル値に基づいて、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧を３組出力することができるようになっている。

【００２６】

サンプルホールド用スイッチング素子２２１～２２９は、スイッチング素子制御信号φ１，φ２に基づいて、サンプルホールド動作を行うために電気的接続状態を接続状態または切断状態のいずれか一方に切り替えるためのものである。サンプルホールド用スイッチング素子２２１～２２４は、アナログ信号Ｖｉｎを入力する入力端子と、サンプルホールド用コンデンサ２３０～２３３の入力端子との間に接続される。サンプルホールド用スイ

ッチング素子２２５は、サンプルホールド用コンデンサ２３０～２３３の出力端子と、アナロググランドとの間に接続される。サンプルホールド用スイッチング素子２２６は、演算増幅器２３４の出力端子と、サンプルホールド用コンデンサ２３０の入力端子との間に接続される。サンプルホールド用スイッチング素子２２７～２２９は、多値出力回路２３６の出力端子と、サンプルホールド用コンデンサ２３１～２３３の入力端子との間に接続される。上記の各スイッチング素子は、スイッチング素子制御信号φ１，φ２がＨレベルであるときに接続状態になり、スイッチング素子制御信号φ１，φ２がＬレベルであるときに切断状態になる。

【００２７】

まず、サンプル動作時に、サンプルホールド用スイッチング素子２２１～２２５が接続状態となり、サンプルホールド用スイッチング素子２２６～２２９が切断状態となる。そして、アナログ信号Ｖｉｎが、サンプルホールド用コンデンサ２３０～２３３にサンプルされる。また、Ａ／Ｄサブコンバータ２３５は、図示しないコンパレータを６個備えているものを用いており、アナログ信号Ｖｉｎを、－３，－２，－１，０，１，２，３の７値のいずれか１つの値にＡ／Ｄ変換して出力する。多値出力回路２３６は、Ａ／Ｄサブコンバータ２３５の出力結果に基づいて、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧を３組出力する。

【００２８】

また、ホールド動作時には、サンプルホールド用スイッチング素子２２１～２２５が切断状態となり、サンプルホールド用スイッチング素子２２６～２２９が接続状態となる。そして、コンデンサ２３０を演算増幅器２３４の出力端子と反転入力端子との間に接続し、帰還素子として用いる。これにより、アナログ信号Ｖｉｎの電圧を４倍に増幅する。さらに、Ａ／Ｄサブコンバータ２３５の出力結果に応じてスイッチング素子２３７～２３９，２４０～２４２，２４３～２４５の各々１つの電気的接続状態が接続状態になり、コンデンサ２３１～２３３の各々に、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれか１つの電圧が出力される。これにより、４倍に増幅されたアナログ信号Ｖｉｎの範囲内で取りうるアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようになる。そして、このアナログ信号Ｖｏｕｔが、後段に接続されるＡ／Ｄコンバータのアナログ信号Ｖｉｎとなる。

【００２９】

続いて、図１６を参照して、Ａ／Ｄコンバータ１０２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図１６は、Ａ／Ｄコンバータ１０２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図１６に示すグラフの横軸は、Ａ／Ｄコンバータ１０２－１ｃに入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１０２－１ｃから出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００３０】

図中に矢印で示すように、アナログ信号Ｖｉｎの取りうる電圧の範囲が、Ａ／Ｄコンバータ１０２－１ｃの入力レンジとなる。また、アナログ信号Ｖｉｎの入力レンジの範囲内で、アナログ信号Ｖｏｕｔの取りうる電圧の範囲が、Ａ／Ｄコンバータ１０２－１ｃの出力レンジ、つまり次段のＡ／Ｄコンバータの入力レンジとなる。

上述したように、Ａ／Ｄコンバータ１０２－１ｃで４倍に増幅されたアナログ信号Ｖｉｎから、Ａ／Ｄサブコンバータ２３５の出力値に応じて決定される基準電圧を加減算することによって、Ａ／Ｄコンバータのアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータの入力レンジを超えないようにしている。

【００３１】

図１７を参照して、入力レンジを通常より大きく取れるようにしたＡ／Ｄコンバータ１０２－１ｄの回路について説明する。図１７は、入力レンジを通常より大きく取れるようにしたＡ／Ｄコンバータ１０２－１ｄの回路構成を示す回路図である。

図１７に示すＡ／Ｄコンバータ１０２－１ｄは、一例として、入力レンジを１．２５倍に大きくし、ディジタル出力信号Ｄｏｕｔの出力ビット数をＳ＋０．２５ビットに大きくしたものである。

【００３２】

図１５に示したＡ／Ｄコンバータ１０２－１ｃと図１７に示したＡ／Ｄコンバータ１０２－１ｄとの差異は、多値出力回路２３６がさらに３個の多値出力用スイッチング素子２４３ｂ～２４５ｂを備え、サンプルホールド用スイッチング素子２２４ｂ，２２９ｂ、およびサンプルホールド用コンデンサ２３３ｂを備えて構成されている点である。

サンプルホールド用スイッチング素子２２９ｂは、サンプルホールド用スイッチング素子２２９と同様に、サンプルホールド用コンデンサ２３３に対応するサンプルホールド用コンデンサ２３３ｂと多値出力回路２３６との間に接続される。

【００３３】

サンプルホールド用コンデンサ２３３ｂは、サンプルホールド用コンデンサ２３３に対応するものであるが、サンプルホールド用スイッチング素子２２４ｂ，２２５を介して、両端子がアナロググランドに接続され、電荷をアナロググランドに放電してリセットすることができるようになっている。つまり、サンプルホールド用コンデンサ２３３ｂは、アナログ信号Ｖｉｎに対応する電荷をサンプルホールドせず、０Ｖを基準として多値出力回路２３６から出力される基準電圧を加減算するものである。

【００３４】

多値出力用スイッチング素子２４３ｂ～２４５ｂは、多値出力用スイッチング素子２４３～２４５と同様に、Ａ／Ｄサブコンバータ２３５の出力結果に基づいて、その電気的接続状態を切り替えるものである。Ａ／Ｄサブコンバータ２３５は、図示しないコンパレータを８個備えているものを用いており、アナログ信号Ｖｉｎに応じて－４，－３，－２，－１，０，１，２，３，４の９値のいずれか１つの値にＡ／Ｄ変換して出力する。このため、多値出力回路２３６は、Ａ／Ｄサブコンバータ２３５の出力結果に基づいて、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧を４組出力することができる。

【００３５】

Ａ／Ｄコンバータ１０２－１ｄにおいても、図１５のＡ／Ｄコンバータ１０２－１ｃと同様に、スイッチング素子制御信号φ１，φ２によって、各スイッチング素子の電気的接続状態を切り替えることによってサンプル動作とホールド動作とを交互に繰り返す。

まず、サンプル動作時、サンプルホールド用スイッチング素子２２１～２２５，２２４ｂが接続状態となり、サンプルホールド用スイッチング素子２２６～２２９，２２９ｂが切断状態となる。サンプルホールド用コンデンサ２３０～２３３に、アナログ信号Ｖｉｎに対応する電荷がサンプルされる。また、サンプルホールド用コンデンサ２３３ｂは、０Ｖにリセットされる。

【００３６】

また、ホールド動作時には、Ａ／Ｄサブコンバータ２３５の出力結果に応じて、多値出力用スイッチング素子２３７～２３９のいずれか１つと、多値出力用スイッチング素子２４０～２４２のいずれか１つと、多値出力用スイッチング素子２４３～２４５のいずれか１つと、多値出力用スイッチング素子２４３ｂ～２４５ｂのいずれか１つとが接続状態となる。そして、サンプルホールド用コンデンサ２３１～２３３，２３３ｂに、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれかの１つの基準電圧がそれぞれ出力される。これにより、４倍に増幅されたアナログ信号Ｖｉｎから、４組分の基準電圧を加減算することで、Ａ／Ｄコンバータ１０２－１ｄのアナログ信号Ｖｉｎの入力レンジを大きくしても、Ａ／Ｄコンバータ１０２－１ｄから出力されるアナログ信号Ｖｏｕｔが、次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようになっている。

【００３７】

続いて、図１８を参照して、Ａ／Ｄコンバータ１０２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図１８は、Ａ／Ｄ

コンバータ１０２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図１８に示すグラフの横軸は、Ａ／Ｄコンバータ１０２－１ｄに入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１０２－１ｄから出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００３８】

図中に矢印で示すように、このＡ／Ｄコンバータ１０２－１ｄの入力レンジは、図１６に示した入出力特性よりも１．２５倍大きくなっている。但し、Ａ／Ｄコンバータ１０２－１ｄの出力レンジは、次段のＡ／Ｄコンバータの入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１０２－１ｄが請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータの入力レンジが大きくなったことを意味する。最初のＡ／Ｄコンバータ１０２－１ｄは、Ｓビットのディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１０２－１ｄの入力レンジが１．２５倍に大きくなると、パイプライン型Ａ／Ｄコンバータ１００全体の入力レンジが１．２５倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋０．２５ビットに大きくすることができる。

【先行技術文献】

【非特許文献】

【００３９】

【非特許文献１】ＩＥＥＥ Ｊｏｕｒｎａｌ ｏｆ Ｓｏｌｉｄ Ｓｔａｔｅ Ｃｉｒｃｕｉｔｓ．Ｖｏｌ．３２．Ｎｏ３．Ｍａｒｃｈ １９９７．Ｐ３１２～Ｐ３２０

【発明の概要】

【発明が解決しようとする課題】

【００４０】

しかしながら、非特許文献１のパイプライン型Ａ／Ｄコンバータ１００においては、出力ビットを大きくするために新たに追加したサンプルホールド用コンデンサ１２７ｂ、２３３ｂは前段のＡ／Ｄコンバータからのアナログ信号Ｖｉｎをサンプルしない。一般に、ボルツマン定数をｋ、絶対温度をＴ、Ａ／Ｄコンバータの演算増幅器に接続される総コンデンサ容量をＣａ、アナログ信号Ｖｉｎをサンプルするサンプルホールド用コンデンサの容量をＣｂとすると、Ａ／Ｄコンバータにおける入力換算の熱雑音Ｖｎは、

$$Vn=(k\times T\times Ca)^{0.5}/Cb$$

となる。

つまり、アナログ信号Ｖｉｎをサンプルしないコンデンサが増えることによって、パイプライン型Ａ／Ｄコンバータ１００の熱雑音が大きくなるという問題があった。

【００４１】

また、コンデンサが増えることによって、ホールド動作時の演算増幅器１２８、２３４の帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比が大きくなる。これにより、演算増幅器１２８、２３４の帰還量が減少する。一般に、パイプライン型Ａ／Ｄコンバータでは、線形性の要求を満たすために高い帰還量が必要となる。例えば、帰還量が２／３減少する場合、減少分を元に戻すためには、演算増幅器１２８のオープンループゲインを３／２倍しなければならない。演算増幅器のオープンループゲインを大きくするためには、一般にパイプライン型Ａ／Ｄコンバータ１００の消費電力や面積の増加を伴う。また、微細化プロセスでは低電源電圧化に伴い、高いオープンループゲインを実現すること自体が難しいという問題もある。

そこで、本発明は、上記の課題に鑑み、熱雑音および演算増幅器に要求されるオープンループゲインを大きくさせることなく、入力レンジおよびディジタル出力信号のビット数を大きくすることのできるパイプライン型Ａ／Ｄコンバータを提供することを目的とする。

【課題を解決するための手段】

【００４２】

本発明によるパイプライン型Ａ／Ｄコンバータは、上記の目的を達成するために、次のように構成される。

本発明による第１のパイプライン型Ａ／Ｄコンバータは、アナログ信号をサンプルホールドするサンプルホールド手段と、前記サンプルホールド手段によってホールドされた前記アナログ信号をディジタル信号に変換する複数のＡ／Ｄ変換手段と、複数の前記Ａ／Ｄ変換手段から出力された複数の前記ディジタル信号を合成する演算手段と、複数の前記Ａ／Ｄ変換手段によって行われる動作を制御する制御手段と、を備えるパイプライン型Ａ／Ｄコンバータであって、前記Ａ／Ｄ変換手段は、前記アナログ信号をディジタル信号に変換するＡ／Ｄ副変換手段と、前記Ａ／Ｄ副変換手段の変換結果に対応する基準電圧を生成する基準電圧生成手段と、前記基準電圧と前記アナログ信号との差分信号を増幅する信号増幅手段と、を備え、前記信号増幅手段は、所定の容量値をＣ（Ｃは正の数とする）とし、所定の分割数をＮ（Ｎは１以上の整数とする）とし、前記アナログ信号の増幅度をＭ（Ｍは２以上の整数とする）としたとき、夫々Ｃ／Ｎの容量値を有するＮ×Ｍ個の充放電素子と、スイッチング素子と、演算増幅器と、を備え、前記基準電圧生成手段は、所定の電圧をＮ倍した前記基準電圧を生成し、前記制御手段は、サンプル動作時に、Ｎ×Ｍ個の全ての前記充放電素子を用いて前記アナログ信号をサンプルし、ホールド動作時に、Ｎ×Ｍ個の全ての前記充放電素子のうちＮ個の前記充放電素子を用いて前記アナログ入力信号をＭ倍に増幅し、残りのＮ×（Ｍ－１）個の前記充放電素子を用いて増幅された前記アナログ入力信号に前記基準電圧生成手段により生成された所定の電圧をＮ倍した前記基準電圧を加減するように、動作を制御することを特徴とする。

【００４３】

上記の第１のパイプライン型Ａ／Ｄコンバータによれば、制御手段が、Ａ／Ｄ変換手段を構成するＮ×Ｍ個の全ての充放電素子を、アナログ信号のサンプルホールドするための充放電素子として用いて動作を行うように制御する。このため、アナログ信号のサンプルに用いない充放電素子が増えることにより発生する熱雑音を大きくすることがない。また、制御手段が、そのうちＮ個の充放電素子をアナログ信号を増幅するための帰還素子として用い、残りのＮ×（Ｍ－１）個の充放電素子を基準電圧を加減算するための素子として用いて動作を行うように制御する。このため、帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比が大きくならず、演算増幅器のループゲインが減少しない。よって、熱雑音および演算増幅器に要求されるオープンループゲインを大きくさせることなく、パイプライン型Ａ／Ｄコンバータの入力レンジおよびディジタル出力信号のビット数を大きくすることが可能となる。

【００４４】

本発明による第２のパイプライン型Ａ／Ｄコンバータは、前記充放電素子は、前記アナログ信号の入力端子と前記演算増幅器の反転入力端子との間に接続され、前記スイッチング素子は、前記アナログ信号の入力端子と前記充放電素子の入力端子との間に接続される第１のスイッチング素子と、前記演算増幅器の出力端子と前記充放電素子の入力端子との間に接続される第２のスイッチング素子と、前記基準電圧生成手段の出力端子と前記充放電素子の入力端子との間に接続される第３のスイッチング素子と、を備え、前記制御手段は、サンプル動作時に、前記第１のスイッチング素子を介して、Ｎ×Ｍ個の全ての前記充放電素子が前記アナログ信号の入力端子と前記演算増幅器の反転入力端子との間に接続され、ホールド動作時に、前記第２スイッチング素子を介してＮ×Ｍ個の全ての前記充放電素子のうちＮ個の前記充放電素子が前記演算増幅器の出力端子と反転入力端子との間に接続され、前記第３スイッチング素子を介して残りのＮ×（Ｍ－１）個の前記充放電素子が基準電圧生成手段の出力端子と前記演算増幅器の反転入力端子との間に接続されるように、前記第１～第３のスイッチング素子の電気的接続状態の切り替え動作を制御することを特徴とする。

【００４５】

上記の第２のパイプライン型Ａ／Ｄコンバータによれば、制御手段が、第１のスイッチング素子を電気的に接続状態にして、全ての充放電素子をアナログ信号の入力端子と演算

増幅器の反転入力端子との間に接続する。これにより、Ｎ×Ｍ個の全ての充放電素子を用いてアナログ信号のサンプル動作を行うことが可能となる。また、制御手段が、第２のスイッチング素子および第３のスイッチング素子を電気的に接続状態にして、Ｎ×Ｍ個の全ての充放電素子のうち、Ｎ個の充放電素子を演算増幅器の出力端子と反転入力端子との間に接続し、残りのＮ×（Ｍ－１）個の充放電素子を基準電圧生成手段の出力端子と演算増幅器の反転入力端子との間に接続する。これにより、Ｍ倍に増幅されたアナログ入力信号から、所定の電圧をＮ倍した基準電圧が加減算されて、アナログ信号が次段のＡ／Ｄ変換手段の入力レンジの範囲内に収まるように、アナログ信号のホールド動作を行うことが可能となる。

【００４６】

本発明による第３のパイプライン型Ａ／Ｄコンバータは、前記基準電圧生成手段は、前記所定の電圧を－Ｖｒｅｆ（Ｖ），０（Ｖ），＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧として、前記所定の電圧をＮ倍した前記基準電圧を生成することを特徴とする。

上記の第３のパイプライン型Ａ／Ｄコンバータによれば、基準電圧生成手段が、Ａ／Ｄコンバータの入力レンジに合わせて決定される所定の電圧を－Ｖｒｅｆ（Ｖ），０（Ｖ），＋Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧として、この所定の電圧をＮ倍した基準電圧を生成する。これにより、Ｍ倍に増幅されているアナログ信号に、所定の電圧をＮ倍した基準電圧を加減算することで、アナログ信号を次段のＡ／Ｄ変換手段に出力する際に、次段のＡ／Ｄ変換手段の入力レンジの範囲内に収めることが可能となる。

【００４７】

本発明による第４のパイプライン型Ａ／Ｄコンバータは、Ｎが１のとき、前記基準電圧生成手段は、前記所定の電圧をＬ（Ｌは１以上の整数とする）倍した前記基準電圧を生成し、前記制御手段は、サンプル動作時に、Ｍ個の全ての前記充放電素子を用いて前記アナログ信号をサンプルし、ホールド動作時に、Ｍ個の全ての前記充放電素子のうち１個の前記充放電素子を用いて前記アナログ入力信号をＭ倍に増幅し、残りのＭ－１個の前記充放電素子を用いて増幅された前記アナログ入力信号に前記基準電圧生成手段により生成された前記所定の電圧をＬ（Ｌは１以上の整数とする）倍した前記基準電圧を加減するように、動作を制御することを特徴とする。

【００４８】

上記の第４のパイプライン型Ａ／Ｄコンバータによれば、Ｎが１のとき、基準電圧生成手段が、所定の電圧をＬ（Ｌは１以上の整数とする）倍した基準電圧を生成する。このようなとき、制御手段が、サンプル動作時に、Ｍ個の全ての前記充放電素子を用いてアナログ信号をサンプルし、ホールド動作時に、Ｍ個の全ての充放電素子のうち１個の充放電素子を用いてアナログ入力信号をＭ倍に増幅し、残りのＭ－１個の充放電素子を用いて増幅されたアナログ入力信号に、上記の基準電圧を加減するように、動作を制御する。これにより、上記の各パイプライン型Ａ／Ｄコンバータと同様に、熱雑音および演算増幅器に要求されるオープンループゲインを大きくさせることなく、パイプライン型Ａ／Ｄコンバータの入力レンジおよびディジタル出力信号のビット数を大きくすることが可能となる。

【発明の効果】

【００４９】

本発明によれば、Ａ／Ｄ変換手段を構成するＮ×Ｍ個の全ての充放電素子を、アナログ信号をサンプルするための充放電素子として用いる。ここで、Ｍはアナログ入力信号の増幅度を示し、Ｎは充放電素子の従来技術からの分割数を示す。Ｎ＝１の場合が、従来技術におけるレンジを広げない場合の充放電素子の個数を示す。すべての充放電素子でアナログ信号をサンプルするため、アナログ信号のサンプルに用いない充放電素子が増えないため、従来技術によるレンジを広げない場合に比べて熱雑音を大きくさせない。また、そのうちＮ個の充放電素子をアナログ信号を増幅するための帰還素子として用い、残りのＮ×（Ｍ－１）個の充放電素子を基準電圧を加減算するために用いる。このため、帰還素子として用いられる充放電素子の容量に対する残りの充放電素子デンサの容量の比が変わらず、帰還量が減少しないため、演算増幅器に要求されるオープンループゲインを従来技術に

よるレンジを広げない場合に比べて大きくさせない。
それにも関わらず、分割数Ｎを大きくすることで、自由に制御可能な充放電素子の個数を増加させることが出来るため、熱雑音および演算増幅器に要求されるオープンループゲインを大きくすることなく、パイプライン型Ａ／Ｄコンバータの入出力レンジを大きくすることができる。
【図面の簡単な説明】
【００５０】
【図１】本実施形態に係るパイプライン型Ａ／Ｄコンバータ１０の構成を示すブロック図である。
【図２】担当する分解能が１．５ビットで、コンデンサの分割数が２の場合のＡ／Ｄコンバータ１２－１の構成を示すブロック図である。
【図３】担当する分解能が１．５ビットで、コンデンサの分割数が２の場合のＡ／Ｄコンバータ１２－２の構成を示すブロック図である。
【図４】担当する分解能が１．５ビットで、コンデンサの分割数が１の場合のＡ／Ｄコンバータ１２－１ｂの回路構成を示す回路図である。
【図５】担当する分解能が１．５ビットで、コンデンサの分割数が３の場合のＡ／Ｄコンバータ１２－１ｃの回路構成を示す回路図である。
【図６】Ａ／Ｄコンバータ１２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【図７】担当する分解能が２．５ビットで、コンデンサの分割数が２の場合のＡ／Ｄコンバータ１２－１ｄにおいて、入力レンジを１．７５倍した場合の回路構成を示す回路図である。
【図８】Ａ／Ｄコンバータ１２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【図９】担当する分解能が２．５ビットで、コンデンサの分割数が２の場合のＡ／Ｄコンバータ１２－１ｅにおいて、入力レンジを１．２５倍した場合の回路構成を示す回路図である。
【図１０】従来の一般的なパイプライン型Ａ／Ｄコンバータ１００の構成を示すブロック図である。
【図１１】担当する分解能が１．５ビットのＡ／Ｄコンバータ１０２－１の回路構成を説明する。図１１は、Ａ／Ｄコンバータ１０２－１の回路構成を示す回路図である。
【図１２】Ａ／Ｄコンバータ１０２－１のアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【図１３】担当する分解能が１．５ビットで、Ａ／Ｄコンバータ１０２－１ｂの回路構成を示す回路図である。
【図１４】Ａ／Ｄコンバータ１０２－１ｂのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【図１５】担当する分解能が２．５ビットで、Ａ／Ｄコンバータ１０２－１ｃの回路構成を示す回路図である。
【図１６】Ａ／Ｄコンバータ１０２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【図１７】担当する分解能が２．５ビットで、Ａ／Ｄコンバータ１０２－１ｄの回路構成を示す回路図である。
【図１８】Ａ／Ｄコンバータ１０２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。
【発明を実施するための形態】
【００５１】
以下に、本発明の好適な実施形態を添付図面に基づいて説明する。なお、以下の説明において参照する各図では、他の図と同等の構成要素は同一符号によって示す。
（パイプライン型Ａ／Ｄコンバータ１０の構成）

まず、図１を参照して、本実施形態に係るパイプライン型Ａ／Ｄコンバータ１０の構成を説明する。図１は、本実施形態に係るパイプライン型Ａ／Ｄコンバータ１０の構成を示すブロック図である。

【００５２】

図１に示すパイプライン型Ａ／Ｄコンバータ１０は、図１０に示したパイプライン型Ａ／Ｄコンバータ１００と同一の構成を備えて構成されるものであるが、Ａ／Ｄコンバータ１２－１～１２－ｋの内部の回路構成が、Ａ／Ｄコンバータ１０２－１～１０２－ｋの回路構成と異なる。

Ａ／Ｄコンバータ１２－１～１２－ｋのうち、最初のＡ／Ｄコンバータ１２－１のみが入力レンジを大きくするために必要な素子を有して構成される回路である。また、Ａ／Ｄコンバータ１２－２～１２－ｋは、全て同じ回路構成である。

【００５３】

なお、本実施形態では説明を分かりやすくするため、パイプライン型Ａ／Ｄコンバータ１０は、ＳビットのＡ／Ｄ変換処理を行い、Ａ／Ｄコンバータ１２－１～１２－ｋが担当する分解能はそれぞれ１．５ビットとし（この場合、入力信号は２倍に増幅される）、コンデンサの分割数は２（すなわち、Ｎ＝２）とし、Ｎ×Ｍ＝２×２＝４個のコンデンサを用いて、入力レンジを１．５倍に大きくするものとして説明する。つまり、パイプライン型Ａ／Ｄコンバータ１０は、アナログ入力信号ＡｉｎをＳ＋０．５ビットのディジタル出力信号Ｄｏｕｔに変換する。

【００５４】

（Ａ／Ｄコンバータ１２－１の構成）

続いて、図２を参照して、パイプライン型Ａ／Ｄコンバータ１０のＡ／Ｄコンバータ１２－１の構成について説明する。図２は、Ａ／Ｄコンバータ１２－１の構成を示すブロック図である。

図２に示すＡ／Ｄコンバータ１２－１は、図１１に示したＡ／Ｄコンバータ１０２－１と同様の構成を備えて構成されるものであるが、さらに、サンプルホールド用スイッチング素子１２１ｂ，１２４ｂおよびサンプルホールド用コンデンサ１２６ｂを備える。また、多値出力回路１３０は、Ａ／Ｄサブコンバータ１２９から出力されるアナログ信号Ｖｉｎに応じて決まるディジタル値に基づいて、－Ｎ×Ｖｒｅｆ（Ｖ）＝－２×Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｎ×Ｖｒｅｆ（Ｖ）＝＋２×Ｖｒｅｆ（Ｖ）のいずれかの１つの電圧を２組出力することができるようになっている。

【００５５】

サンプルホールド用スイッチング素子１２１ｂは、アナログ信号Ｖｉｎの入力端子とサンプルホールド用コンデンサ１２６ｂの入力側端子との間に接続される。サンプルホールド用スイッチング素子１２１ｂは、サンプルホールド用スイッチング素子１２１と同様に、アナログ信号Ｖｉｎのサンプルホールド動作を行うために電気的接続状態を接続状態または切断状態のいずれか一方に切り替えるためのものである。

【００５６】

また、サンプルホールド用スイッチング素子１２４ｂは、演算増幅器１２８の出力端子と、サンプルホールド用コンデンサ１２６ｂの入力側端子との間に接続される。サンプルホールド用スイッチング素子１２４ｂは、サンプルホールド用スイッチング素子１２４と同様に、アナログ信号Ｖｉｎのサンプルホールド動作を行うために電気的接続状態を接続状態または切断状態のいずれか一方に切り替えるためのものである。

【００５７】

Ａ／Ｄコンバータ１２－１のアナログ信号Ｖｉｎをサンプルするために用いるサンプルホールド用コンデンサの数は、図１１に示したＡ／Ｄコンバータ１０２－１のサンプルホールド用コンデンサの数の２倍である。但し、Ａ／Ｄコンバータ１２－１のサンプルホールド用コンデンサの容量値は、図１１に示したＡ／Ｄコンバータ１０２－１のサンプルホールド用コンデンサの容量値の半分である。このため、Ａ／Ｄコンバータ１２－１の４個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂの総容量は、図１

１に示したＡ／Ｄコンバータ１０２－１の２個のサンプルホールド用コンデンサ１２６，１２７の総容量と変わらない。

【００５８】

Ａ／Ｄコンバータ１２－１においても、その動作は、図１１に示したＡ／Ｄコンバータ１０２－１と変わらず、サンプル動作とホールド動作とを交互に行うものである。

まず、サンプル動作時に、サンプルホールド用スイッチング素子１２１，１２１ｂ，１２２，１２２ｂ，１２３が接続状態になり、サンプルホールド用スイッチング素子１２４，１２４ｂ，１２５，１２５ｂが切断状態になる。そして、４個全てのサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂを用いて、アナログ信号Ｖｉｎに対応する電荷をサンプルするとともに、Ａ／Ｄサブコンバータ１２９はアナログ信号Ｖｉｎを－２，－１，０，１，２のいずかの値にＡ／Ｄ変換して出力する。

【００５９】

Ａ／Ｄコンバータ１２－１の内部の４個のコンデンサ全てをサンプルホールド用コンデンサとして用いており、アナログ信号Ｖｉｎをサンプルしないコンデンサが１つもない。このため、アナログ信号Ｖｉｎをサンプルしないコンデンサが増えることによる熱雑音が、発生しない。

また、ホールド動作時には、サンプルホールド用スイッチング素子１２１，１２１ｂ，１２２，１２２ｂ，１２３が切断状態になり、サンプルホールド用スイッチング素子１２４，１２４ｂ，１２５，１２５ｂが接続状態になる。そして、２個のサンプルホールド用コンデンサ１２６，１２６ｂを演算増幅器１２８の出力端子と反転入力端子との間に接続して、帰還素子として用いることでアナログ信号Ｖｉｎの電圧を２倍に増幅させる。さらに、残りの２個のサンプルホールド用コンデンサ１２７，１２７ｂには、Ａ／Ｄサブコンバータ１２９の出力結果に応じて、多値出力回路１３０から－２×Ｖｒｅｆ（Ｖ），０Ｖ，＋２×Ｖｒｅｆ（Ｖ）のいずれか１つの２倍された基準電圧を出力する。

【００６０】

Ａ／Ｄコンバータ１２－１の内部の４個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂのうち、２個のサンプルホールド用コンデンサ１２６，１２６ｂを演算増幅器１２８の出力端子と反転入力端子との間に接続される帰還素子として用いている。このため、演算増幅器１２８の帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比が、従来技術のパイプライン型Ａ／Ｄコンバータ１００のように大きくならない。よって、帰還量が減少しないので、演算増幅器１２８に要求されるオープンループゲインを大きくしなくても良い。

【００６１】

また、帰還素子として用いない残りの２個のサンプルホールド用コンデンサ１２７，１２７ｂに対して、Ａ／Ｄコンバータ１２－１における多値出力回路１３０から、２倍の基準電圧を出力する。このため、２倍に増幅されたアナログ入力Ｖｉｎに、２倍の基準電圧が加減算される。このため、Ａ／Ｄコンバータ１２－１の入力レンジが１．５倍であっても、次段のＡ／Ｄコンバータ１２－２の入力レンジの範囲内に収まるようにアナログ信号Ｖｏｕｔを出力することができる。

【００６２】

このように、サンプル動作時には、全てのコンデンサを用いてアナログ信号Ｖｉｎのサンプルを行っているため、Ａ／Ｄコンバータ１２－１の入力レンジを大きくしても、熱雑音が大きくならない。また、ホールド動作時には、４個のうちの２個のコンデンサを演算増幅器１２８の出力端子と反転入力端子との間の帰還素子として用いているため、Ａ／Ｄコンバータ１２－１の入力レンジを大きくしても、帰還量が変わらず、その結果、演算増幅器１２８に要求されるオープンループゲインを大きくする必要もない。上述したようなＡ／Ｄコンバータ１２－１によって、本来Ｓビットのディジタル出力信号Ｄｏｕｔを出力するパイプライン型Ａ／Ｄコンバータ１０であっても、入力信号レンジを拡大すると共に、Ｓ＋αビット（αは０以上）のディジタル出力信号Ｄｏｕｔを出力することができる。

【００６３】

なお、Ａ／Ｄコンバータ１２－２～１２－ｋについては、図１１に示したＡ／Ｄコンバータ１０２－１と同じ回路構成であっても良いが、Ａ／Ｄコンバータ１２－１で用いている±２×Ｖｒｅｆの電圧源をＡ／Ｄコンバータ１２－２～１２－ｋでも利用することができるような回路構成とする良い。

そして、Ａ／Ｄコンバータ１２－１のアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係は、図１４と同じである。

【００６４】

図中に矢印で示すように、このＡ／Ｄコンバータ１２－１の入力レンジは、１．５倍に大きくなっている。但し、Ａ／Ｄコンバータ１２－１の出力レンジは、Ａ／Ｄコンバータ１２－２の入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１２－１が請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータの入力レンジが大きくなったことを意味する。最初のＡ／Ｄコンバータ１２－１は、Ｓ桁のディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１２－１の入力レンジが１．５倍に大きくなると、パイプライン型Ａ／Ｄコンバータ１０全体の入力レンジが１．５倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋０．５ビットに大きくすることができる。

【００６５】

（Ａ／Ｄコンバータ１２－２～１２－ｋの構成）

続いて、図３を参照して、パイプライン型Ａ／Ｄコンバータ１０が備える各Ａ／Ｄコンバータ１２－２～１２－ｋの構成について説明する。なお、Ａ／Ｄコンバータ１２－２～１２－ｋは同一の素子を有して構成される同じ回路であるため、Ａ／Ｄコンバータ１２－２の構成について説明する。図３は、Ａ／Ｄコンバータ１２－２の構成を示すブロック図である。

図３に示すＡ／Ｄコンバータ１２－２は、図２に示したＡ／Ｄコンバータ１２－１と同じ素子を有して構成される回路であるが、多値出力回路１３０が多値出力用スイッチング素子１３１ｂ～１３３ｂを有しておらず、サンプルホールド用スイッチング素子１２５ｂによって０Ｖが固定で出力されるように構成されている点が異なる。

【００６６】

Ａ／Ｄサブコンバータ１２９は、図示しないコンパレータを２個備えているものを用いており、アナログ信号Ｖｉｎに応じて－１，０，１の３値のいずれかの１つの値を出力することができるようになっている。このため、多値出力回路１３０は、Ａ／Ｄサブコンバータ１２１の出力結果に基づいて、－２×Ｖｒｅｆ（Ｖ），０Ｖ，＋２×Ｖｒｅｆ（Ｖ）のいずれかの１つの基準電圧と、０Ｖの基準電圧とを２組出力することができる。

【００６７】

Ａ／Ｄコンバータ１２－２においても、Ａ／Ｄコンバータ１２－１のアナログ信号Ｖｉｎをサンプルするために用いるサンプルホールド用コンデンサの数は、図１１に示したＡ／Ｄコンバータ１０２－１のサンプルホールド用コンデンサの数の２倍である。但し、上述したように、Ａ／Ｄコンバータ１２－１のサンプルホールド用コンデンサの容量値は、図１１に示したＡ／Ｄコンバータ１０２－１のサンプルホールド用コンデンサの容量値の半分である。このため、Ａ／Ｄコンバータ１２－１の４個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂの総容量は、図１１に示したＡ／Ｄコンバータ１０２－１の２個のサンプルホールド用コンデンサ１２６，１２７の総容量と変わらない。

【００６８】

また、Ａ／Ｄコンバータ１２－２における動作も、Ａ／Ｄコンバータ１２－１と同じであって、サンプル動作とホールド動作とを交互に行うものである。

まず、サンプル動作時に、サンプルホールド用スイッチング素子１２１，１２１ｂ，１２２，１２２ｂ，１２３が接続状態になり、サンプルホールド用スイッチング素子１２４，１２４ｂ，１２５，１２５ｂが切断状態になる。そして、４個全てのサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂを用いて、アナログ信号Ｖｉｎに対応する電荷をサンプルする。同時に、Ａ／Ｄサブコンバータ１２９は、アナログ信号Ｖｉｎ

に応じて－１，０，１のいずれかの１つの値を出力する。

【００６９】

また、ホールド動作時には、サンプルホールド用スイッチング素子１２１，１２１ｂ，１２２，１２２ｂ，１２３が切断状態になり、サンプルホールド用スイッチング素子１２４，１２４ｂ，１２５，１２５ｂが接続状態になる。そして、２個のサンプルホールド用コンデンサ１２６，１２６ｂを演算増幅器１２８の出力端子と反転入力端子との間に接続される帰還素子として用いることで、アナログ信号Ｖｉｎを２倍に増幅する。さらに、サンプルホールド用コンデンサ１２７には、Ａ／Ｄサブコンバータ１２９の出力結果に応じて－２×Ｖｒｅｆ（Ｖ），０Ｖ，＋２×Ｖｒｅｆ（Ｖ）のいずれか１つの２倍された基準電圧と、０Ｖの基準電圧との２組がそれぞれ出力される。これにより、２倍に増幅されたアナログ入力信号から、２組の基準電圧が加減算されて、アナログ信号Ｖｏｕｔが次段のＡ／Ｄコンバータ１２－３の入力レンジの範囲内に収まるようになっている。

【００７０】

上述したように、Ａ／Ｄコンバータ１２－２は、±２×Ｖｒｅｆの電圧源を利用することができるようにした回路構成であって、それ以外の点は、入力レンジを大きくしていない図１１に示したＡ／Ｄコンバータ１０２－１と同じである。従って、Ａ／Ｄコンバータ１２－２の回路の伝達特性、熱雑音の発生する量、演算増幅器１２８に要求されるオープンループゲインについても、図１１に示したＡ／Ｄコンバータ１０２－１と全く同じである。

【００７１】

（第１の変形例）

本実施形態におけるパイプライン型Ａ／ＤコンバータＡ／Ｄコンバータ１２－１～１２－ｋは、担当する分解能が１．５ビットで（この場合、入力信号は２倍に増幅される）、コンデンサの分割数は２（すなわち、Ｎ＝２）とした場合の構成であったが、分割する対象は、必ずしもサンプルホールド用コンデンサに限定されない。

図４は、担当する分解能が１．５ビットで（この場合、入力信号は２倍に増幅される）、コンデンサの分割数は１（すなわち、Ｎ＝１）とした場合のＡ／Ｄコンバータ２２－１の回路構成を示す回路図である。

【００７２】

図４に示すＡ／Ｄコンバータ１２－１ｂは、図２に示したＡ／Ｄコンバータ１２－１と同様の素子を有して構成される回路であるが、特に、多値出力回路１３０が－２×Ｖｒｅｆ（Ｖ），－１×Ｖｒｅｆ（Ｖ），０Ｖ，＋１×Ｖｒｅｆ（Ｖ），＋２×Ｖｒｅｆ（Ｖ）のいずれか１つの基準電圧を出力する点が異なる。つまり、分割数が１（Ｎ＝１）であるときには、多値出力回路１３０が、－Ｖｒｅｆ（Ｖ），０Ｖ，＋Ｖｒｅｆ（Ｖ）のいずれか１つの電圧をＬ倍（Ｌは１以上の整数とする）し、その電圧を基準電圧して出力するようになっている。

【００７３】

Ａ／Ｄサブコンバータ１２９は、図示しないコンパレータを４個備えているものを用いており、アナログ信号Ｖｉｎに応じて－２，－１，０，１，２の５値のいずれかの１つの値を出力することができるようになっている。但し、Ａ／Ｄコンバータ１２－１ｂのサンプルホールド用コンデンサの容量値は、図１１に示したＡ／Ｄコンバータ１０２－１のサンプルホールド用コンデンサの容量値と同じである。Ａ／Ｄコンバータ２２－１の１個のサンプルホールド用コンデンサ１２６，１２７の総容量は、図１１に示したＡ／Ｄコンバータ１０２－１の２個のサンプルホールド用コンデンサ１２６，１２７の総容量と変わらない。

【００７４】

そのサンプルホールド用コンデンサ１２６，１２７の２個全てをアナログ入力信号Ｖｉｎのサンプルに用いる。また、２個のサンプルホールド用コンデンサ１２６，１２７のうち、１個のサンプルホールド用コンデンサ１２６を帰還素子として用いる。残りの１個のサンプルホールド用コンデンサ１２７に対して、多値出力回路１３０から－２×Ｖｒｅｆ

（Ｖ），－１×Ｖｒｅｆ（Ｖ），０Ｖ，＋１×Ｖｒｅｆ（Ｖ），＋２×Ｖｒｅｆ（Ｖ）のいずれか１つの基準電圧を出力する。

【００７５】

そして、Ａ／Ｄコンバータ１２－１ｂで、図２に示したＡ／Ｄコンバータ１２－１と同様にサンプル動作とホールド動作とを繰り返す。すると、２倍に増幅されたアナログ入力信号に、２倍の基準電圧が加減算されて、アナログ信号Ｖｏｕｔが次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようになっている。

そして、Ａ／Ｄコンバータ１２－１ｂのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係は、図１４と同じである。

【００７６】

図中に矢印で示すように、このＡ／Ｄコンバータ１２－１ｂの入力レンジは、１．５倍に大きくなっている。但し、Ａ／Ｄコンバータ１２－１ｂの出力レンジは、Ａ／Ｄコンバータ１２－２の入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１２－１ｂが請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータ１０の入力レンジが大きくなったことを意味する。最初のＡ／Ｄコンバータ１２－１ｂは、Ｓ桁のディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１２－１ｂの入力レンジが１．５倍に大きくなると、パイプライン型Ａ／Ｄコンバータ１０全体の入力レンジが１．５倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋０．５ビットに大きくすることができる。

【００７７】

上述したように、サンプルホールド用コンデンサの数を増やさずに、全てのサンプルホールド用コンデンサを用いてアナログ信号Ｖｉｎのサンプルを行う。また、そのうち半数のサンプルホールド用コンデンサをアナログ信号Ｖｉｎを増幅するための帰還素子として用いて、残りのサンプルホールド用コンデンサを基準電圧を加減算するための素子として用いる。従って、アナログ信号Ｖｉｎのサンプルしないコンデンサはない。また、演算増幅器１２８の帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比は変わらないため、帰還量は減少しない。このため、演算増幅器１２８に要求されるオープンループゲインを大きくさせることなく、パイプライン型Ａ／Ｄコンバータ１０の入力レンジを拡大すると共に、ディジタル出力信号のビット数を大きくすることができる。

【００７８】

（第２の変形例）

本実施形態におけるパイプライン型Ａ／Ｄコンバータ１０のＡ／Ｄコンバータ１２－１～１２－ｋは、担当する分解能が１．５ビットで（この場合、入力信号は２倍に増幅される）、コンパレータ分割数は２（すなわち、Ｎ＝２）とした場合の構成であったが、コンパレータの分割数は２に限定されない。

図５は、担当する分解能が１．５ビットで（この場合、入力信号は２倍に増幅される）、コンパレータ分割数は３（すなわち、Ｎ＝３）とした場合のＡ／Ｄコンバータ１２－１ｃの回路構成を示す回路図である。

【００７９】

図５に示すＡ／Ｄコンバータ１２－１ｃは、図２に示したＡ／Ｄコンバータ１２－１と同様の素子を有して構成される回路であるが、さらに、サンプルホールド用スイッチング素子１２１ｃ，１２２ｃ，１２４ｃ，１２５ｃを備えている点、サンプルホールド用コンデンサ１２６ｃ、１２７ｃを備えている点、多値出力回路１３０が３個のスイッチング素子１３１ｃ，１３２ｃ，１３３ｃを備えている点が異なる。つまり、Ａ／Ｄコンバータ１２－１ｃは、Ｎ＝３とし、Ｍ＝２とし、Ｎ×Ｍ＝３×２＝６個のコンデンサを用いて、入力レンジを２倍に増幅する。

【００８０】

Ａ／Ｄサブコンバータ１２９は、図示しないコンパレータを６個備えているものを用いており、アナログ信号Ｖｉｎに応じて－３，－２，－１，０，１，２，３の７値のいずれ

かの１つの値を出力することができるようになっている。但し、Ａ／Ｄコンバータ１２－１ｃのサンプルホールド用コンデンサの容量値は、図１１に示したＡ／Ｄコンバータ１０２－２のサンプルホールド用コンデンサの容量値の１／Ｎ＝１／３である。Ａ／Ｄコンバータ１２－１ｃの６個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２６ｃ，１２７，１２７ｂ，１２７ｃの総容量は、図１１に示したＡ／Ｄコンバータ１０２－２の２個のサンプルホールド用コンデンサ１２６，１２７の総容量と変わらない。

【００８１】

そのサンプルホールド用コンデンサ１２６，１２７，１２６ｂ，１２７ｂ，１２６ｃ，１２７ｃの６個全てをアナログ入力信号Ｖｉｎのサンプルに用いる。また、６個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２６ｃ，１２７，１２７ｂ，１２７ｃのうち、３個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２６ｃを帰還素子として用いる。残りの３個のサンプルホールド用コンデンサ１２７，１２７ｂ，１２７ｃに対して、多値出力回路１３０から－３×Ｖｒｅｆ（Ｖ），０Ｖ，＋３×Ｖｒｅｆ（Ｖ）のいずれか１つの基準電圧を３組出力する。

【００８２】

そして、Ａ／Ｄコンバータ１２－１ｃで、図２に示したＡ／Ｄコンバータ１２－１と同様にサンプル動作とホールド動作とを繰り返す。すると、２倍に増幅されたアナログ入力信号に、３組の３倍の基準電圧が加減算されて、アナログ信号Ｖｏｕｔが次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようになっている。

続いて、図６を参照して、Ａ／Ｄコンバータ１２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図６は、Ａ／Ｄコンバータ１２－１ｃのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図６に示すグラフの横軸は、Ａ／Ｄコンバータ１２－１ｃに入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１２－１ｃから出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００８３】

図中に矢印で示すように、このＡ／Ｄコンバータ１２－１ｃの入力レンジは、図１１に示したＡ／Ｄコンバータ１０２－１の入力レンジよりも２倍大きくなっている。但し、Ａ／Ｄコンバータ１２－１ｃの出力レンジは、Ａ／Ｄコンバータ１２－２の入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１２－１ｃが請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータの入力レンジが大きくなったことを意味する。最初のＡ／Ｄコンバータ１２－１ｃは、Ｓ桁のディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１２－１ｃの入力レンジが２倍に大きくなると、パイプライン型Ａ／Ｄコンバータ１０全体の入力レンジが２倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋１ビットに大きくすることができる。

【００８４】

上述したように、サンプルホールド用コンデンサの数を増やしても、全てのサンプルホールド用コンデンサを用いてアナログ信号Ｖｉｎのサンプルを行う。また、そのうち半数の３個のサンプルホールド用コンデンサをアナログ信号Ｖｉｎを増幅するための帰還素子として用い、残りの３個のサンプルホールド用コンデンサを基準電圧を加減算するために用いる。従って、サンプルホールド用コンデンサの数が増えても、アナログ信号Ｖｉｎのサンプルしないコンデンサはない。また、サンプルホールド用コンデンサの数が増えても、演算増幅器１２８の帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比は変わらないため、帰還量は減少しない。このため、演算増幅器１２８に要求されるオープンループゲインを大きくさせることなく、パイプライン型Ａ／Ｄコンバータ１０の入力レンジを拡大すると共に、ディジタル出力信号のビット数を大きくすることができる。

【００８５】

（第３の変形例）

本実施形態におけるパイプライン型Ａ／Ｄコンバータ１０のＡ／Ｄコンバータ１２－１～１２－ｋは、各々が担当する分解能が１．５ビット（この場合、入力信号は２倍に増幅）の構成であったが、各々が担当する分解能は１．５ビットに限定されない。

図７は、担当する分解能が２．５ビットで（この場合、入力信号は４倍に増幅される）、コンパレータ分割数は２（すなわち、Ｎ＝２）とした場合のＡ／Ｄコンバータ１２－１ｄの回路構成を示す回路図である。

【００８６】

図７に示すＡ／Ｄコンバータ１２－１ｄは、図２に示したＡ／Ｄコンバータ１２－１と同様の素子を有して構成される回路であるが、さらに、サンプルホールド用スイッチング素子１２２ｃ～１２２ｆ，１２５ｃ～１２５ｆを備えている点、サンプルホールド用コンデンサ１２７ｃ～１２７ｆを備えている点、多値出力回路１３０が１８個の多値出力用スイッチング素子１３１ｃ～１３１ｆ，１３２ｃ～１３２ｆ，１３３ｃ～１３３ｆを備えている点が異なる。つまり、Ａ／Ｄコンバータ１２－１ｄは、Ｎ×Ｍ＝２×４＝８個のコンデンサを用いて、入力レンジを４倍に大きくする。

【００８７】

Ａ／Ｄサブコンバータ１２９は、図示しないコンパレータを６個備えているものを用いており、アナログ信号Ｖｉｎに応じて－６，－５，－４，－３，－２，－１，０，１，２，３，４，５，６の１３値のいずれかの１つの値を出力することができるようになっている。但し、Ａ／Ｄコンバータ１２－１ｄのサンプルホールド用コンデンサの容量値は、図１５に示したＡ／Ｄコンバータ１０２－１ｃのサンプルホールド用コンデンサの容量値の１／Ｎ＝１／２である。Ａ／Ｄコンバータ１２－１ｄの８個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂ～１２７ｆの総容量は、図１５示したＡ／Ｄコンバータ１０２－１ｃの４個のサンプルホールド用コンデンサ２２１～２２４の総容量と変わらない。

【００８８】

そのサンプルホールド用コンデンサ１２６，１２７，１２６ｂ，１２７ｂ，１２７ｃ～１２７ｆの８個全てをアナログ入力信号Ｖｉｎのサンプルに用いる。また、８個のサンプルホールド用コンデンサ１２６，１２６ｂ，１２７，１２７ｂ～１２７ｆのうち、２個のサンプルホールド用コンデンサ１２６，１２６ｂを帰還素子として用いる。残りの６個のサンプルホールド用コンデンサ１２７，１２７ｂ～１２７ｆに対して、多値出力回路１３０から－２×Ｖｒｅｆ（Ｖ），０Ｖ，＋２×Ｖｒｅｆ（Ｖ）のいずれか１つの基準電圧を６組出力する。

【００８９】

そして、Ａ／Ｄコンバータ１２－１ｄで、図２に示したＡ／Ｄコンバータ１２－１と同様にサンプル動作とホールド動作とを繰り返す。すると、４倍に増幅されたアナログ入力信号に、４組の２倍の基準電圧が加減算されて、アナログ信号Ｖｏｕｔが次段のＡ／Ｄコンバータの入力レンジの範囲内に収まるようになっている。

続いて、図８を参照して、Ａ／Ｄコンバータ１２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を説明する。図８は、Ａ／Ｄコンバータ１２－１ｄのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係を示すグラフである。

図８に示すグラフの横軸は、Ａ／Ｄコンバータ１２－１ｄに入力されるアナログ信号Ｖｉｎの電圧を示している。また、縦軸は、Ａ／Ｄコンバータ１２－１ｄから出力されるアナログ信号Ｖｏｕｔの電圧を示している。

【００９０】

図中に矢印で示すように、このＡ／Ｄコンバータ１２－１ｄの入力レンジは、図１５に示したＡ／Ｄコンバータ１０２－１ｃよりも１．７５倍大きくなっている。但し、Ａ／Ｄコンバータ１２－１ｄの出力レンジは、Ａ／Ｄコンバータ１２－２の入力レンジの範囲内に収まっている。これは、このＡ／Ｄコンバータ１２－１ｄが請け負うビットに応じた分だけ、パイプライン型Ａ／Ｄコンバータの入力レンジが大きくなったことを意味する。最

初のＡ／Ｄコンバータ１２－１ｄは、Ｓ桁のディジタル出力信号Ｄｏｕｔのうちの最上位ビットを請け負っている。このため、最初のＡ／Ｄコンバータ１２－１ｄの入力レンジが１．７５倍大きくなると、パイプライン型Ａ／Ｄコンバータ１０全体の入力レンジが１．７５倍に大きくなり、ディジタル出力信号ＤｏｕｔをＳ＋０．７５ビットに大きくすることができる。

尚、ここまでの広さの自段の入力レンジを必要としない場合は、多値出力回路１３０のスイッチング素子の個数を減らして、回路規模を小さくすることもできる。

【００９１】

図９は、入力レンジを図１５に示したＡ／Ｄコンバータ１０２－１ｃの入力レンジの１．２５倍大きくしたＡ／Ｄコンバータ１０２－１ｅの回路構成を示す回路図である。図９に示すＡ／Ｄコンバータ１０２－１ｅは、図７に示したＡ／Ｄコンバータ１２－１ｄが有していた多値出力回路１３０の６個の多値出力用スイッチング素子１３１ｅ，１３２ｅ，１３３ｅ，１３１ｆ，１３２ｆ，１３３ｆが削除され、サンプルホールド用コンデンサ１２７ｅ，１２７ｆの入力端子がサンプルホールド用スイッチ１２５ｅ，１２５ｆを介して接地されている。この場合、Ａ／Ｄコンバータ１２－１ｅのアナログ信号Ｖｉｎの入力レンジと、アナログ信号Ｖｏｕｔの出力レンジとの関係は、図１８で示したグラフと全く同じとなる。

【００９２】

上述したように、サンプルホールド用コンデンサの数を増やしても、全てのサンプルホールド用コンデンサを用いてアナログ信号Ｖｉｎのサンプルを行う。また、そのうち２個のサンプルホールド用コンデンサをアナログ信号Ｖｉｎを増幅するための帰還素子として用い、残りの６個のサンプルホールド用コンデンサを基準電圧を加減算するための素子として用いる。従って、サンプルホールド用コンデンサの数が増えても、アナログ信号Ｖｉｎのサンプルしないコンデンサはない。また、サンプルホールド用コンデンサの数が増えても、演算増幅器１２８の帰還素子として用いられるコンデンサの容量に対する残りのコンデンサの容量の比は変わらないため、帰還量は減少しない。このため、演算増幅器１２８に要求されるオープンループゲインを大きくさせることなく、パイプライン型Ａ／Ｄコンバータ１０の入力レンジを拡大すると共に、ディジタル出力信号Ｄｏｕｔのビット数を大きくすることができる。

【００９３】

（まとめ）

本実施形態におけるパイプライン型Ａ／Ｄコンバータ１０においては、Ａ／Ｄコンバータ１２－１を構成するサンプルホールド用コンデンサの個数を、従来技術で必要なコンデンサの個数Ｍ個（Ｍはアナログ信号の増幅度）からＮ分割し、さらに基準電圧をＮ倍することで、基準電圧を加減算するために用いることが出来るコンデンサの数を増やしている。その結果、入力レンジを広げ、ディジタル出力信号のビット数を大きくすることを可能とする。この場合、全てのコンデンサでアナログ信号Ｖｉｎをサンプルするため、入力レンジを広げたことによる熱雑音の増加は生じない。さらに、アナログ信号Ｖｉｎを増幅するための帰還素子として用いるコンデンサと、残りのコンデンサの比はコンデンサを分割する前後で変わらないため、入力レンジを広げたことにより、演算増幅器に要求されるオープンループゲインを増加させることがない。

また、必ずしもサンプルホールド用のコンデンサを分割するのに限らず、基準電圧を分割（多く持つ）することにより、同様の特性を得ることが可能である。

【産業上の利用可能性】

【００９４】

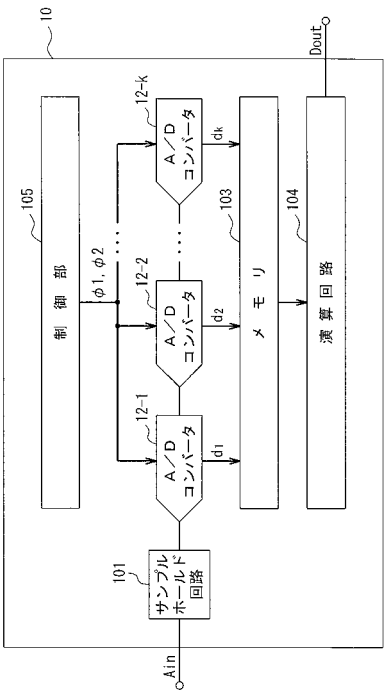
特に、アナログ信号からディジタル信号への変換処理を必要とする、ビデオカメラ、オーディオ機器等の電子機器用のパイプライン型Ａ／Ｄコンバータとして利用することができる。

【符号の説明】

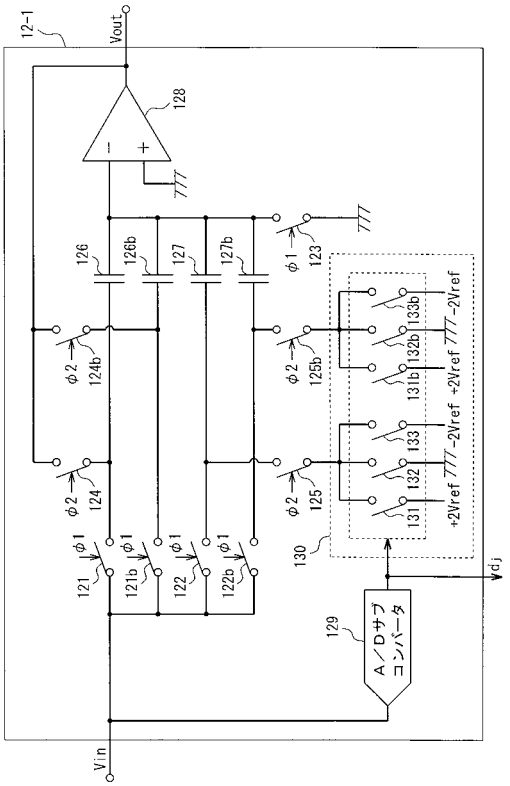
【００９５】

１０　パイプライン型Ａ／Ｄコンバータ
１０１　サンプルホールド回路
１２－１～１２－ｋ，１２－１ｂ～１２－１ｄ　Ａ／Ｄコンバータ
１０３　メモリ
１０４　演算回路
１０５　制御部
１２１～１２５，１２１ｂ，１２２ｂ，１２４ｂ，１２５ｂ　サンプルホールド用スイッチング素子
１２６，１２７，１２６ｂ，１２７ｂ　サンプルホールド用コンデンサ
１２８　演算増幅器
１２９　Ａ／Ｄサブコンバータ
１３０　多値出力回路
１３１～１３５，１３１ｂ～１３１ｄ，１３２ｂ～１３２ｄ，１３３ｂ～１３３ｄ，１３４ｂ～１３４ｄ，１３５ｂ～１３５ｄ　多値出力用スイッチング素子

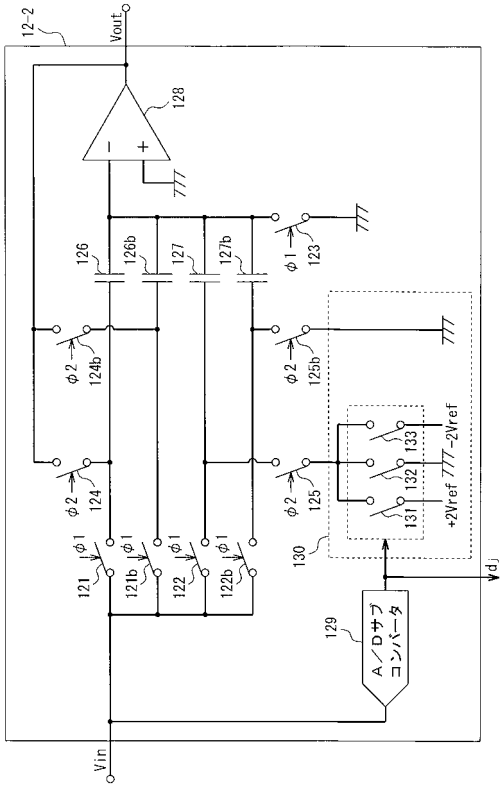
【図１】



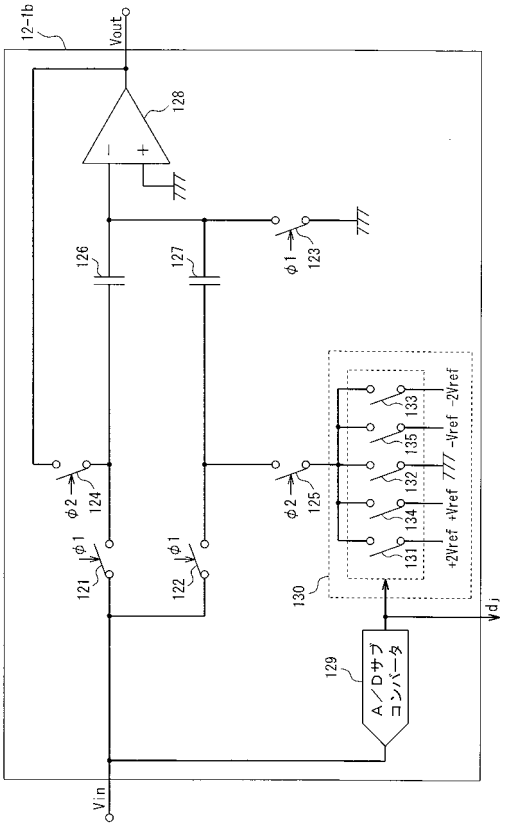
【図２】



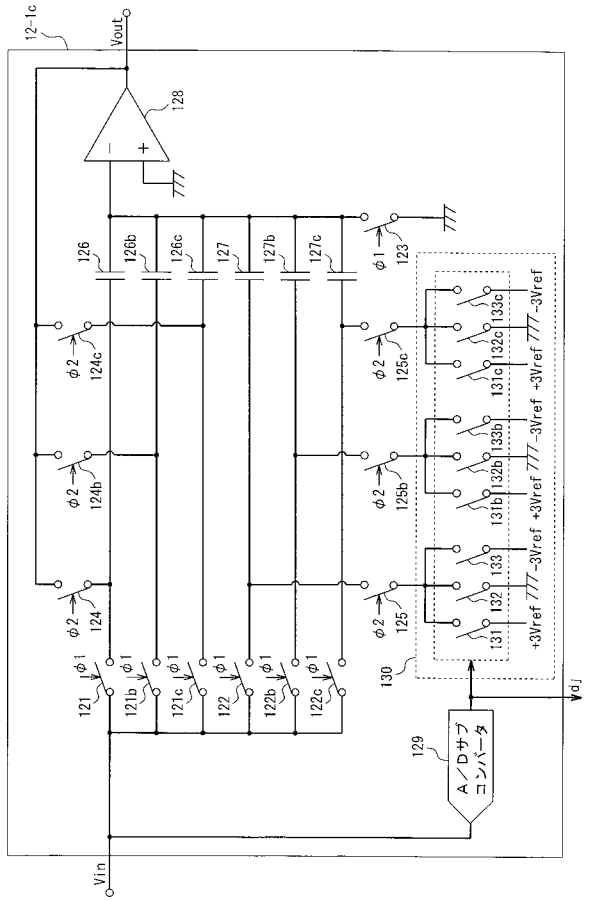
【図３】


12-2
Vout
128
126
126b
127
127b
φ1
123
φ2
124b
φ2
125b
φ2
124
φ2
125
φ1
121
121b
122
122b
130
131
132
133
+2Vref
-2Vref
129
A／Dサブコンバータ
Vdj
Vin

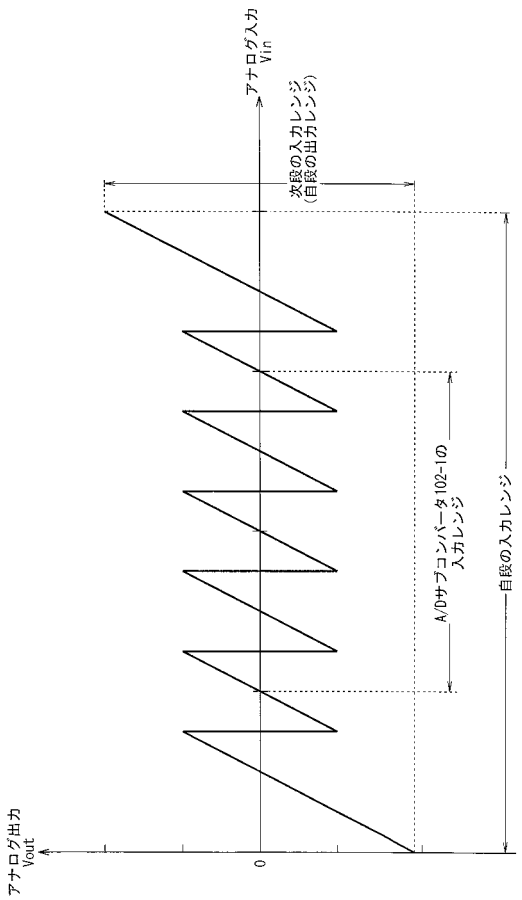
【図４】


12-1b
Vout
128
126
127
φ1
123
φ2
124
φ2
125
φ1
121
122
130
131
132
133
134
135
+2Vref
+Vref
-Vref
-2Vref
129
A／Dサブコンバータ
Vdj
Vin

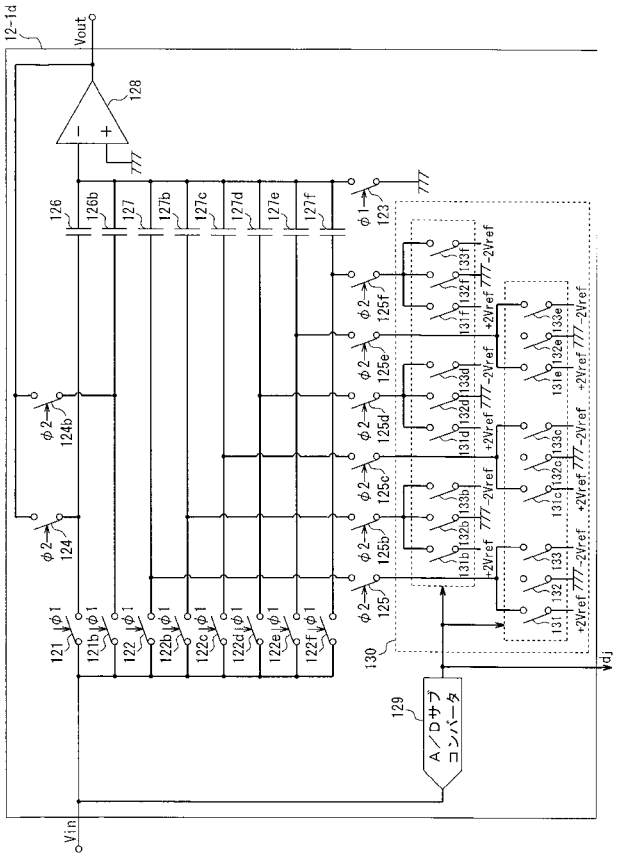
【図５】


12-1c
Vout
128
126
126b
126c
127
127b
127c
φ1
123
φ2
124c
φ2
124b
φ2
124
φ2
125c
φ2
125b
φ2
125
φ1
121
121b
121c
122
122b
122c
130
131c
132c
133c
131b
132b
133b
131
132
133
+3Vref
-3Vref
129
A／Dサブコンバータ
Vdj
Vin

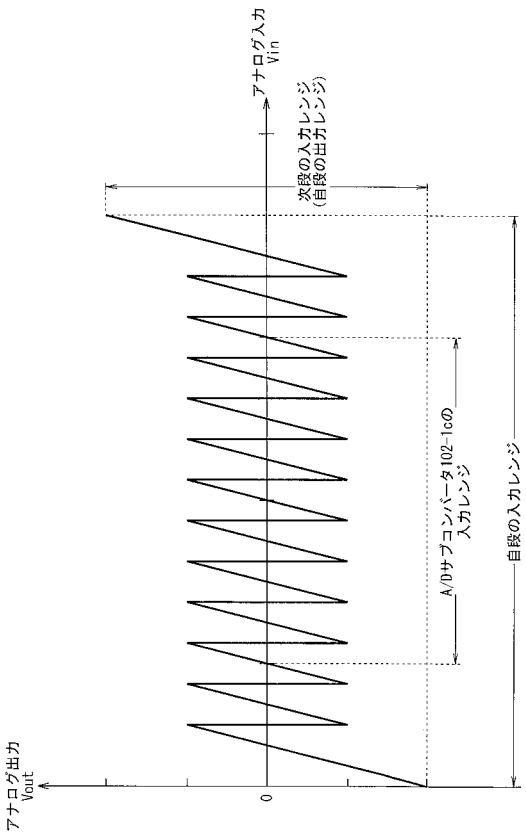
【図６】


アナログ入力
Vin
次段の入力レンジ
（自段の出力レンジ）
A/Dサブコンバータ102-1の
入力レンジ
自段の入力レンジ
0
アナログ出力
Vout

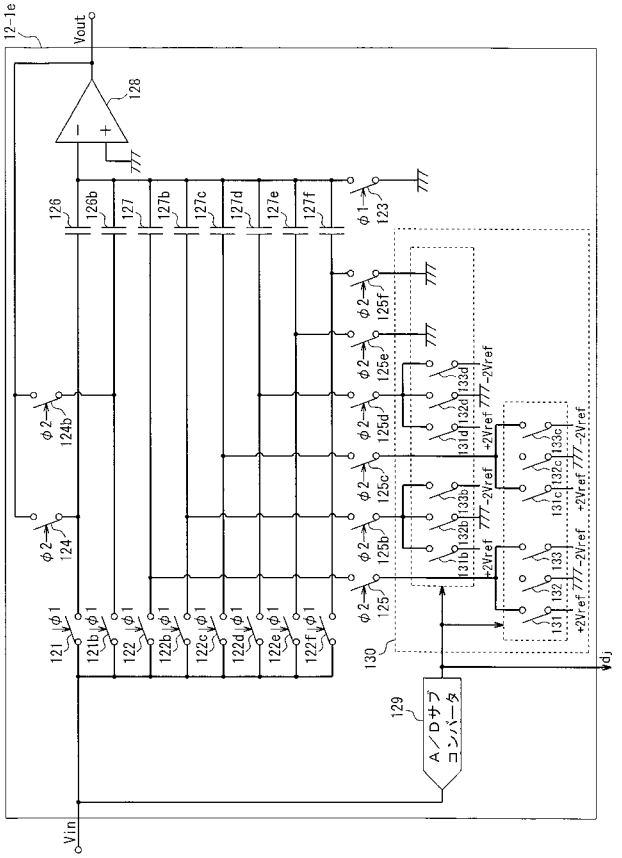
【図７】


12-1d
Vout
128
126
126b
127
127b
127c
127d
127e
127f
123
124
124b
125
125b
125c
125d
125e
125f
121
121b
122
122b
122c
122d
122e
122f
130
129
A／Dサブコンバータ
dj
Vin

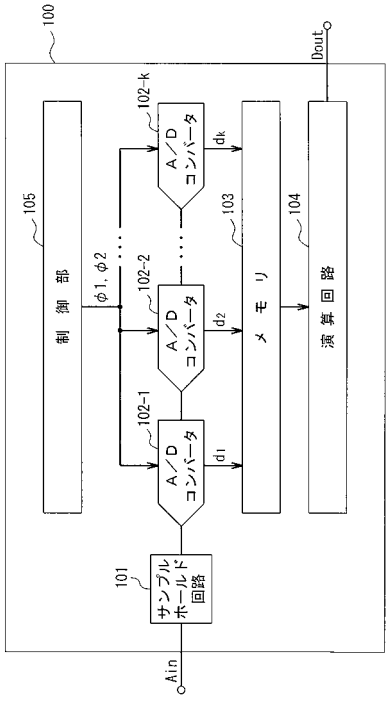
【図８】


アナログ入力
Vin
次段の入力レンジ
(自段の出力レンジ)
A/Dサブコンバータ102-1cの
入力レンジ
自段の入力レンジ
アナログ出力
Vout
0

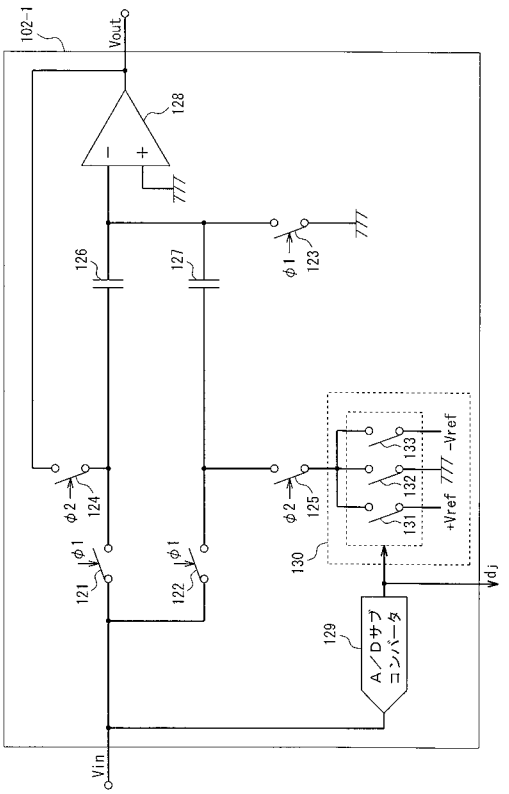
【図９】


12-1e
Vout
128
126
126b
127
127b
127c
127d
127e
127f
123
124
124b
125
125b
125c
125d
125e
125f
121
121b
122
122b
122c
122d
122e
122f
130
129
A／Dサブコンバータ
dj
Vin

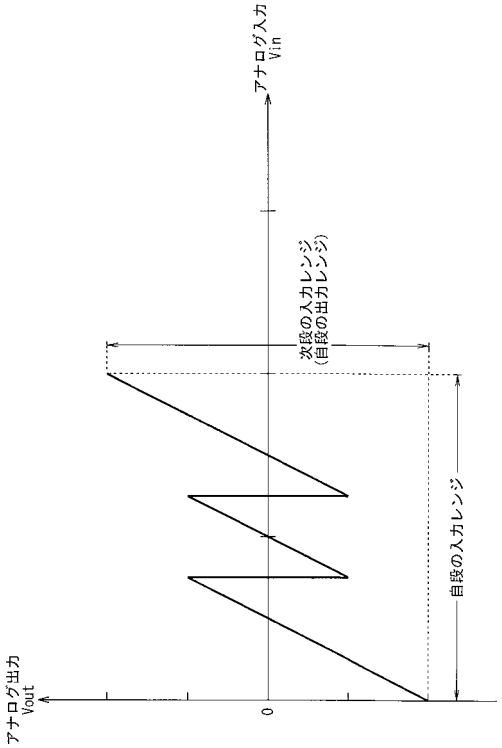
【図１０】


100
Dout
制御部
φ1, φ2
102-k
102-2
102-1
A／Dコンバータ
dk
d2
d1
103
メモリ
104
演算回路
105
101
サンプルホールド回路
Ain

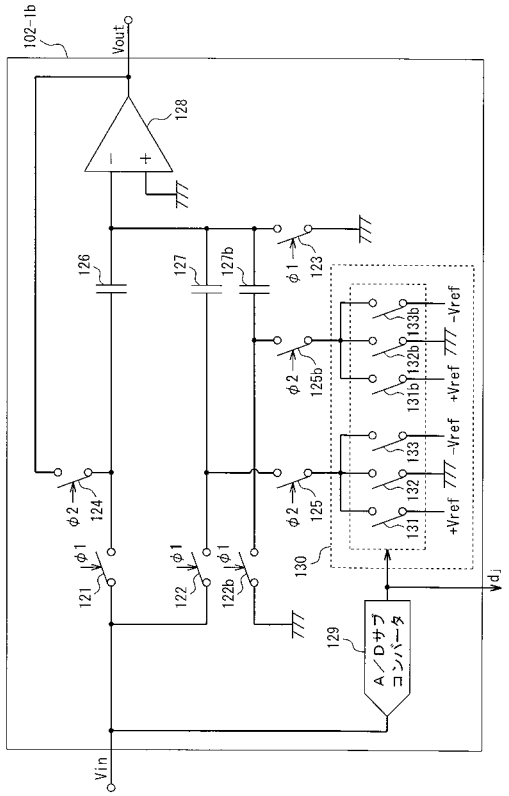
【図１１】



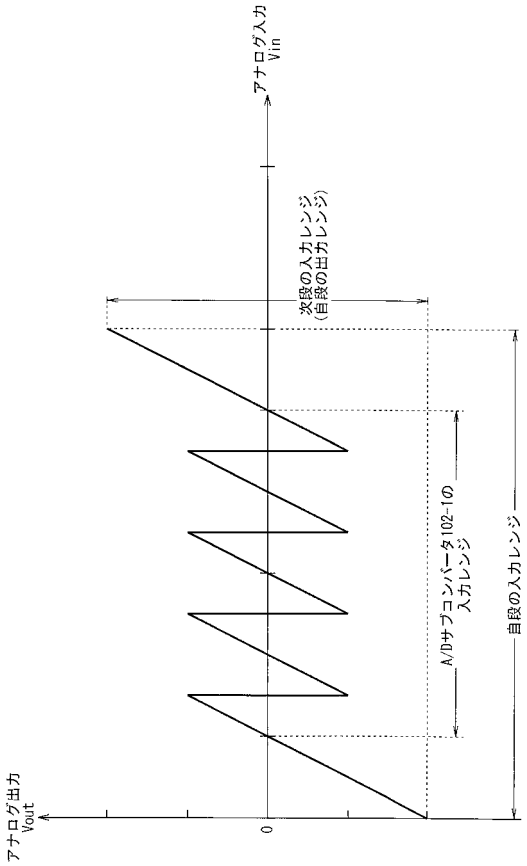
【図１２】



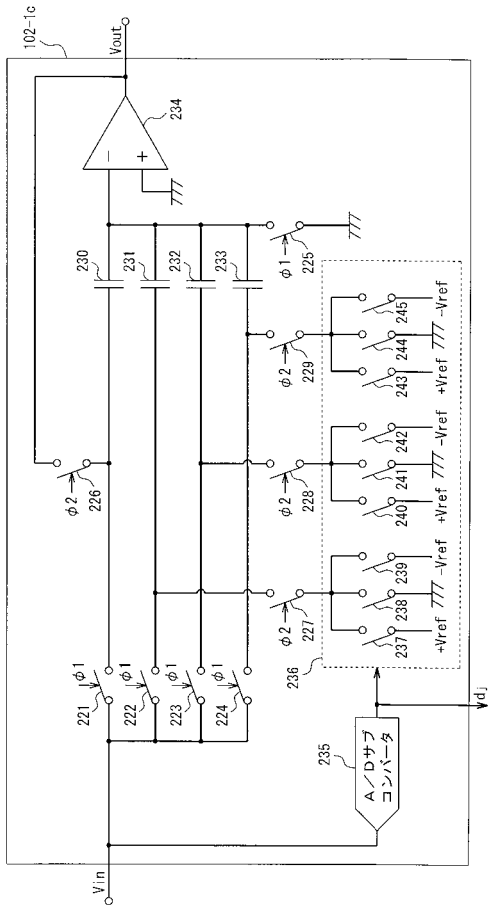
【図１３】



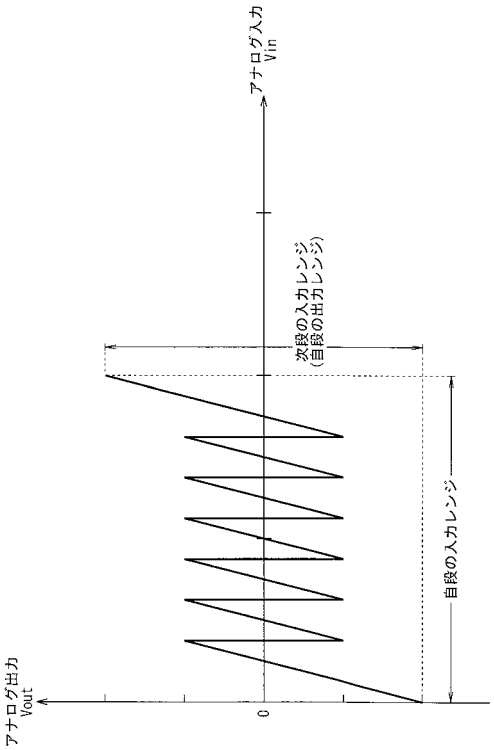
【図１４】



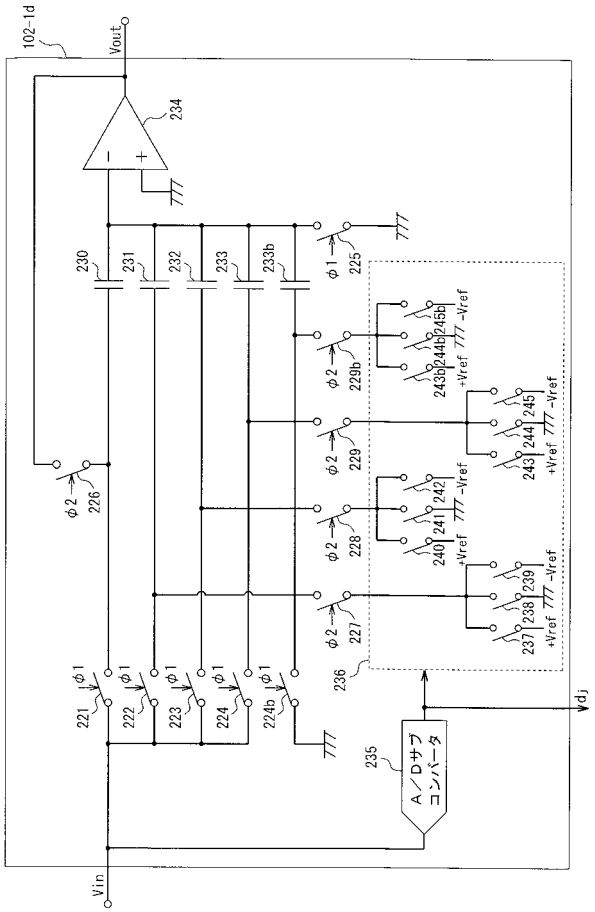
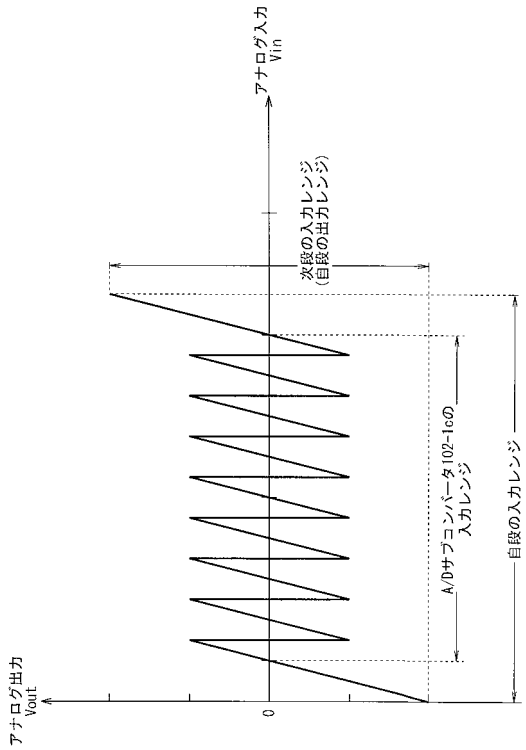
【図１５】



【図１６】



【図１７】



【図１８】