

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02019/193679

発行日 令和2年12月10日 (2020.12.10)

(43) 国際公開日 令和1年10月10日 (2019.10.10)

(51) Int.Cl. F I テーマコード (参考)
HO1S 5/227 (2006.01) HO1S 5/227 5 F 1 7 3

審査請求 有 予備審査請求 未請求 (全 19 頁)

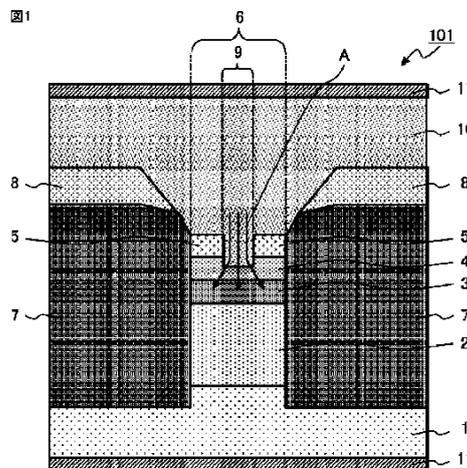
出願番号 特願2020-512155 (P2020-512155)	(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(21) 国際出願番号 PCT/JP2018/014410	(74) 代理人 110002941 特許業務法人ばるも特許事務所
(22) 国際出願日 平成30年4月4日 (2018.4.4)	(72) 発明者 淵田 歩 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(81) 指定国・地域 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT	(72) 発明者 中村 直幹 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
	(72) 発明者 境野 剛 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体レーザおよびその製造方法

(57) 【要約】

n型InP基板(1)上に、n型クラッド層(2)、活性層(3)、第一p型クラッド層(4)、第二n型ブロック層(5)の順に積層され、活性層(3)よりも低い位置から突出して形成された活性層リッジ(6)と、活性層リッジ(6)の両側を、活性層(3)より高い位置まで埋め込んだ埋め込み層(7)と、活性層リッジ(6)の両側で、埋め込み層(7)の表面側に積層された第一n型ブロック層(8)と、活性層リッジ(6)の端部および第一n型ブロック層(8)を埋め込んだ第二p型クラッド層(10)とを備え、活性層リッジ(6)の頂部にある第二n型ブロック層(5)の中央に、ホール電流を通過させる電流狭窄容(9)を設ける。



【特許請求の範囲】

【請求項 1】

n 型基板上に、n 型クラッド層、活性層、第一 p 型クラッド層、第二 n 型ブロック層の順に積層され、前記活性層よりも前記 n 型基板に近い位置から突出して形成されたリッジと、

前記リッジの両側を、前記活性層より高い位置まで埋め込んだ埋め込み層と、
前記リッジの両側で、前記埋め込み層の表面側に積層された第一 n 型ブロック層と、
前記リッジの頂部および前記第一 n 型ブロック層を埋め込んだ第二 p 型クラッド層とを備え、

前記リッジの頂部にある前記第二 n 型ブロック層の中央に、ホール電流を通過させる電流狭窄窓が設けられたことを特徴とする半導体レーザ。

10

【請求項 2】

前記電流狭窄窓は、穴形状からなり、前記穴形状は前記第二 p 型クラッド層で埋め込まれたことを特徴とする請求項 1 に記載の半導体レーザ。

【請求項 3】

前記穴形状は、前記リッジの頂部にある前記第二 n 型ブロック層だけでなく前記活性層までの間の範囲で形成されたことを特徴とする請求項 2 に記載の半導体レーザ。

【請求項 4】

前記電流狭窄窓は、前記第二 n 型ブロック層の前記電流狭窄窓に対応する領域に p 型ドーパントを拡散して形成されたことを特徴とする請求項 1 に記載の半導体レーザ。

20

【請求項 5】

前記電流狭窄窓は、前記第二 n 型ブロック層が第三 p 型クラッド層で覆われていることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体レーザ。

【請求項 6】

前記電流狭窄窓は、前記第二 p 型クラッド層よりもキャリア濃度の高い第四 p 型クラッド層で埋め込まれたことを特徴とする請求項 1 または請求項 3 に記載の半導体レーザ。

【請求項 7】

前記第一 n 型ブロック層は、前記第二 n 型ブロック層と接触していることを特徴とする請求項 1 から請求項 6 のいずれか 1 項に記載の半導体レーザ。

【請求項 8】

n 型基板上に、n 型クラッド層、活性層、第一 p 型クラッド層の順に積層され、前記活性層よりも前記 n 型基板に近い位置から突出して形成されたリッジと、

前記リッジの両側を、前記活性層よりも高い位置まで埋め込んだ埋め込み層と、
前記リッジの両側で、前記埋め込み層の表面側に積層された第一 n 型ブロック層と、
前記リッジの頂部および前記第一 n 型ブロック層を埋め込んだ第二 p 型クラッド層と、
前記リッジの頂部にある前記第一 p 型クラッド層の中央に、ホール電流を通過させる電流狭窄窓とを備え、

前記電流狭窄窓は前記第一 p 型クラッド層の前記電流狭窄窓以外の領域に対応する領域を絶縁化して形成されたことを特徴とする半導体レーザ。

30

【請求項 9】

前記 n 型基板は InP 基板であり、前記埋め込み層は Fe ドープ InP 層または Ru ドープ InP 層であることを特徴とする請求項 1 から請求項 8 のいずれか 1 項に記載の半導体レーザ。

40

【請求項 10】

n 型基板上に n 型クラッド層、活性層、第一 p 型クラッド層、第二 n 型ブロック層の順に積層した後、両側を前記活性層よりも前記 n 型基板に近い位置までエッチングしてリッジを形成する工程と、

前記リッジの両側を前記活性層より高い位置まで埋め込み層で埋め込む工程と、
前記埋め込み層の上に第一 n 型ブロック層を成長させる工程と、
前記リッジの頂部の第二 n 型ブロック層の中央に電流狭窄窓を設ける工程と

50

を含むことを特徴とする半導体レーザの製造方法。

【請求項 11】

n 型基板上に n 型クラッド層、活性層、第一 p 型クラッド層、第二 n 型ブロック層の順に積層した後、第二 n 型ブロック層の中央に電流狭容窓を設ける工程と、

両側を前記活性層よりも前記 n 型基板に近い位置までエッチングして、中央に前記電流狭容窓が位置するようにリッジを形成する工程と、

前記リッジの両側を前記活性層より高い位置まで埋め込み層で埋め込む工程と、

前記埋め込み層の上に第一 n 型ブロック層を成長させる工程と

を含むことを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本願は、半絶縁性埋め込みブロック層を有する半導体レーザおよびその製造方法に関する。

【背景技術】

【0002】

従来の半導体レーザにおいては、n 型 InP 基板上に n 型 InP クラッド層、活性層、第一 p 型 InP クラッド層の順に積層されたリッジストライプ構造の側面を、半絶縁性 InP 層とその上の n 型 InP ブロック層で埋め込み、さらにリッジストライプ構造、半絶縁性 InP 層およびその上の n 型 InP ブロック層埋め込み層を、第二 p 型 InP クラッド層で埋め込む構成にしている（例えば、特許文献 1 参照）。

20

【0003】

この半導体レーザに電流を流すと、第二 p 型 InP クラッド層からホールが供給され、n 型 InP 基板方向へ向かって流れる。このときホールの一部は第二 p 型 InP クラッド層と n 型 InP ブロック層の界面にあるポテンシャル障壁にてブロックされ、n 型 InP ブロック層に沿ってリッジストライプ内に存在する活性層方向に流れる。活性層では n 型 InP クラッド層から供給された電子と第二 p 型 InP クラッド層から供給されたホールとが再結合し、光出力および利得を得ることができる。高出力化のためには n 型 InP ブロック層と活性層の距離（ホールリークパス幅）を縮め、ホールを活性層に効率よく注入することが有効である。

30

【0004】

例えば、特許文献 2 では、リッジストライプの側面を半絶縁性 InP 埋め込み層および n 型 InP ブロック層で埋め込んだ後に、リッジストライプ両側の p 型 InP クラッド層をエッチングしてから再度 n 型 InP ブロック層を成長することでホールリークパス幅を狭め、発光に寄与しないホールリークを抑制している。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2017 - 108061 号公報（段落 0014 ~ 0018、図 5）

【特許文献 2】特開 2011 - 249766 号公報（段落 0020 ~ 0027、図 2 および図 3）

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献 1 の半導体レーザでは、半導体レーザに電流を流した際に n 型 InP ブロック層でブロックされたホールは第一 p 型 InP クラッド層から活性層に向かって流れる間に横方向へ広がりが生じる。そのため、ホールの一部は活性層に注入されず、発光に寄与しない無駄なホールリーク電流が増えるという問題があった。また、特許文献 1 の課題を解決しようとする特許文献 2 の半導体レーザでは、n 型 InP ブロック層を二回に分けて結晶成長しなければならず、生産工程数の増加および製造コストの増大が生じるという問題

50

があった。

【0007】

本願は、上記のような課題を解決するための技術を開示するものであり、結晶成長回数を増やすことなく、ホールリーク電流を抑制することによって高出力化を可能とする半導体レーザおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本願に開示される半導体レーザは、n型基板上に、n型クラッド層、活性層、第一p型クラッド層、第二n型ブロック層の順に積層された半導体層を含み、前記活性層よりも前記n型基板に近い位置から突出して形成されたリッジと、前記リッジの両側を、前記活性層より高い位置まで埋め込んだ埋め込み層と、前記リッジの両側で、前記埋め込み層の表面側に積層された第一n型ブロック層と、前記リッジの頂部および前記第一n型ブロック層を埋め込んだ第二p型クラッド層とを備え、前記リッジの頂部にある前記第二n型ブロック層の中央に、ホール電流を通過させる電流狭窄窓が設けられたことを特徴とする。

10

【0009】

また、本願に開示される半導体レーザは、n型基板上に、n型クラッド層、活性層、第一p型クラッド層の順に積層され、前記活性層よりも前記n型基板に近い位置から突出して形成されたリッジと、前記リッジの両側を、前記活性層よりも高い位置まで埋め込んだ埋め込み層と、前記リッジの両側で、前記埋め込み層の表面側に積層された第一n型ブロック層と、前記リッジの頂部および前記第一n型ブロック層を埋め込んだ第二p型クラッド層と、前記リッジの頂部にある前記第一p型クラッド層の中央に、ホール電流を通過させる電流狭窄窓とを備え、前記電流狭窄窓は前記第一p型クラッド層の前記電流狭窄窓以外の領域に対応する領域を絶縁化して形成されたことを特徴とする。

20

【0010】

本願に開示される半導体レーザの製造方法は、n型基板上にn型クラッド層、活性層、第一p型クラッド層、第二n型ブロック層の順に積層した後、両側を前記活性層よりも前記n型基板に近い位置までエッチングしてリッジを形成する工程と、前記リッジの両側を前記活性層より高い位置まで埋め込み層で埋め込む工程と前記埋め込み層の上に第一n型ブロック層を成長させる工程と、前記リッジの頂部の第二n型ブロック層の中央に電流狭窄窓を設ける工程とを含むことを特徴とする。

30

【0011】

また、本願に開示される半導体レーザの製造方法は、n型基板上にn型クラッド層、活性層、第一p型クラッド層、第二n型ブロック層の順に積層した後、第二n型ブロック層の中央に電流狭窄窓を設ける工程と両側を前記活性層よりも前記n型基板に近い位置までエッチングして、中央に前記電流狭窄窓が位置するようにリッジを形成する工程と、前記リッジの両側を前記活性層より高い位置まで埋め込み層で埋め込む工程と前記埋め込み層の上に第一n型ブロック層を成長させる工程とを含むことを特徴とする。

【発明の効果】

【0012】

本願によれば、リッジの頂部にホール電流を通過させる電流狭窄窓を設けたので、結晶成長回数を増やすことなく製造でき、ホールリーク電流を抑制することによって高出力化を可能とする半導体レーザを得ることができる。

40

【図面の簡単な説明】

【0013】

【図1】実施の形態1による半導体レーザの構成を示す断面図である。

【図2】実施の形態1による半導体レーザの他の構成を示す断面図である。

【図3】実施の形態1による半導体レーザと従来の半導体レーザとの電流 - 光出力特性を比較した図である。

【図4】実施の形態1による半導体レーザの活性層における横方向の利得分布の計算結果を示す図である。

50

【図5】実施の形態1による半導体レーザの製造工程を示す図である。

【図6】実施の形態1による半導体レーザの他の製造工程を示す図である。

【図7】実施の形態1による半導体レーザの他の構成を示す断面図である。

【図8】実施の形態2による半導体レーザの構成を示す断面図である。

【図9】実施の形態3による半導体レーザの構成を示す断面図である。

【図10】実施の形態4による半導体レーザの構成を示す断面図である。

【図11】実施の形態4による半導体レーザの製造方法を説明するための断面図である。

【図12】実施の形態5による半導体レーザの構成を示す断面図である。

【発明を実施するための形態】

【0014】

実施の形態1 .

図1は、実施の形態1における半導体レーザ101の構成を示す断面図である。図1に示すように、半導体レーザ101は、n型InP基板1の上に、n型クラッド層2、活性層3、第一p型クラッド層4、第二n型ブロック層5の順に積層された活性層リッジ6が設けられた構造を有する。活性層リッジ6の側面は、埋め込み層7で活性層3より高い位置まで埋め込まれ、埋め込み層7の上に第一n型ブロック層8が設けられている。さらに、活性層リッジ6、埋め込み層7、および第一n型ブロック層8は、第二p型クラッド層10で埋め込まれている。n型InP基板1の下および第二p型クラッド層10の上には電極11が設けられている。

【0015】

n型InP基板1は、(001)面を主面とする $4.0 \times 10^{18} \text{ cm}^{-3}$ のSがドーピングされた基板である。n型クラッド層2は、n型InP基板1の上に $4.0 \times 10^{18} \text{ cm}^{-3}$ のSがドーピングされた厚さ $0.3 \mu\text{m}$ のInPからなる。活性層3は、多重量子井戸を含むAlGaInAs系もしくはInGaAsP系材料からなる。第一p型クラッド層4は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ のZnがドーピングされた厚さ $0.1 \mu\text{m}$ のInPからなる。第二n型ブロック層5は、 $7.0 \times 10^{18} \text{ cm}^{-3}$ のSがドーピングされた厚さ $0.1 \mu\text{m}$ のInPからなる。活性層リッジ6は、幅が通常 $0.8 \sim 1.4 \mu\text{m}$ 程度であるが、この範囲に限るものではない。

【0016】

埋め込み層7は、半絶縁性材料であるFeを $5.0 \times 10^{16} \text{ cm}^{-3}$ ドーピングしたInPからなる。第一n型ブロック層8は、埋め込み層7の上に $7.0 \times 10^{18} \text{ cm}^{-3}$ のSがドーピングされた厚さ $0.4 \mu\text{m}$ のInPからなる。なお、埋め込み層7は、Ti、Co、Ruなど他の材料をドーピングしたInPといった他の半絶縁性材料でもよい。また、埋め込み層7は不純物濃度または導電型が異なる他の半導体層との組み合わせによって構成されていてもよい。

【0017】

活性層リッジ6の上部中央(頂部中央)には、第二n型ブロック層5で挟まれた幅 $0.7 \mu\text{m}$ 領域、すなわち電流狭窄窓9が存在する。電流狭窄窓9の幅は、通常 $0.5 \sim 1.0 \mu\text{m}$ 程度であるが、活性層リッジ6の幅よりも狭ければ、この範囲に限らない。また、電流狭窄窓9の両側にある第二n型ブロック層5の側面はn型InP基板1に対して垂直でなくてもよく、例えば図2のような斜面であってもよい。

【0018】

電流狭窄窓9を構成する穴形状の底面は、活性層リッジ6の上部中央に、第二n型ブロック層5よりも低く、活性層3よりも高い位置までの範囲で設けられている。さらに、電流狭窄窓9を構成する穴形状は、活性層リッジ6、埋め込み層7、および第一n型ブロック層8とともに、 $3.0 \times 10^{18} \text{ cm}^{-3}$ のZnがドーピングされた厚さ $2.0 \mu\text{m}$ のInPからなる第二p型クラッド層10で埋め込まれている。n型InP基板1の下および第二p型クラッド層10の上の電極11は、Au、Ge、Zn、Pt、Ti等の金属からなる。

【0019】

10

20

30

40

50

半導体レーザ101の前端面と後端面は劈開により形成された(110)面により共振器を形成している。電流注入によって活性層で得られた発光は共振器内で増幅され、レーザ発振に至る。共振器長は150 μm から300 μm とされることが多いが、この範囲に限るものではない。

【0020】

上下の電極11から電流注入を行うと、n型InP基板1およびn型クラッド層2からは電子が、第一p型クラッド層4および第二p型クラッド層10からはホールがそれぞれ供給される。第二p型クラッド層10から供給されたホールはn型InP基板1の方向へ向かって流れ出す。そのうち一部のホールは第二p型クラッド層10と第一n型ブロック層8の界面もしくは第二p型クラッド層10と第二n型ブロック層5の界面に存在するポテンシャル障壁によりブロックされる。

10

【0021】

上記の通りブロックされたホール電流は、第一n型ブロック層8と第二n型ブロック層5の間、もしくは電流狭容窓9を通過してn型InP基板1の方向に向かって流れる。このとき、第一n型ブロック層8と第二n型ブロック層5は0.4 μm 以下と電流狭容窓9の幅よりも狭く、かつp型InP層よりも高抵抗である埋め込み層7と接しているために電流狭容窓9の間よりも抵抗が高い。したがって、ホール電流はより抵抗が低い電流狭容窓9を通過しやすい。

【0022】

電流狭容窓9を通過したホール電流は第一p型クラッド層4を通過して活性層に注入されるまでの間に横方向に広がり(図1に示すホール電流の流れA)が生じる。しかし、電流狭容窓9の幅は活性層リッジ6の幅よりも狭いため、横方向に広がったホールも活性層3に注入することができる。結果として、第二n型ブロック層5を持たない従来構造よりもホール注入効率を向上させることができる。

20

【0023】

図3は、実施の形態1による半導体レーザ101の電流特性を示す図である。図3において、横軸は半導体レーザに供給される電流を示し、縦軸は半導体レーザの出力パワーを示す。なお、動作温度は95とし、電流-光出力特性は計算により求めた。図3に示すように、半導体レーザ101の電流特性Bは、従来の半導体レーザの電流特性Cに比べて、同一電流を流した場合でも高い光出力が得られている。これは、半導体レーザ101の活性層へのホール電流注入効率向上によるものである。

30

【0024】

図4は、実施の形態1による半導体レーザ101の活性層3における横方向の利得分布の計算結果を示す図である。図4において、横軸は活性層リッジ中央からの横方向への距離を示し、縦軸は利得を示す。Xaは活性層リッジの側面に該当する。なお、動作温度は95として、電流値60mAで動作させたときの計算結果である。図4に示すように、従来の半導体レーザの利得Eでは活性層リッジの側面側の方が利得がより大きくなっているのに対して、半導体レーザ101の利得Dでは活性層全体の利得分布が均一に近づいている。このように利得分布が均一であると、レーザ発振に必要なキャリア注入量も活性層全体で均一となる。そのため、例えば電流注入量による強度変調を行った場合には、時間揺らぎ(ジッタ)が小さくなり、変調信号波形の伝送において有利に働く。

40

【0025】

半導体レーザ101の利得分布形状については次のように説明できる。通常の一モードで発振する半導体レーザの光強度分布は活性層中央($x=0$)が最も強く、中央から離れるにつれて弱まっていく。そのため、光密度が高い活性層中央は活性層端部よりも誘導放出が起こりやすく、ホール密度が減少しやすい。したがって、特許文献1に示されるような半導体レーザでは、ホールがほぼ均一に注入され、活性層中央のホール密度が低下するために、活性層中央の利得は低下する。

【0026】

一方、特許文献2に示されるような半導体レーザでは、活性層の上に活性層幅よりも狭

50

い電流狭窄窓が存在するため、活性層中央のホール密度が高くなりやすい構造になっている。したがって、活性層中央のホール密度がキャリア吸収によって低下しても、結果的に特許文献1に示されるような半導体レーザよりも活性層全体のホール密度は均一になるため、利得分布も均一になりやすい。

【0027】

実施の形態1による半導体レーザ101では、これらの効果が得られるのに加えて、特許文献2に示されるような半導体レーザのようにn型ブロック層を2回に分けて成長する必要がない。したがって、結晶成長回数を増やす必要がなく、生産性の低下および製造コストの増加を引き起こさずに半導体レーザの特性を改善することができる。

【0028】

次に、実施の形態1による半導体レーザ101の製造方法について、図5に基づき説明する。図5は、実施の形態1による半導体レーザ101の製造工程を示す断面図である。

【0029】

まず、図5(a)に示すように、n型InP基板1の上に、n型クラッド層2、活性層3、第一p型クラッド層4、第二n型ブロック層5の順に積層した後、SiO₂マスク12を活性層リッジ6の幅で成膜し、SiO₂マスク12を用いてn型InP基板1の途中までエッチングをして活性層リッジ6を形成する。なお、ここではエッチングはn型InP基板1の途中までとしたが、活性層よりも低い位置であればよい。

【0030】

続いて、図5(b)に示すように、活性層リッジ6の両サイドを埋め込み層7と第一n型ブロック層8で埋め込んで電流狭窄構造を形成する。

【0031】

次いで、図5(c)に示すように、SiO₂マスク12をバッファードフッ酸またはフッ酸を用いて除去した後、SiO₂マスク13を成膜し、SiO₂マスク13に、活性層リッジ6の上部中央に対応する位置に電流狭窄窓9用の穴をエッチングにより形成し、この穴の開いたSiO₂マスク13を用いて、活性層リッジ6の上部中央に電流狭窄窓9を形成する。このとき、電流狭窄窓9を構成する穴形状の底面は、活性層リッジ6の上部中央に、第二n型ブロック層5の裏面から、活性層3よりも高い位置までの範囲で形成する。

【0032】

続いて、図5(d)に示すように、SiO₂マスク13をバッファードフッ酸またはフッ酸を用いて除去した後、第二p型クラッド層10で、活性層リッジ6の上部および電流狭窄窓9を構成する穴形状を埋め込む。最後に、n型InP基板1の下および第二p型クラッド層10の上に、電極11を形成することで、図1に示す半導体レーザ101が完成する。

【0033】

また、上記実施の形態1では、先にエッチングで活性層リッジ6を形成してから電流狭窄窓9を形成したが、先に電流狭窄窓9を形成してから活性層リッジ6を形成してもよい。図6は、実施の形態1による半導体レーザ101の他の製造方法について、図6に基づき説明する。図6は、実施の形態1による半導体レーザ101の他の製造工程を示す断面図である。

【0034】

まず、図6(a)に示すように、n型InP基板1の上に、n型クラッド層2、活性層3、第一p型クラッド層4、第二n型ブロック層5の順に積層した後、SiO₂マスク12を成膜し、SiO₂マスク12に、活性層リッジ6となる上部中央に対応する位置に電流狭窄窓9用の穴をエッチングにより形成し、この穴の開いたSiO₂マスク12を用いて、活性層リッジ6の上部中央に電流狭窄窓9を形成する。このとき、電流狭窄窓9を構成する穴形状の底面は、活性層リッジ6の上部中央に、第二n型ブロック層5の裏面から、活性層3よりも高い位置までの範囲で形成する。

【0035】

10

20

30

40

50

続いて、図6(b)に示すように、SiO₂マスク12をバッファードフッ酸またはフッ酸を用いて除去した後、第二n型ブロック層5の上に活性層リッジ6の幅でSiO₂マスク12を成膜し、このマスクを用いてn型InP基板1の途中までエッチングをして活性層リッジ6を形成する。なお、ここではエッチングはn型InP基板1の途中までとしたが、活性層よりも低い位置であればよい。

【0036】

次いで、図6(c)に示すように、活性層リッジ6の両サイドを埋め込み層7と第一n型ブロック層8で埋め込んで電流狭窄構造を形成する。

【0037】

続いて、図6(d)に示すように、SiO₂マスク13をバッファードフッ酸またはフッ酸を用いて除去した後、第二p型クラッド層10で、活性層リッジ6の上部および電流狭窄窓9を埋め込む。最後に、n型InP基板1の下および第二p型クラッド層10の上に、電極11を形成することで、図1に示す半導体レーザ101が完成する。

10

【0038】

以上のように、本実施の形態1にかかる半導体レーザ101によれば、n型InP基板1上に、n型クラッド層2、活性層3、第一p型クラッド層4、第二n型ブロック層5の順に積層され、活性層3よりも低い位置(n型InP基板1に近い位置)から突出して形成された活性層リッジ6と、活性層リッジ6の両側を、活性層3よりも高い位置まで埋め込んだ埋め込み層7と、活性層リッジ6の両側で、埋め込み層7の表面側に積層された第一n型ブロック層8と、活性層リッジ6の頂部および第一n型ブロック層8を埋め込んだ第二p型クラッド層10とを備え、活性層リッジ6の頂部にある第二n型ブロック層5の中央に、ホール電流を通過させる電流狭窄窓9を設けるようにしたので、結晶成長回数を増やすことなく製造でき、ホールリーク電流を抑制することによって高出力化を可能とする半導体レーザを得ることができる。

20

【0039】

なお、実施の形態1では、第一n型ブロック層8と第二n型ブロック層5との間は、高抵抗である埋め込み層7を挟んだ構成としたが、これに限るものではない。図7に示すように、第一n型ブロック層8と第二n型ブロック層5との間に埋め込み層7を挟まず、第一n型ブロック層8と第二n型ブロック層5とが接触する構成としてもよい。

【0040】

この構成で、電流注入を行った場合、第二p型クラッド層10から供給されたホールは第二p型クラッド層10と第一n型ブロック層8の界面もしくは第二p型クラッド層10と第二n型ブロック層5の界面でポテンシャル障壁によりブロックされる。上記の通りブロックされたホール電流は電流狭窄窓9を通過して活性層3に注入される。したがって、上記実施の形態1とは異なり、第一n型ブロック層8と第二n型ブロック層5の間を通過して埋め込み層7に流れ込むホールリーク電流を抑制することができる。これにより上記実施の形態1よりも活性層へのホール注入効率が向上し、レーザをさらに高出力化できる。

30

【0041】

実施の形態2 .

実施の形態1では、第二n型ブロック層5に挟まれた電流狭窄窓9を用いたが、実施の形態2では、第二n型ブロック層5の形成を省略し、第一p型クラッド層4に絶縁領域を設けることで電流狭窄窓を形成する場合について説明する。

40

【0042】

図8は、実施の形態2における半導体レーザ102の構成を示す断面図である。図8に示すように、実施の形態2では、電流狭窄窓9は、n型クラッド層2、活性層3、第一p型クラッド層4の順に積層した活性層リッジ6の上部の第一p型クラッド層4の両端および活性層リッジ6と第一n型ブロック層8の間に存在する埋め込み層7に絶縁領域14を設けて形成される。半導体レーザ102のその他の構成については、実施の形態1の半導体レーザ101と同様であり、その説明を省略する。

【0043】

50

実施の形態 2 において、絶縁領域 14 は、例えば、次のように作製する。活性層リッジ 6 の側面を埋め込み層 7 と第一 n 型ブロック層 8 で埋め込んだ後に、活性層リッジ 6 の上部の第一 p 型クラッド層 4 の中央で電流狭窄窓 9 となる位置に対応する位置に SiO_2 を用いたマスクを形成し、その上からプロトンを注入する。これにより、 SiO_2 マスク直下以外の第一 p 型クラッド層 4 は絶縁化される。一方で SiO_2 マスク直下は第一 p 型クラッド層 4 のままなので、電流狭窄窓 9 として作用する。半導体レーザ 102 での電流狭窄窓 9 の形成以外の製造方法については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

【0044】

以上のように、本実施の形態 2 にかかる半導体レーザ 102 によれば、電流狭窄窓 9 が、第一 p 型クラッド層 4 の電流狭窄窓 9 以外の領域に対応する領域を絶縁化して形成されるようにしたので、実施の形態 1 と同様の効果が得られるとともに、段差を埋め込まずに電流狭窄窓を作製できるので、第二 p 型クラッド層の最表面の平坦性に優れた半導体レーザを得ることができる。

10

【0045】

実施の形態 3 .

実施の形態 2 では、活性層リッジ 6 の上部の第一 p 型クラッド層 4 の両端を絶縁化して電流狭窄窓 9 を形成したが、実施の形態 3 では、第二 n 型ブロック層に p 型ドーパントの拡散領域を設けることで電流狭窄窓を形成する場合について説明する。

【0046】

図 9 は、実施の形態 3 における半導体レーザ 103 の構成を示す断面図である。図 9 に示すように、実施の形態 3 では、電流狭窄窓 9 は、活性層リッジ 6 の上部の第二 n 型ブロック層 5 の中央に、例えば Zn による p 型のドーパントの拡散領域 15 を設けて形成される。半導体レーザ 103 のその他の構成については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

20

【0047】

実施の形態 3 において、拡散領域 15 は、例えば、次のように作製する。第二 n 型ブロック層 5 上にフォトレジストを用いて中央に穴形状のパターニングを行った後、その上にスパッタ法により ZnO を成膜し、リフトオフによって拡散領域となる位置以外の ZnO とレジストを除去する。その後、アニールを行うことで第二 n 型ブロック層 5 の中央にのみ p 型ドーパント拡散領域 15 を形成することができる。作製の順序は、先に活性層リッジ 6 を形成しても、p 型ドーパント拡散領域 15 を形成してから活性層リッジ 6 を形成しても、どちらでもよい。半導体レーザ 103 での電流狭窄窓 9 の形成以外の製造方法については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

30

【0048】

以上のように、本実施の形態 3 にかかる半導体レーザ 103 によれば、電流狭窄窓 9 が、第二 n 型ブロック層 5 の前記電流狭窄窓に対応する領域に p 型ドーパントを拡散して形成されるようにしたので、実施の形態 1 と同様の効果が得られるとともに、段差を埋め込まずに電流狭窄窓を作製できるので、第二 p 型クラッド層の最表面の平坦性に優れた半導体レーザを得ることができる。

40

【0049】

実施の形態 4 .

実施の形態 1 では、第二 n 型ブロック層 5 に穴形状の電流狭窄窓 9 形成したが、実施の形態 4 では、電流狭窄窓 9 が設けられた第二 n 型ブロック層 5 を覆う第三 p 型クラッド層 16 を形成した場合について説明する。

【0050】

図 10 は、実施の形態 4 における半導体レーザ 104 の構成を示す断面図である。図 10 に示すように、実施の形態 4 では、電流狭窄窓 9 を設けた第二 n 型ブロック層 5 が、 $3 \cdot 0 \times 10^{18} \text{ cm}^{-3}$ の Zn がドーピングされた厚さ $0.1 \mu\text{m}$ の InP からなる第三 p 型クラッド層 16 で覆われている。半導体レーザ 104 のその他の構成については、実

50

施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

【0051】

実施の形態 4 において、第二 n 型ブロック層 5 を覆う第三 p 型クラッド層 16 は、例えば、次のように作製する。図 11 は、第二 p 型クラッド層 10 が形成される前の半導体レーザ 104 の断面図である。図 11 に示すように、第三 p 型クラッド層 16 を、第二 n 型ブロック層 5 の上に積層した後、電流狭窄窓 9 となる穴を形成する。続いて、第二 p 型クラッド層 10 を形成する際、MOCVD の結晶成長炉内で、炉内温度を 500 程度まで昇温すると、図 10 に示すような電流狭窄窓 9 の両壁部分の半導体層がマストランスポートにより形状が崩れる。このとき、活性層リッジ 6 の最上部が第二 n 型ブロック層 5 だった場合は崩れた n 型 InP が電流狭窄窓 9 内および第一 p 型クラッド層 4 の上に流れ込み、活性層 3 へのホール電流注入パスを塞いでしまう恐れがある。そこで、実施の形態 4 のように活性層リッジ 6 の最上部が第三 p 型クラッド層 16 である場合は、仮に電流狭窄窓内に流れ込んだとしても、電流狭窄窓を埋め込む第二 p 型クラッド層 10 と同じ極性を持つ p 型 InP なので、ホール電流注入パスを塞がれることはない。半導体レーザ 104 の電流狭窄窓 9 の形成以外の製造方法については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

10

【0052】

以上のように、本実施の形態 4 にかかる半導体レーザ 104 によれば、電流狭窄窓 9 を設けた第二 n 型ブロック層 5 が第三 p 型クラッド層 16 で覆われるようにしたので、ホール電流注入パスを塞がれることのない、電流特性に優れた半導体レーザを得ることができる。

20

【0053】

実施の形態 5 .

実施の形態 1 では、電流狭窄窓 9 を第二 p 型クラッド層 10 で埋め込むようにしたが、実施の形態 5 では、第四 p 型クラッド層 17 を埋め込む場合について説明する。

【0054】

図 12 は、実施の形態 5 における半導体レーザ 105 の構成を示す断面図である。図 12 に示すように、実施の形態 5 では、電流狭窄窓 9 は、第二 p 型クラッド層 10 よりもキャリア濃度が高い第四 p 型クラッド層 17 で埋め込まれている。例えば、第四 p 型クラッド層 17 は $3.0 \times 10^{18} \text{ cm}^{-3}$ の Zn がドーピングされた厚さ $0.2 \mu\text{m}$ の p 型 InP であり、第二 p 型クラッド層 10 は $1.0 \times 10^{18} \text{ cm}^{-3}$ の Zn がドーピングされた厚さ $1.8 \mu\text{m}$ の p 型 InP である。半導体レーザ 105 のその他の構成については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

30

【0055】

実施の形態 5 では、第二 n 型ブロック層 5 で挟まれた電流狭窄窓 9 を第四 p 型クラッド層 17 で埋め込んでから、第四 p 型クラッド層 17 よりもキャリア濃度が低い第二 p 型クラッド層 10 を結晶成長させる。半導体レーザ 105 での第四 p 型クラッド層 17 を埋め込む工程以外の製造方法については、実施の形態 1 の半導体レーザ 101 と同様であり、その説明を省略する。

【0056】

電流狭窄窓 9 を有する半導体レーザは、電流狭窄窓 9 がない半導体レーザと比較して電流が流れる領域の断面積が狭いため、素子抵抗が高くなるという問題点がある。この問題を解決するには、電流狭窄窓 9 を埋め込む第二 p 型クラッド層のキャリア濃度を高くして、電流が流れる領域の抵抗を下げるとよい。しかし、キャリア濃度を上げると光の吸収損失が大きく、光出力を低下させてしまう。そのため、活性層からの生じた光はなるべくキャリア濃度の高い半導体層に染み出さないようにしなければならない。実施の形態 5 では電流狭窄窓 9 を埋め込む第四 p 型クラッド層のみをキャリア濃度を高くして、その上の第二 p 型クラッド層のキャリア濃度を第四 p 型クラッド層よりも低くすることで、素子抵抗の低減と光吸収損失の抑制を両立している。

40

【0057】

50

以上のように、本実施の形態 5 にかかる半導体レーザ 104 によれば、第二 p 型クラッド層 10 のキャリア濃度を電流狭窄窓 9 を埋め込む第四 p 型クラッド層 17 より下げたので、実施の形態 1 の半導体レーザよりも光吸収損失を低下させることができるため、しきい値電流を低減したり、光出力を向上させたりする効果がある。

【0058】

本願は、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

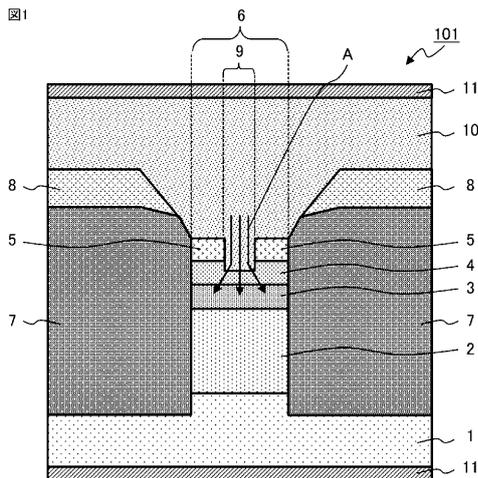
10

【符号の説明】

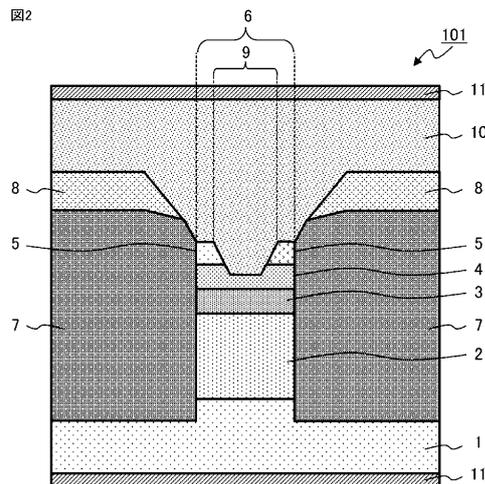
【0059】

- 1 n型InP基板、2 n型クラッド層、3 活性層、4 第一p型クラッド層、5 第二n型ブロック層、6 活性層リッジ、7 埋め込み層、8 第一n型ブロック層、9 電流狭窄窓、10 第二p型クラッド層。

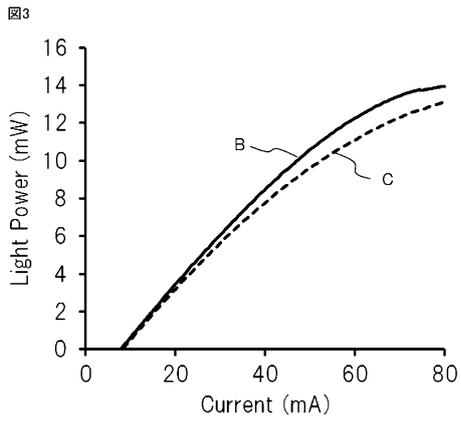
【図1】



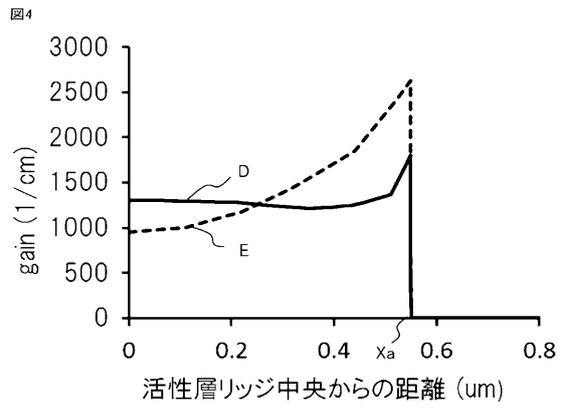
【図2】



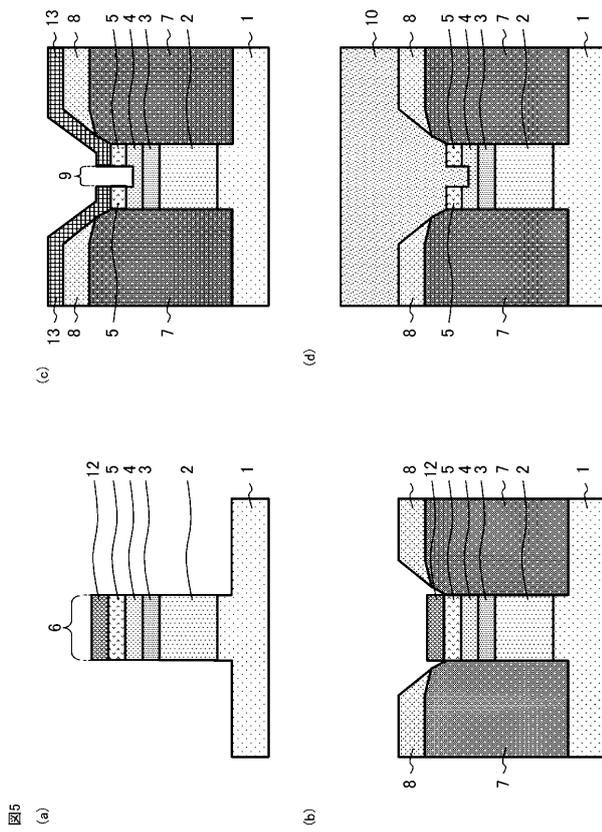
【 図 3 】



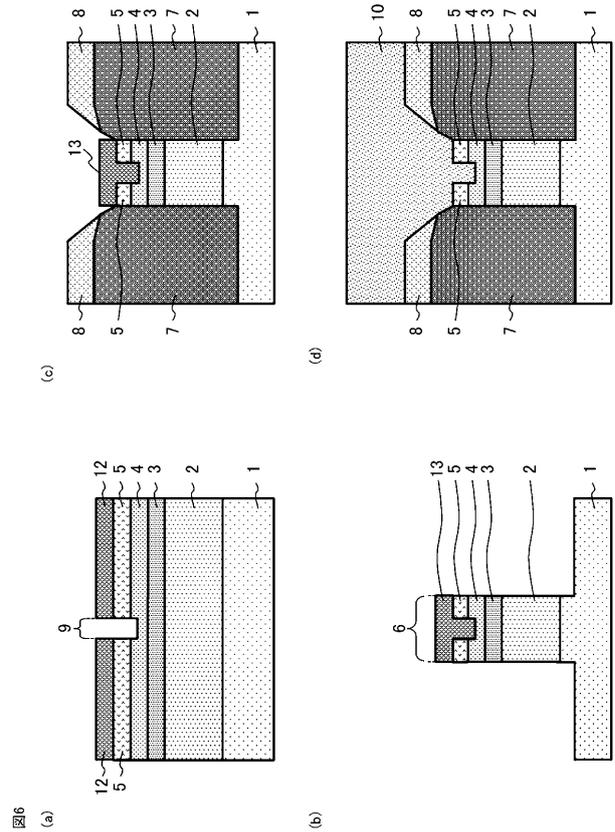
【 図 4 】



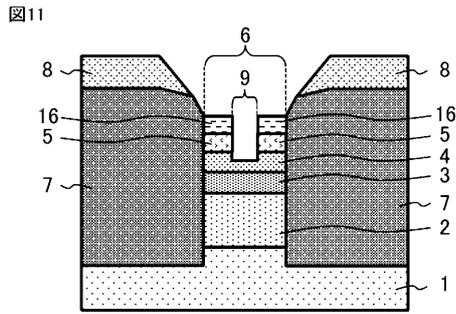
【 図 5 】



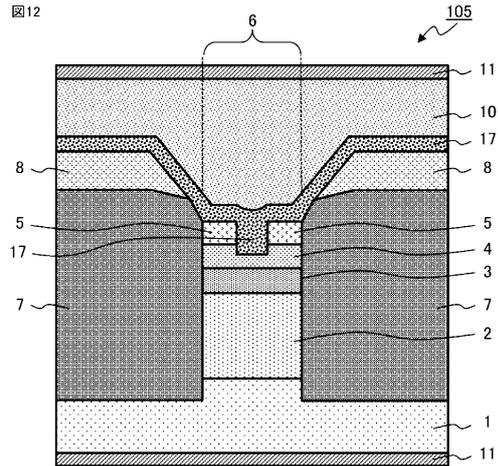
【 図 6 】



【図 1 1】



【図 1 2】



【手続補正書】

【提出日】令和2年6月22日(2020.6.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

続いて、図6(b)に示すように、 SiO_2 マスク12をバッファードフッ酸またはフッ酸を用いて除去した後、第二n型ブロック層5の上に活性層リッジ6の幅で SiO_2 マスク13を成膜し、このマスクを用いてn型InP基板1の途中までエッチングをして活性層リッジ6を形成する。なお、ここではエッチングはn型InP基板1の途中までとしたが、活性層よりも低い位置であればよい。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

以上のように、本実施の形態5にかかる半導体レーザ105によれば、第二p型クラッド層10のキャリア濃度を電流狭窄窓9を埋め込む第四p型クラッド層17より下げたので、実施の形態1の半導体レーザよりも光吸収損失を低下させることができるため、しきい値電流を低減したり、光出力を向上させたりする効果がある。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2018/014410
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01S5/227 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01S5/00-5/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-29025 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS INC.) 12 February 2015 & US 2015/0037919 A1	1-11
A	JP 2011-249766 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS INC.) 08 December 2011 & US 2011/0261855 A1	1-11
A	US 2011/0164641 A1 (FURUKAWA ELECTRIC CO., LTD.) 07 July 2011 (Family: none)	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13.06.2018		Date of mailing of the international search report 26.06.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/014410

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-82861 A (FURUKAWA ELECTRIC CO., LTD.) 21 March 2000 & US 2002/0136253 A1	1-11
A	JP 2000-49413 A (NEC CORPORATION) 18 February 2000 (Family: none)	1-11
A	JP 5-129723 A (MITSUBISHI ELECTRIC CORPORATION) 25 May 1993 (Family: none)	1-11
A	JP 4-293286 A (OKI ELECTRIC IND CO., LTD.) 16 October 1992 (Family: none)	1-11
A	JP 1-300581 A (FUJITSU LIMITED) 05 December 1989 (Family: none)	1-11

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 1 4 4 1 0	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01S5/227(2006, 01) i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01S5/00-5/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2015-29025 A (住友電工デバイス・イノベーション株式会社) 2015. 02. 12 & US 2015/0037919 A1	1-11	
A	JP 2011-249766 A (住友電工デバイス・イノベーション株式会社) 2011. 12. 08 & US 2011/0261855 A1	1-11	
A	US 2011/0164641 A1 (FURUKAWA ELECTRIC CO., LTD.) 2011. 07. 07 (ファミリーなし)	1-11	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 13. 06. 2018		国際調査報告の発送日 26. 06. 2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 大和田 有軌	2K 3004
		電話番号 03-3581-1101 内線 3255	

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 1 4 4 1 0
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-82861 A (古河電気工業株式会社) 2000.03.21 & US 2002/0136253 A1	1-11
A	JP 2000-49413 A (日本電気株式会社) 2000.02.18 (ファミリーなし)	1-11
A	JP 5-129723 A (三菱電機株式会社) 1993.05.25 (ファミリーなし)	1-11
A	JP 4-293286 A (沖電気工業株式会社) 1992.10.16 (ファミリーなし)	1-11
A	JP 1-300581 A (富士通株式会社) 1989.12.05 (ファミリーなし)	1-11

フロントページの続き

Fターム(参考) 5F173 AA26 AA47 AA48 AA56 AA57 AF92 AF98 AH02 AH14 AJ23
AR25 AR94

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。