

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-152464
(P2008-152464A)

(43) 公開日 平成20年7月3日(2008.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 560B	5B035
G06F 12/06 (2006.01)	G06F 12/00 597U	5B060
G06K 19/07 (2006.01)	G06F 12/06 524	
	G06K 19/00 N	

審査請求 未請求 請求項の数 10 O L (全 22 頁)

(21) 出願番号 特願2006-338718 (P2006-338718)
(22) 出願日 平成18年12月15日 (2006.12.15)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘

最終頁に続く

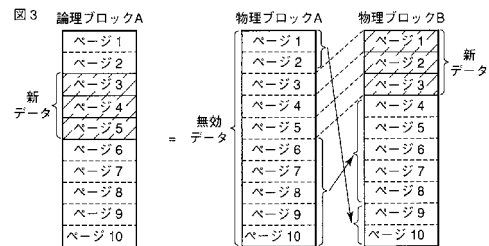
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】データ書き込み速度を向上する。

【解決手段】記憶装置は、データを格納する複数のメモリブロックと、データを一時的に格納するバッファ32とを含み、かつデータの消去がブロック単位で行われる不揮発性半導体メモリ22と、一回の書き込みコマンドに対する書き込みデータが所定サイズ以下の場合に、上記書き込みデータをバッファ32に書き込むコントローラ21とを含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

データを格納する複数のメモリブロックと、データを一時的に格納するバッファとを含み、かつデータの消去がブロック単位で行われる不揮発性半導体メモリと、

一回の書き込みコマンドに対する書き込みデータが所定サイズ以下の場合に、前記書き込みデータを前記バッファに書き込むコントローラと

を具備することを特徴とする記憶装置。

【請求項 2】

前記コントローラは、前記書き込みデータによりメモリブロックのデータを書き換える必要がある場合に、前記書き込みデータを前記バッファに書き込むことを特徴とする請求項 1 に記載の記憶装置。 10

【請求項 3】

前記コントローラは、第 1 のメモリブロックに対応する所定数の書き込みデータが前記バッファに格納された場合、或いは前記バッファの空き容量が所定値以下になった場合に、前記所定数の書き込みデータをデータ消去済みの第 2 のメモリブロックに書き込むことを特徴とする請求項 1 に記載の記憶装置。

【請求項 4】

前記コントローラは、前記書き込みデータを受け入れる間に、前記第 1 のメモリブロックに格納されたデータのうち前記所定数の書き込みデータのアドレス以外のデータを前記第 2 のメモリブロックにコピーすることを特徴とする請求項 3 に記載の記憶装置。 20

【請求項 5】

前記コントローラは、前記書き込みデータを受け入れる処理を一定時間内に行い、かつこの一定時間を越えないように、前記コピー処理を分割して行うことを特徴とする請求項 4 に記載の記憶装置。

【請求項 6】

前記バッファは、第 1 及び第 2 のバッファブロックを含み、

前記コントローラは、前記書き込みデータを受け入れる間に、前記第 1 のバッファブロックに格納されたデータのうち前記第 2 のメモリブロックに既に書き込まれたデータ以外を前記第 2 のバッファブロックにコピーすることで、前記バッファのデータを整理することを特徴とする請求項 3 乃至 5 のいずれかに記載の記憶装置。 30

【請求項 7】

前記コントローラは、一回の書き込みコマンドに対する書き込みデータが前記所定サイズより大きい場合に、この書き込みデータを前記所定サイズの複数のデータ単位に分けて受け入れ、かつ前記複数のデータ単位のそれぞれを受け入れる間に、メモリブロック間のデータコピーを部分的に行うことを特徴とする請求項 1 に記載の記憶装置。

【請求項 8】

前記コントローラは、前記複数のデータ単位のそれぞれを受け入れる処理を一定時間内に行い、かつこの一定時間を越えないように、前記データコピーを分割して行うことを特徴とする請求項 7 に記載の記憶装置。

【請求項 9】 40

データを格納する複数のメモリブロックを含み、かつデータの消去がブロック単位で行われる不揮発性半導体メモリと、

各メモリブロックを 2 つのブロック部分に分けて管理し、かつ第 1 のメモリブロックのある領域に対してデータの書き込み要求が発生した場合に、前記領域のアドレスに関係なく、データ消去済みの第 2 のメモリブロックのうち前記領域に対応するブロック部分の先頭から前記書き込み要求のデータを書き込むコントローラと

を具備することを特徴とする記憶装置。

【請求項 10】

前記コントローラは、前記第 1 のメモリブロックに格納されたデータのうち前記書き込み要求のデータのアドレス以外のデータを前記第 2 のメモリブロックにコピーし、かつこ 50

のデータコピーをブロック部分ごとに行うことを特徴とする請求項 9 に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホスト装置との間でデータ転送を行う記憶装置に係り、特に不揮発性半導体メモリを備えた記憶装置に関する。

【背景技術】

【0002】

現在、音楽データや映像データなどを記録する記憶装置として、不揮発性半導体メモリを備えたメモリカードが使われている。不揮発性半導体メモリは、電源がオフされてもデータを消失する虞がなく、またデータの書き換えが可能である。不揮発性半導体メモリとしては、NAND型フラッシュメモリなどが用いられている。

10

【0003】

NAND型フラッシュメモリでは、データの書き込みはページ(2KB、4KB、8KBなど)単位で行われ、データの消去は複数ページで構成されたブロック(512KB、1MBなど)単位で行われる。また、NAND型フラッシュメモリにデータを書き込む場合には、以下のような制約がある。

【0004】

(1) 事前にブロック単位でデータが消去されている必要がある

(2) 同一のブロック内でデータを書き込む場合、次に書き込むデータは、前に書き込まれたデータのアドレスよりも大きなアドレスに書き込む必要がある

20

例えば、データが書き込まれたブロックに対して新データを書き込む場合、消去済みブロックを別に用意し、この消去済みブロックに新データを書き込み、さらに新データが書き込まれた部分以外は元のブロックからデータをコピーしなおす「引越し」と呼ばれる処理を行うことで実現する。特に、ランダムな論理アドレスに対してホスト装置からのデータ書き込みが発生すると、この引越し処理が頻発して書きこみ性能が低下する傾向がある。

【0005】

近年のNAND型フラッシュメモリでは、大容量化に伴って、ブロックのサイズが大きくなる傾向がある。ブロックのサイズが大きくなるにつれて、ブロック間のデータコピー時間が長くなり、引越し時間の最大値が長くなる。よって、ランダムな論理アドレスへのデータ書き込みに対するメモリカード内での書き込み時間(ビジー時間)が長くなってしまふ。

30

【0006】

一方、ビジー時間を短くするためにランダムな論理アドレスへのデータ書き込み処理の時間を短縮することに特化したデータ書き込み処理を採用すると、シーケンシャルな論理アドレスに対するデータ書き込み速度が低下してしまう。

【0007】

また、この種の関連技術として、記憶デバイスの性能を推測する技術が開示されている(特許文献1参照)。

40

【特許文献1】特開2006-178923号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、データ書き込み速度を向上することが可能な記憶装置を提供する。

【課題を解決するための手段】

【0009】

本発明の第1の視点に係る記憶装置は、データを格納する複数のメモリブロックと、データを一時的に格納するバッファとを含み、かつデータの消去がブロック単位で行われる不揮発性半導体メモリと、一回の書き込みコマンドに対する書き込みデータが所定サイズ

50

以下の場合に、前記書き込みデータを前記バッファに書き込むコントローラとを具備する。

【0010】

本発明の第2の視点に係る記憶装置は、データを格納する複数のメモリブロックを含み、かつデータの消去がブロック単位で行われる不揮発性半導体メモリと、各メモリブロックを2つのブロック部分に分けて管理し、かつ第1のメモリブロックのある領域に対してデータの書き込み要求が発生した場合に、前記領域のアドレスに関係なく、データ消去済みの第2のメモリブロックのうち前記領域に対応するブロック部分の先頭から前記書き込み要求のデータを書き込むコントローラとを具備する。

【発明の効果】

10

【0011】

本発明によれば、データ書き込み速度を向上することが可能な記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0013】

[1] 記憶装置及びホスト装置の構成

20

本実施形態では、記憶装置としてメモリカードを一例に説明する。メモリカードは、例えば、ホスト装置に対して着脱可能なように構成される。しかし、これに限定されず、記憶装置及びホスト装置を1つのLSI (Large-Scale Integrated Circuit) として構成してもよい。すなわち、ホスト装置が実装されたプリント基板上に、記憶装置を構成するコントローラ及び不揮発性半導体メモリが実装されるようにしてもよい。

【0014】

図1は、本発明の一実施形態に係るホスト装置10及びメモリカード20の構成を示すブロック図である。メモリカード20は、ホスト装置10に装着可能なように構成されている。そして、メモリカード20は、通常、ホスト装置10に装着されて使用され、ホスト装置10に対して一種の外部記憶媒体として用いられる。

30

【0015】

メモリカード20は、不揮発性半導体メモリ22を備えている。本実施形態では、不揮発性半導体メモリ22として、例えば、データの書き込み及び消去を電氣的に行う、EEPROM (Electrically Erasable Programmable Read Only Memory) の一種であるNAND型フラッシュメモリ22を例に説明する。なお、図1には、NAND型フラッシュメモリ22が1個よりなる構成を示しているが、2つ以上のNAND型フラッシュメモリ22が配置されていてもよい。

【0016】

NAND型フラッシュメモリ22を構成する各フラッシュメモリセル (メモリセルトランジスタ) は、半導体基板上にトンネル絶縁膜を介して電荷蓄積を目的とする浮遊ゲート電極、ゲート間絶縁膜、制御ゲート電極が積層形成されたスタックゲート構造を有している。そして、複数個のメモリセルトランジスタを、隣接するもの同士でソース領域若しくはドレイン領域を共有するような形で列方向に直列接続させ、その両端に選択ゲートトランジスタを配置して、NANDセルユニットが構成される。

40

【0017】

このユニットが行方向 (ワード線WLの延在方向) に複数個配列されてブロックが構成される。このブロックがデータ消去単位となる。1個のブロックのうち同じワード線WLに接続された複数のメモリセルは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

【0018】

50

NAND型フラッシュメモリ22は、複数のブロックを備えており、1つのブロックは複数のページにより構成されている。また、NAND型フラッシュメモリ22は、記憶領域31とランダムライトバッファ32とを備えている。記憶領域31は、論理アドレスに基づいて、ホスト装置10から転送された書き込みデータを格納する。また、記憶領域31は、メモリカード20を使用するユーザが自由にアクセス及び使用することが可能なユーザーデータ領域などであり、ユーザーデータなどを格納する。

【0019】

ランダムライトバッファ32は、ホスト装置10から転送された書き込みデータのうち、後述する所定の書き込みデータを一時的に格納する。ランダムライトバッファ32は、記憶領域31と同様にNAND型フラッシュメモリから構成されており、また複数のブロックから構成されている。そして、ランダムライトバッファ32の各ブロックは、データ書き込み単位である複数のページから構成されている。

10

【0020】

メモリカード20は、ホスト装置10とNAND型フラッシュメモリ22との間に設けられ、かつホスト装置10の指示に基づいてフラッシュメモリ22を制御するコントローラ21を備えている。コントローラ21は、ホストインターフェース回路23、MPU(Micro Processing Unit)24、ROM(Read Only Memory)25、RAM(Random Access Memory)26、メモリインターフェース回路27、バス28、及びRAMバッファ29を備えている。

【0021】

ホストインターフェース回路23は、コネクタ(図示せず)を介してホスト装置10と接続されており、MPU24の制御のもと、所定のプロトコルに従ってコマンド或いは各種データ等の送受信をホスト装置10との間で行う機能ブロックである。

20

【0022】

MPU24は、バス28を介してメモリカード20全体の動作を統括的に制御するものである。MPU24は、例えばメモリカード20が電源供給を受けたときに、ROM25等に格納されたファームウェアに基づいてメモリカード20の基本的な制御を実行する。また、MPU24は、ホスト装置10からライトコマンド、リードコマンド、或いは消去コマンド等を受け取り、NAND型フラッシュメモリ22に対してデータ転送処理を実行する。

30

【0023】

メモリインターフェース回路27は、バスを介してNAND型フラッシュメモリ22に接続されており、NAND型フラッシュメモリ22のアクセスに必要な一連のメモリアクセス制御を実行する。具体的には、メモリインターフェース回路27は、MPU24の制御に基づいて、NAND型フラッシュメモリ22に対する、書き込み動作、読み出し動作、或いは消去動作などを実行する。

【0024】

ROM25は、ファームウェアや制御プログラムなどを格納する。このファームウェアは、メモリカード20の基本的な制御を行うためのプログラムである。制御プログラムは、コントローラ21がホスト装置10との間でデータ転送を行う際にMPU24によって使用されるプログラムを含む。また、制御プログラムは、コントローラ21がNAND型フラッシュメモリ22との間でデータ転送を行う際にMPU24によって使用されるプログラムを含む。RAM26は、MPU24の作業エリアとして使用され、各種のテーブルなどを記憶する。

40

【0025】

RAMバッファ29は、ホスト装置10から送られたデータ、及びNAND型フラッシュメモリ22から読み出されたデータを一時的に格納する。すなわち、NAND型フラッシュメモリ22から読み出されたデータは、ホスト装置10の受け取り準備ができるまでRAMバッファ29に一時的に格納される。また、ホスト装置10から送られたデータは、NAND型フラッシュメモリ22の書き込み準備が完了するまでRAMバッファ29に

50

一時的に格納される。

【0026】

ホスト装置10は、装着されるメモリカード20に対してアクセスを行うためのハードウェア及びソフトウェア(システム)を備えている。ホスト装置10としては、画像データ、音楽データ或いはIDデータなどの各種データを処理するパーソナルコンピュータ、デジタルカメラ、或いは携帯電話端末等を含む情報処理装置が挙げられる。

【0027】

[2]メモリカード20に適用される規格

本実施形態のメモリカード20は、タイムアウトに関する規定、及びスピードクラスに関する規定を満たすようにデータ転送動作を実行する。以下に、タイムアウトに関する規定、及びスピードクラスに関する規定について説明する。なお、本実施形態では、SD^T^Mメモリカードを例に説明する。

10

【0028】

[2-1]タイムアウトに関する規定

SD^T^Mメモリカード規格では、512バイト(B)ごとのデータブロック転送を行う。そして、メモリカード20は、一定時間(タイムアウト期間)内に、データブロックの書き込みを行う必要がある。具体的には、SD^T^Mメモリカード規格では、512Bのデータブロックの転送時間ごとのビジー(Busy)時間が規定されている。このビジー時間は、ホスト装置10からメモリカード20へデータブロックが送られた場合に、このデータブロックをメモリカード20が受け入れるために必要な時間である。

20

【0029】

また、最大ビジー時間は、250msと規定されている。したがって、メモリカード20では、いかなる状況においても、ホスト装置10から転送された512Bのデータブロックの受け入れ処理を最大ビジー時間内に終了しなくてはならない。

【0030】

なお、以下の説明において、データブロックと表記した場合には、データ転送を行う際のデータの固まりをいうものとする。一方、単にブロックと表記した場合には、NAND型フラッシュメモリの消去単位であるメモリブロックをいうものとする。

【0031】

[2-2]スピードクラスに関する規定

SD^T^Mメモリカード規格では、メモリカードの性能を表すためのスピードクラスが定義されている。このスピードクラスは、一定の論理アドレス範囲(例えば、4MBアドレス境界ごと)に一定の速度での書き込みが可能であることを保証するものである。この一定の論理アドレス範囲をSD^T^Mメモリカード規格ではAU(Allocation Unit)と呼んでいる。また、スピードクラスでは、16KB単位でのマルチブロックライトで書き込みを行った際の性能と規定されている。

30

【0032】

例えば1GB以上の容量を有するメモリカードについては、AUは4MB(最大値)と決まっている。そして、このAUごとの書き込み速度(最低保証速度)が、クラス6は6MB/s以上、クラス4は4MB/s以上、クラス2は2MB/s以上であることを保証する必要がある。

40

【0033】

[3]データ書き込み動作

次に、ホスト装置10からメモリカード20へのデータ書き込み動作について説明する。このデータ書き込み動作には、シングルブロックライトとマルチブロックライトとがある。また、データ書き込みは、所定サイズ(例えば512B)のデータの固まりからなるデータブロックを単位として行われる。シングルブロックライトとは、一回のライトコマンドに続いて1つのデータブロックのみがホスト装置10から転送され、この1つのデータブロックずつ書き込みを行う方式である。マルチブロックライトとは、一回のライトコマンドに続いて連続した複数のデータブロックがホスト装置10から転送され、この連続

50

した複数のデータブロックの書き込みを行う方式である。

【0034】

ここで、ホスト装置10は、512Bのデータブロックを単位としてランダムな書き込みを行う。このようなランダムな書き込みでは、ブロックの一部のみのデータを書き換える処理（上書き処理）が多発する。NAND型フラッシュメモリ22ではブロック単位でしかデータの消去を行えない。

【0035】

このため、ブロックの一部のみを書き換える場合には、消去済みブロックを別に用意し、この消去済みブロックに書き換える新データを書き込み、新データに書き換えられる旧データを含む旧ブロックから、書き換えられない残りのデータを消去済みブロックにコピーする必要がある。したがって、ブロックの一部のみを書き換える処理は、書き換えられないデータの引越し処理を伴うため、ブロックの一部のみを書き換える処理が多発すると、オーバーヘッドが非常に増大することになる。

【0036】

本実施形態では、データの引越し処理を低減することで、データの書き換えにかかる時間を低減するようにしている。すなわち、データ書き換えが発生した場合、論理アドレスに関係なく、書き込むべき新データを消去済みの物理ブロックに書き込む。さらに、この際、書き込むべき新データを消去済みの物理ブロックの先頭ページから順に書き込む。（以下、ページシフト方式という）。

【0037】

図2は、ページシフト方式におけるデータ書き換え動作を説明するための概略図である。図2では、1つのブロックが10ページで構成されている。また、論理ブロックAのページ1～10にはあらかじめ任意のデータが書き込まれている。例えば、物理ブロックAのページ1からページ10には、論理ブロックAと同じデータが書き込まれている。また、物理ブロックBは、消去済みのブロックである。

【0038】

ホスト装置10は、ライトコマンドを発行し、メモリカード20に対して、論理ブロックAのページ3～5に、新データを上書きする。すると、コントローラ21は、この新データを、新たな消去済みの物理ブロックBのうち論理アドレスに対応するページには書き込まず、物理ブロックBの先頭ページ（ページ1）から順に新データを書き込む。このとき、コントローラ21は、書き込み要求の対象となっているページ（物理ブロックAのページ3～5）のアドレスを、新データが書き込まれたページの冗長領域に同時に書き込んでおく。そして、この状態で、新データの上書き処理を終了する。

【0039】

このような処理を行うことで、論理ブロックAにデータを上書きする際に、データの引越し処理が不要となる。これにより、論理ブロックAへの書き換え動作を高速に行うことが可能となる。データ読み出しの際には、コントローラ21は、ページ内の冗長領域に格納されたアドレスを参照することで、データ読み出し対象のデータが格納されている位置を求めることができる。

【0040】

ところで、このような書き換え動作では、論理ブロックAのページ1～10に格納された複数のデータは、物理ブロックAと物理ブロックBとに分かれて格納されている。この状況を放置しておくと、データ読み出し動作が遅くなったり、NAND型フラッシュメモリ22の使用率が低下したりしてしまう。

【0041】

したがって、本実施形態では、データブロックの書き込み処理と平行して、物理ブロックAと物理ブロックBとの2つの領域（DS：Dual sector）に分けて格納されたデータの結合処理（以下、DS結合処理という）を行う。

【0042】

図3は、物理ブロックAと物理ブロックBとの2つの領域に分けて格納されたデータの

10

20

30

40

50

結合処理を説明するための概略図である。コントローラ 2 1 は、物理ブロック A のうち、新データに対応するページより下側のページ（ページ 6 ~ 1 0）に格納されたデータの引越し処理を実行する。すなわち、コントローラ 2 1 は、物理ブロック A のページ 6 ~ 1 0 のデータを、物理ブロック B のページ 4 ~ 8 に書き込む。

【 0 0 4 3 】

続いて、コントローラ 2 1 は、物理ブロック A のうち、新データに対応するページより上側のページ（ページ 1 及び 2）に格納されたデータの引越し処理を実行する。すなわち、コントローラ 2 1 は、物理ブロック A のページ 1 及び 2 のデータを、物理ブロック B のページ 9 及び 1 0 に書き込む。

【 0 0 4 4 】

このような D S 結合処理を行うことで、物理ブロック A と物理ブロック B とに分かれて格納されていたデータを、物理ブロック B にまとめて格納することができる。これにより、物理ブロック A に格納されたデータは、全て無効データとなるため、物理ブロック A のデータを消去して新データを書き込むことが可能となる。N A N D 型フラッシュメモリ 2 2 の使用率が向上する。

【 0 0 4 5 】

この D S 結合処理は、コントローラ 2 1 によって、データ書き込み動作と平行して行われる。しかし、D S 結合処理は、最大では 1 ブロック分のデータコピー処理に相当する。このデータコピー処理にかかる時間は、ブロックサイズに起因して変わってくる。したがって、1 ブロック分のデータコピー処理が長くかかる場合には、最大ビジー時間を超えてしまい、タイムアウトスペックを満たすことができなくなってしまう。

【 0 0 4 6 】

以下に、タイムアウトスペックを満たすための書き込み動作を、シングルブロックライト及びマルチブロックライトそれぞれについて説明する。

【 0 0 4 7 】

[3 - 1] シングルブロックライトへの対応

シングルブロックライトでは、ホスト装置 1 0 は、5 1 2 B のデータブロックを単位としてランダムな書き込みを行う。このようなランダムな書き込みでは、ブロックの一部のみのデータを書き換える処理（上書き処理）が多発する。この場合、書き込みデータを消去済みの物理ブロックに書き込むと、D S 結合処理が必要になる。

【 0 0 4 8 】

本実施形態では、D S 結合処理が必要になる場合には、コントローラ 2 1 は、ホスト装置 1 0 から送られたデータブロックを N A N D 型フラッシュメモリ 2 2 内の記憶領域 3 1 には直接書き込まず、一時的にランダムライトバッファ 3 2 に追記していく。このようにして、D S 結合処理ごとに発生するコピー処理（引越し処理）を削減する。ランダムライトバッファ 3 2 は、N A N D 型フラッシュメモリ 2 2 内の一定数のメモリブロックを、通常のデータ格納用に使用するメモリブロックとは別に、コントローラ 2 1 があらかじめ確保したものである。

【 0 0 4 9 】

図 4 は、シングルブロックライト動作を示すタイミングチャートである。なお、図 4 は、ホスト装置 1 0 とコントローラ 2 1 とを接続するバス上のデータを示している。

【 0 0 5 0 】

まず、コントローラ 2 1 は、ホスト装置 1 0 から発行されたシングルブロックライトコマンド（S W - C M D）を受け取り、このコマンドを解釈する。続いて、ホスト装置 1 0 は、コントローラ 2 1 に 5 1 2 B のデータブロック（書き込みデータ）を送る。

【 0 0 5 1 】

すると、コントローラ 2 1 は、ホスト装置 1 0 にビジー信号を送る。続いて、コントローラ 2 1 は、最大ビジー時間を越えない範囲で、ホスト装置 1 0 から送られたデータブロックの受け入れ処理（具体的には、データブロックを R A M バッファ 2 9 に一時的に書き込む処理）を実行する。コントローラ 2 1 は、この受け入れ処理が完了すると、ビジーを

10

20

30

40

50

解除する。その後、コントローラ 2 1 は、このデータブロックをランダムライトバッファ 3 2 に追記する。

【 0 0 5 2 】

同様に、コントローラ 2 1 は、次の SW - CMD に対しても、データブロックの受け入れ処理を実行し、さらに、このデータブロックをランダムライトバッファ 3 2 に追記する。このような処理により、1つのデータブロックを書き換えるために発生していたデータの引越し処理を削減することができる。

【 0 0 5 3 】

ただし、ランダムライトバッファ 3 2 のサイズは有限であり、NAND型フラッシュメモリ 2 2 の容量を有効に使用するためにはランダムライトバッファ 3 2 のサイズはなるべく小さくする必要がある。そのため、ランダムライトバッファ 3 2 に書き込まれたデータは、適切な方法で記憶領域 3 1 内の物理ブロックに書き戻していく必要がある。この処理を本実施形態では「整理」と呼ぶ。この整理は、記憶領域 3 1 のある物理ブロックのデータと、その物理ブロックに対応するランダムライトバッファ 3 2 中のデータとを結合して、有効データが含まれない別の物理ブロックに書き写す処理である。

10

【 0 0 5 4 】

コントローラ 2 1 は、ランダムライトバッファ 3 2 のエントリー数の空きが例えば 2 個以下、或いは、ブロックあたりのランダムライトバッファ 3 2 のデータ数の最大が所定数（1 或いは 2 以上）以上になった場合、ランダムライトバッファ 3 2 に格納されている書き込みデータが最も多く含まれるブロックを優先的に整理して、ランダムライトバッファ 3 2 内の書き込みデータを記憶領域 3 1 に書き写す。

20

【 0 0 5 5 】

これは、1つのブロックに対してなるべく多くの書き込みデータをランダムライトバッファ 3 2 に貯めてから整理した方が一度に多くの書き込みデータを処理できるので、ランダムライトバッファ 3 2 の空き領域を効率よく増やすことができ、さらに、必要なランダムライトバッファ 3 2 のサイズを小さく抑えることができるからである。このとき、この整理に伴う 1 ブロック分の引越し処理（データコピー処理）は例えばブロックの 1 / 2 ずつ、2 回のシングルブロックライトのビジー期間に分けて行い、1 ブロック分のデータコピー時間が長い場合でもタイムアウトを防ぐようにする。

【 0 0 5 6 】

図 5 は、シングルブロックライト動作を説明するための概略図である。記憶領域 3 1 は、説明の理解を容易にするために、4 つのブロック A ~ D により構成されているものとする。前述したように、DS 結合処理が必要になる場合、シングルブロックライト動作では、ランダムライトバッファ 3 2 に 5 1 2 B の書き込みデータが順に追記されていく。

30

【 0 0 5 7 】

図 5 に示すように、ランダムライトバッファ 3 2 には、7 個の書き込みデータ（A 1 ~ A 3、B 1、B 2、C 1、D 1）が格納されている。書き込みデータ A 1 ~ A 3 は、ブロック A の論理アドレスに対応する書き込みデータ（ブロック A に書き込まれるべきデータ）である。同様に、書き込みデータ B 1 及び B 2 はブロック B の論理アドレスに対応する書き込みデータ、書き込みデータ C 1 はブロック C の論理アドレスに対応する書き込みデータ、書き込みデータ D 1 はブロック D の論理アドレスに対応する書き込みデータである。

40

【 0 0 5 8 】

ここで、ランダムライトバッファ 3 2 のエントリー数の空きが例えば 2 個以下となった場合、ブロックあたりのランダムライトバッファ 3 2 のデータ数が最大であるブロック A を整理対象とする。そして、書き込みデータ A 1 ~ A 3 をブロック A に書き写すとともに、ブロック A の引越し（書き換えられないデータの引越し）処理を行う。

【 0 0 5 9 】

さらに、ブロック A の引越し処理は、2 回のデータブロックの受け入れ処理のビジー期間中に行う。すなわち、図 4 に示した 1 回目のビジー期間中にブロック A の引越し処理の

50

1 / 2 を行い、2 回目のビジー期間中にブロック A の引越し処理の残りを行う。

【 0 0 6 0 】

シングルブロックライトでの上書き動作において、上記のような処理を行うことで、1 回のライト処理に伴う引越し処理を低減することができる。これにより、シングルブロックライト動作を高速に行うことが可能となる。また、ブロックの引越し処理を2 回のデータブロック書き込み処理に分けて行うことで、引越し処理に起因するタイムアウトを防ぐことができる。

【 0 0 6 1 】

なお、シングルブロックライトにおける上記説明では、DS 処理が必要な場合に、ランダムライトバッファ 3 2 にデータを書き込むようにしている。しかし、データを書き換える必要がない場合、又はデータの書き換えがデータコピーを伴わない場合にも、ランダムライトバッファ 3 2 にデータを書き込むようにしてもよい。

【 0 0 6 2 】

[3 - 1 - 1] ランダムライトバッファ 3 2 に必要なエントリー数

次に、ランダムライトバッファ 3 2 のサイズについて説明する。ランダムライトバッファ 3 2 のエントリー数は、シングルブロックライトにおいて、どのような論理アドレスへのデータ書き込みが発生した場合でも、ランダムライトバッファ 3 2 が溢れることがないように設定される。なお、エントリー数は、ランダムライトバッファ 3 2 にバッファリング可能な有効データ数である。また、ランダムライトバッファ 3 2 は NAND 型フラッシュメモリにより構成されているので、エントリー数は、ランダムライトバッファ 3 2 のページ数に対応する。

【 0 0 6 3 】

本実施形態では、2 回のデータ書き込み処理に分けて引越し処理（ランダムライトバッファ 3 2 の整理を含む）を行う。この2 回のデータ書き込み処理により、ランダムライトバッファ 3 2 内には2 個の書き込みデータが増えることになる。したがって、引越し処理中の2 回のデータ書き込み処理の間に、ランダムライトバッファ 3 2 内のバッファリングデータを2 個整理（すなわち、記憶領域 3 1 内のブロックに書き写す）すれば、ランダムライトバッファ 3 2 が書き込みデータで溢れることがない。

【 0 0 6 4 】

ここで、記憶領域 3 1 のブロック数を N 個とする。また、ランダムライトバッファ 3 2 にバッファリング可能な有効データ数を M 個とする。 N 及び M はそれぞれ、1 以上の整数である。

【 0 0 6 5 】

「 $M = N + 4$ 」とすると、 $(N + 2)$ 個までランダムライトバッファ 3 2 が埋まったときに、同じブロックに関係付けられたバッファリングデータが2 個以上あるブロックが常に1 つは存在する。したがって、このブロックを引越し対象とすると、新たな書き込みデータがランダムライトバッファ 3 2 にバッファリングされる間に1 つのブロックを整理することができる。その際、このブロックに関係付けられた2 個以上のバッファリングデータがランダムライトバッファ 3 2 から整理される。

【 0 0 6 6 】

よって、上記条件を満たす少なくとも M 個のエントリー数をランダムライトバッファ 3 2 内に用意することで、ランダムライトバッファ 3 2 の空きが減少することがなく、かつランダムライトバッファ 3 2 が書き込みデータで溢れることがない。

【 0 0 6 7 】

以下に、具体的なデータ書き込み動作を説明しながら、ランダムライトバッファ 3 2 のバッファリング可能な有効データ数について説明する。図 6 は、ランダムライトバッファ 3 2 に書き込まれたデータとランダムライトバッファ 3 2 のバッファリング可能な有効データ数との関係を示す図である。なお、メモリカード 2 0 は、8 個の論理ブロック A ~ H を備えているものとする。また、図 6 では、ランダムライトバッファ 3 2 に書き込まれたデータがどの論理ブロックに関係付けられているかが分かるように、書き込みデータを論

10

20

30

40

50

理ブロック A ~ H ごとに分けて示している。

【 0 0 6 8 】

ステップ (1) において、ホスト装置 1 0 は、論理ブロック A にデータ “ 1 ” を書き込む。これに対応して、コントローラ 2 1 は、データ “ 1 ” をランダムライトバッファ 3 2 に書き込む。このとき、ランダムライトバッファ 3 2 内の有効データ数は “ 1 ” である。続いて、ステップ (2) において、ホスト装置 1 0 は、論理ブロック B にデータ “ 2 ” を書き込む。これに対応して、コントローラ 2 1 は、データ “ 2 ” をランダムライトバッファ 3 2 に書き込む。このとき、ランダムライトバッファ 3 2 内の有効データ数は “ 2 ” である。

【 0 0 6 9 】

以下同様に、ステップ (3) ~ (1 1) において、ホスト装置 1 0 は、データ “ 3 ” ~ データ “ 1 1 ” を順に図 6 に示した論理ブロックに書き込む。これに対応して、コントローラ 2 1 は、データ “ 3 ” ~ データ “ 1 1 ” をランダムライトバッファ 3 2 に順に書き込む。ステップ (1 1) のとき、ランダムライトバッファ 3 2 内の有効データ数は “ 1 1 ” である。

【 0 0 7 0 】

続いて、ステップ (1 2) において、ホスト装置 1 0 は、論理ブロック D にデータ “ 1 2 ” を書き込む。これに対応して、コントローラ 2 1 は、ブロック A の 1 / 2 の引越し処理を行う。また、コントローラ 2 1 は、データ “ 1 2 ” をランダムライトバッファ 3 2 に書き込む。このとき、ランダムライトバッファ 3 2 内の有効データ数は “ 1 2 ” である。

【 0 0 7 1 】

続いて、ステップ (1 3) において、ホスト装置 1 0 は、論理ブロック E にデータ “ 1 3 ” を書き込む。これに対応して、コントローラ 2 1 は、ブロック A の残りの 1 / 2 の引越し処理を行う。これにより、論理ブロック A に関係付けられたデータ “ 1 ” 及び “ 9 ” が記憶領域 3 1 に書き写されたため、ランダムライトバッファ 3 2 内のデータ “ 1 ” 及び “ 9 ” は、無効データとなる。図 6 では、データにマイナスを付けて無効データを示している。また、コントローラ 2 1 は、データ “ 1 3 ” をランダムライトバッファ 3 2 に書き込む。このとき、ランダムライトバッファ 3 2 内の有効データ数は “ 1 1 ” である。

【 0 0 7 2 】

以下同様に、ステップ (1 4) ~ (1 9) を参照して、データ “ 1 4 ” ~ データ “ 1 9 ” がランダムライトバッファ 3 2 に順に書き込まれる。このとき、ステップ (1 4) 及び (1 5) において、コントローラ 2 1 は、ブロック B の引越し処理を行う。また、ステップ (1 6) 及び (1 7) において、コントローラ 2 1 は、ブロック C の引越し処理を行う。また、ステップ (1 8) 及び (1 9) において、コントローラ 2 1 は、ブロック G の引越し処理を行う。

【 0 0 7 3 】

これらの処理において、図 6 に示すように、ランダムライトバッファ 3 2 内の有効データ数の上限は “ 1 2 ” であり、したがってランダムライトバッファ 3 2 に必要なエントリ数は “ 1 2 ” となる。すなわち、前述した記憶領域 3 1 のブロック数 N と、ランダムライトバッファ 3 2 にバッファリング可能な有効データ数 M との関係式を満たすことで、ランダムライトバッファ 3 2 が書き込みデータで溢れることがない。

【 0 0 7 4 】

[3 - 1 - 2] ランダムライトバッファ 3 2 のガベージコレクション

ランダムライトバッファ 3 2 は N A N D 型フラッシュメモリにより構成されるため、ランダムライトバッファ 3 2 の任意の物理アドレスには書き込めず、バッファ内に追記していくことになる。一方、ランダムライトバッファ 3 2 を整理することでランダムライトバッファ 3 2 から除かれる有効データの位置はランダムライトバッファ 3 2 内のあちこちのアドレスに分散しているため、無効データの位置に対しても新たなデータを直接書き込むことはできない。したがって、あるタイミングでのガベージコレクションが必要となる。なお、ガベージコレクションとは、不要になった無効データを解放してデータ領域を利用

10

20

30

40

50

可能な状態（すなわち追記によるデータ書き込みが可能な状態）に戻す処理である。

【0075】

本実施形態では、ガベージコレクションは、例えば下記（1）～（4）の条件を満たすように行われる。

【0076】

（1）1回のランダムライトバッファ32へのデータ書き込みのたびに、4ページずつのガベージコレクションを行う。これにより、1回のシングルブロックライト動作でのビジー期間中に行うガベージコレクションの処理時間を少なくすることができるため、タイムアウトを防ぐことができる。

【0077】

（2）ランダムライトバッファ32へのデータ書き込みは、最も空きが少ないブロックから優先的に行う。

【0078】

（3）無効データの数（ガベージの数）が1ブロックの1/4以上あり、かつ、最もガベージが多いブロックをガベージコレクションの対象とする。

【0079】

（4）ランダムライトバッファ32のブロック数は、ランダムライトバッファ32に必要なエン트리数から算出される最低必要なブロック数をLとすると、“ $(4/3)L + 1$ ”個に設定される。

【0080】

これらの条件を満たすようにランダムライトバッファ32のブロック数を設定する。すると、ランダムライトバッファ32が $(4/3)L$ 個のブロックまで埋まったとき、必ず1/4以上のガベージがあるブロックが1個は存在する。このブロックのガベージコレクションを行うためには、1/4ブロック分の新規書き込みが必要であるが、その結果、1/4ブロックの空きができる。このため、ランダムライトバッファ32がガベージで溢れることがない。

【0081】

図7は、ランダムライトバッファ32のガベージコレクション動作を説明するための概略図である。ランダムライトバッファ32に必要なエン트리数から算出される最低必要なブロック数を3ブロックとすると、上記（4）の条件を満たすランダムライトバッファ32のブロック数は、5個となる。この様子を図7に示している。すなわち、ランダムライトバッファ32は、5つのブロックa～eにより構成されている。この5つのブロックのうち1つのブロックeは、作業用として使用され、データが消去された空き状態である。

【0082】

ブロックa～dには、それぞれ有効データ及び無効データ（ガベージ）が格納されている。なお、図7は、ブロック内のデータ量を示した図であり、ブロック内のデータの順番は実際と異なっている。

【0083】

図7に示すように、ブロックa～dが一杯に埋まった場合、1/4ブロック以上がガベージとなるブロックが1個は存在する。このブロックをガベージコレクションの対象とする。例えばブロックaをガベージコレクションの対象とすると、ブロックa内の有効データが作業用のブロックeに引越しされる。

【0084】

また、このガベージコレクションは、前述したように4ページずつ行われるので、ガベージコレクション中に新たにランダムライトバッファ32に書き込まれた追加データについても、作業用のブロックeに書き込まれる。このようなガベージコレクション動作を行うことで、ランダムライトバッファ32内の無効データを整理することができる。

【0085】

次に、具体的なガベージコレクション動作について説明する。記憶領域31の論理ブロック数を20個とする。ランダムライトバッファ32の構成は、1ブロックが8ページ（

10

20

30

40

50

8 エントリ) とする。よって、ランダムライトバッファ 3 2 の最低必要なブロック数は、 $(20 + 4) / 8 = 3$ ブロックである。また、ランダムライトバッファ 3 2 のブロック数は、 $(4 / 3) \cdot 3 + 1 = 5$ ブロックである。この 5 ブロックをブロック a ~ e とする。

【0086】

図 8 は、具体的なガベージコレクション動作を説明するための概略図である。図 9 は、ランダムライトバッファ 3 2 に含まれるブロックの空きエントリー数を説明するための図である。

【0087】

ブロック a ~ d までが一杯にデータで埋まった段階では、ランダムライトバッファ 3 2 には、3 2 個分のデータエントリがある。ランダムライトバッファ 3 2 内の有効データはこのうちの 2 4 個以下であるので、8 個以上が無効データである。したがって、最低でも 2 個の無効データがあるブロックが存在する。このうちの 1 つのブロックをガベージコレクションの対象とする。ガベージコレクションの対象をブロック a とし、これをブロック e に整理するものとする。

【0088】

図 8 において、ブロック a には、データ 1、2、5、8、11、12、14、18 が書き込まれており、このうちのデータ 2 及び 11 が無効データである。1 回目のシングルブロックライト動作 (データ 3 3 の書き込み) において、4 ページ分のデータ 1、5、8、12 のブロック e への引越しと、新規書き込みデータ 3 3 のブロック e への書き込みとが行われる。

【0089】

続いて、2 回目のシングルブロックライト動作 (データ 3 4 の書き込み) において、残りのページ分のデータ 1 4 及び 1 8 のブロック e への引越しと、新規書き込みデータ 3 4 のブロック e への書き込みとが行われる。このようにして、2 回の書き込み動作で、ブロック a のガベージコレクションを行うことができる。その後、ブロック a のデータを消去することで、ブロック a が次の作業用ブロックとなる。

【0090】

図 9 に示すように、ブロック a のガベージコレクションを行った結果、ブロック a の空きエントリー数が 8 になる。同様に、ブロック b ~ e 内の有効データ数は最大で 2 4 個であるので、このうちの最低 8 個は無効データである。したがって、2 個以上の無効データが存在するブロックが必ず 1 つは存在する。このブロックをブロック b とすると、これをブロック a に整理する。

【0091】

また、ブロック a、c、d、e 内の有効データ数は最大で 2 4 個であるので、このうちの最低 8 個は無効データである。したがって、2 個以上の無効データが存在するブロックが必ず 1 つは存在する。このブロックをブロック c とすると、これをブロック b に整理する。このようにしてブロックを順に整理することで、ランダムライトバッファ 3 2 がガベージで溢れることがない。

【0092】

[3 - 2] マルチブロックライトへの対応

次に、マルチブロックライト動作について説明する。本実施形態のメモリカード 2 0 は、ホスト装置 1 0 から、マルチブロックライトコマンドに続いて送られる連続した複数のデータブロックに対しての書き込みを行うことも可能である。また、マルチブロックライトは、これらの複数のデータブロックが連続した論理アドレスに対するデータ書き込みである。

【0093】

図 1 0 は、マルチブロックライト動作を示すタイミングチャートである。なお、図 1 0 は、ホスト装置 1 0 とコントローラ 2 1 とを接続するバス上のデータを示している。

【0094】

まず、コントローラ 2 1 は、ホスト装置 1 0 から発行されたマルチブロックライトコマ

10

20

30

40

50

ンド (MW - CMD) を受け取り、このコマンドを解釈する。続いて、ホスト装置 10 は、コントローラ 21 に 512B のデータブロック (書き込みデータ) を送る。

【0095】

すると、コントローラ 21 は、ホスト装置 10 にビジー信号を送る。続いて、コントローラ 21 は、最大ビジー時間を越えない範囲で、ホスト装置 10 から送られたデータブロックの受け入れ処理 (具体的には、データブロックを RAM バッファ 29 に一時的に書き込む処理) を実行する。コントローラ 21 は、この受け入れ処理が完了すると、ビジーを解除する。その後、コントローラ 21 は、このデータブロックを NAND 型フラッシュメモリ 22 の記憶領域 31 に書き込む。また、コントローラ 21 は、DS 結合処理が必要な場合は、このデータブロックに対応するビジー期間中に、データブロックの受け入れ処理と平行して、DS 結合処理の 1 / 2 を行う。

10

【0096】

続いて、ホスト装置 10 は、コントローラ 21 に次のデータブロックを送る。すると、コントローラ 21 は、ホスト装置 10 にビジー信号を送る。続いて、コントローラ 21 は、最大ビジー時間を越えない範囲で、ホスト装置 10 から送られたデータブロックの受け入れ処理を実行する。コントローラ 21 は、この受け入れ処理が完了すると、ビジーを解除する。その後、コントローラ 21 は、このデータブロックを NAND 型フラッシュメモリ 22 の記憶領域 31 に書き込む。また、コントローラ 21 は、このデータブロックに対応するビジー期間中に、データブロックの受け入れ処理と平行して、DS 結合処理の残りの 1 / 2 を行う。

20

【0097】

同様に、コントローラ 21 は、ホスト装置 10 から送られた複数のデータブロックを受け取る。そして、コントローラ 21 は、それぞれのデータブロックに対応するビジー期間中に、DS 結合処理を 1 / 2 ずつ行う。

【0098】

続いて、ホスト装置 10 は、複数のデータブロックを全て送り終わると、ストップコマンド (ST - CMD) を発行する。コントローラ 21 は、このストップコマンド (ST - CMD) を受け取り、このコマンドを解釈する。これにより、コントローラ 21 は、今回のマルチブロックライトコマンド (MW - CMD) に対するデータ転送が終了したことを認識する。

30

【0099】

なお、マルチブロックライトコマンド (MW - CMD) に続いて 1 つのデータブロックのみが転送される場合もある。図 11 は、マルチブロックライト動作の他の例を示すタイミングチャートである。

【0100】

コントローラ 21 は、ホスト装置 10 から発行されたマルチブロックライトコマンド (MW - CMD) を受け取り、このコマンドを解釈する。続いて、ホスト装置 10 は、コントローラ 21 にデータブロックを送る。すると、コントローラ 21 は、最大ビジー時間を越えない範囲で、ホスト装置 10 から送られたデータブロックの受け入れ処理を実行する。また、コントローラ 21 は、DS 結合処理が必要な場合は、このデータブロックに対応するビジー期間中に、データブロックの受け入れ処理と平行して、DS 結合処理の 1 / 2 を行う。

40

【0101】

ここで、1 つのデータブロックの後に、ホスト装置 10 からストップコマンド (ST - CMD) が送られてきた場合、コントローラ 21 は以後、シングルブロックライトの場合と同じ処理を実行する。すなわち、コントローラ 21 は、上記データブロックをランダムライトバッファ 32 に追記する。このような処理により、マルチブロックライトコマンドに続いて 1 つのデータブロックしか送られてこない場合でも、データの引越し処理を削減することができる。

【0102】

50

ところで、本実施形態では、同一のブロックに対して2回のマルチブロックライト動作が行われた場合にデータのコピー量が最大で1/2ブロックで済むようにする。すなわち、1つのブロックを2つの領域に分けて管理し、この2つの領域それぞれについて、データ書き換えが発生した場合に、論理アドレスに関係なく、書き込むべき新データを消去済みの物理ブロックのうち対応する領域の先頭ページから順に行う（以下、デュアルページシフト方式という）。

【0103】

図12及び図13は、デュアルページシフト方式におけるデータ書き換え動作を説明するための概略図である。図12及び図13では、1つのブロックが10ページで構成される。また1つの物理ブロックは、ページ1～5からなる領域1と、ページ6～10からなる領域2とに分割されて管理される。また、論理ブロックAのページ1～10にはあらかじめ任意のデータが書き込まれている。物理ブロックAのページ1～10には、例えば論理ブロックAと同じデータが書き込まれている。また、物理ブロックBは、消去済みの物理ブロックである。

10

【0104】

図12に示すように、ホスト装置10は、メモ리카ード20に対して、論理ブロックAの領域1内のページ2及びページ3に、データブロック1（データ1）及びデータブロック2（データ2）をそれぞれ連続して書き込む。すると、コントローラ21は、データ1及びデータ2を、消去済みの物理ブロックBのうち論理アドレスに対応するページには書き込まず、物理ブロックBの領域1の先頭ページ（ページ1）から順に書き込む（ステップS101）。このとき、コントローラ21は、書き込み要求の対象となっているページ（物理ブロックAのページ2及び3）のアドレスを、新データが書き込まれたページの冗長領域に同時に書き込んでおく。

20

【0105】

続いて、図13に示すように、ホスト装置10は、メモ리카ード20に対して、論理ブロックAの領域2内のページ8及びページ9に、データブロック3（データ3）及びデータブロック4（データ4）をそれぞれ連続して書き込む。すると、まずコントローラ21は、物理ブロックAの領域1に書き込まれたデータの引越し処理を実行する。すなわち、コントローラ21は、物理ブロックAのページ4及び5のデータを、物理ブロックBのページ3及び4にそれぞれ書き込む（ステップS102）。続いて、コントローラ21は、物理ブロックAのページ1のデータを、物理ブロックBのページ5に書き込む（ステップS103）。

30

【0106】

続いて、コントローラ21は、データ3及びデータ4を、物理ブロックBのうち論理アドレスに対応するページには書き込まず、物理ブロックBの領域2の先頭ページ（ページ6）から順に書き込む（ステップS104）。このとき、コントローラ21は、書き込み要求の対象となっているページ（物理ブロックAのページ8及び9）のアドレスを、新データが書き込まれたページの冗長領域に同時に書き込んでおく。

【0107】

このような処理を行うことで、論理ブロックAの領域1にデータを上書きする際に、データの引越し処理が不要となる。これにより、領域1への書き換え動作を高速に行うことが可能となる。さらに、論理ブロックAの領域2にデータを上書きする際に、最大のデータコピー量を1/2ブロックに抑えることができる。これにより、引越し処理にかかる時間を低減することができる。この結果、タイムアウトを防ぐことができる。

40

【0108】

[4] データ書き込みの一連の動作

次に、ライトコマンド（シングルブロックライトコマンド或いはマルチブロックライトコマンド）を受け取ってから、このライトコマンドに関する一連の書き込み処理が終了するまでの動作について説明する。

【0109】

50

図14及び図15は、ライトコマンドに関する一連の動作を示すフローチャートである。ホスト装置10からライトコマンドを受け取ると(ステップS201)、コントローラ21は、DS結合処理が必要であるか否かを判定する(ステップS202)。DS結合処理が必要でない場合、コントローラ21は、デュアルページシフト方式を用いて引越し処理を実行した後、データ書き込み処理(データ受け入れ処理を含む)を実行する。(ステップS203)。

【0110】

ステップS202においてDS結合処理が必要である場合、コントローラ21は、ホスト装置10から受け取ったライトコマンドを解釈する(ステップS204)。このライトコマンドがシングルブロックライトコマンドである場合、コントローラ21は以後、シングルブロックライト動作を実行する。

10

【0111】

すなわち、ホスト装置10からデータブロックを受け取ると(ステップS205)、コントローラ21は、このデータブロックをランダムライトバッファ32に追記する(ステップS206)。続いて、コントローラ21は、シングルブロックライト動作によるブロックの引越し処理の途中(すなわち、ブロックの1/2の引越し処理が終了している状態)であるか否かを判定する(ステップS207)。

【0112】

引越し処理の途中でない場合、コントローラ21は、ランダムライトバッファ32の空きエントリー数が2以下であるか否かを判定する(ステップS208)。空きエントリー数が2以下である場合、コントローラ21は、ランダムライトバッファ32に格納されたデータが最も多いブロックの引越し処理を1/2だけ実行する(ステップS209)。

20

【0113】

続いて、コントローラ21は、ランダムライトバッファ32のガベージコレクション処理を実行する(ステップS210)。その後、コントローラ21は、ビジーを解除する(ステップS211)。

【0114】

ステップS207において引越し処理の途中である場合、コントローラ21は、残りの引越し処理を実行する(ステップS212)。そして、コントローラ21は、ステップS210に以降して、ランダムライトバッファ32のガベージコレクション処理を実行する。

30

【0115】

ステップS208において空きエントリー数が2より多い場合、コントローラ21は、ステップS210に移行して、ランダムライトバッファ32のガベージコレクション処理を実行する。

【0116】

一方、ステップS204においてシングルブロックライトコマンドでない場合、コントローラ21は以後、マルチブロックライト動作を実行する。すなわち、ホスト装置10からデータブロックを受け取ると(ステップS301)、コントローラ21は、DS結合処理が必要であるか否かを判定する(ステップS302)。DS結合処理が必要でない場合、コントローラ21は、ステップ317に移行して、続くデータブロックを受け取る。そして、コントローラ21は、記憶領域31へのデータ書き込み処理を実行する。

40

【0117】

ステップS302においてDS結合処理が必要である場合、コントローラ21は、1/2分のDS結合処理を実行する(ステップS303)。続いて、コントローラ21は、ストップコマンド(ST-CMD)を受け取ったか否かを監視している(ステップS304)。ストップコマンド(ST-CMD)を受け取った場合、コントローラ21は、DS結合処理を中断する(ステップS305)。そして、コントローラ21は、ステップS206に移行して、以後シングルブロックライトと同じ処理を実行する。

【0118】

50

ステップ S 3 0 4 においてストップコマンド (S T - C M D) を受け取らなかった場合、コントローラ 2 1 は、1 / 2 分の D S 結合処理を継続し、この D S 結合処理が終了すると (ステップ S 3 0 6)、ビジー (B u s y) を解除する (ステップ S 3 0 7)。

【 0 1 1 9 】

続いて、コントローラ 2 1 は、ストップコマンド (S T - C M D) を受け取ったか否かを監視している (ステップ S 3 0 8)。ストップコマンド (S T - C M D) を受け取った場合、コントローラ 2 1 は、D S 結合処理を中断して (ステップ S 3 0 5)、以後シングルブロックライトと同じ処理を実行する。

【 0 1 2 0 】

ステップ S 3 0 8 においてストップコマンド (S T - C M D) を受け取らず、データブロックを受け取ると (ステップ S 3 0 9)、コントローラ 2 1 は、残りの D S 結合処理を実行する (ステップ S 3 1 0)。続いて、コントローラ 2 1 は、ストップコマンド (S T - C M D) を受け取ったか否かを監視している (ステップ S 3 1 1)。ストップコマンド (S T - C M D) を受け取った場合、コントローラ 2 1 は、残りの D S 結合処理を継続する (ステップ S 3 1 2)。残りの D S 結合処理が終了すると (ステップ S 3 1 3)、コントローラ 2 1 は、ビジーを解除する (ステップ S 3 1 4)。

10

【 0 1 2 1 】

ステップ S 3 1 1 においてストップコマンド (S T - C M D) を受け取らなかった場合、コントローラ 2 1 は、残りの D S 結合処理を継続し、この D S 結合処理が終了すると (ステップ S 3 1 5)、ビジーを解除する (ステップ S 3 1 6)。続いて、コントローラ 2 1 は、続くデータブロックを受け取り、記憶領域 3 1 へのデータ書き込み処理を実行する (ステップ S 3 1 7)。このようにして、ライトコマンドを受け取ってからの一連の処理が行われる。

20

【 0 1 2 2 】

以上詳述したように本実施形態によれば、シングルブロックライト及びマルチブロックライトそれぞれについて、メモリカード規格におけるタイムアウトスペック及びスピードクラススペックを満たすことが可能となる。

【 0 1 2 3 】

また、シングルブロックライトにおいては、D S 結合処理が必要になる場合には、データブロックを記憶領域 3 1 には書き込まず、ランダムライトバッファ 3 2 に書き込むようにしている。これにより、データの引越し処理を削減することができる。さらに、ランダムライトバッファ 3 2 内の無効データを順次整理することで、ランダムライトバッファ 3 2 の容量を小さく抑えることが可能となる。

30

【 0 1 2 4 】

また、マルチブロックライトにおいては、ビジー期間中に D S 結合処理を分割して行うことで、タイムアウトスペックを満たしつつ各データブロックの受け入れ処理を行うことができる。さらに、デュアルページシフト方式を用いることで、データ引越し量を低減することができる。これにより、データ引越しにかかる時間を低減することができる。

【 0 1 2 5 】

本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化できる。また、実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

40

【 図面の簡単な説明 】

【 0 1 2 6 】

【 図 1 】 本発明の一実施形態に係るホスト装置 1 0 及びメモリカード 2 0 の構成を示すブロック図。

【 図 2 】 ページシフト方式におけるデータ書き換え動作を説明するための概略図。

【 図 3 】 物理ブロック A と物理ブロック B との 2 つの領域に分けて格納されたデータの結

50

合処理を説明するための概略図。

【図4】シングルブロックライト動作を示すタイミングチャート。

【図5】シングルブロックライト動作を説明するための概略図。

【図6】ランダムライトバッファ32に書き込まれたデータとランダムライトバッファ32のバッファリング可能な有効データ数との関係を示す図。

【図7】ランダムライトバッファ32のガベージコレクション動作を説明するための概略図。

【図8】具体的なガベージコレクション動作を説明するための概略図。

【図9】ランダムライトバッファ32に含まれるブロックの空きエントリ数とを説明するための図。

10

【図10】マルチブロックライト動作を示すタイミングチャート。

【図11】マルチブロックライト動作の他の例を示すタイミングチャート。

【図12】デュアルページシフト方式におけるデータ書き換え動作を説明するための概略図。

【図13】図12に続くデュアルページシフト方式におけるデータ書き換え動作を説明するための概略図。

【図14】ライトコマンドに関する一連の動作を示すフローチャート。

【図15】図14に続くライトコマンドに関する一連の動作を示すフローチャート。

【符号の説明】

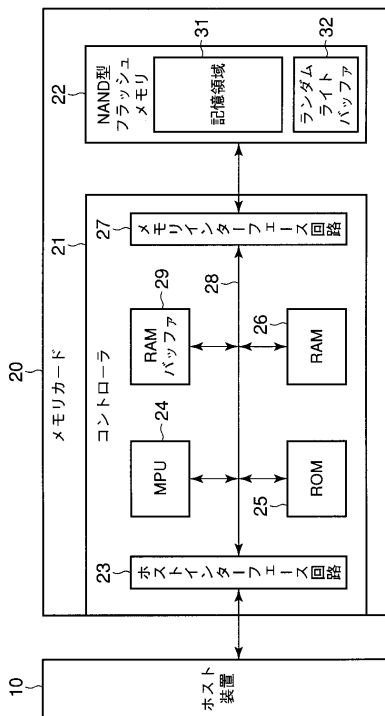
【0127】

20

10...ホスト装置、20...メモ리카ード、21...コントローラ、22...NAND型フラッシュメモリ、23...ホストインターフェース回路、24...MPU、25...ROM、26...RAM、27...メモリアクセス回路、28...バス、29...RAMバッファ、31...記憶領域、32...ランダムライトバッファ。

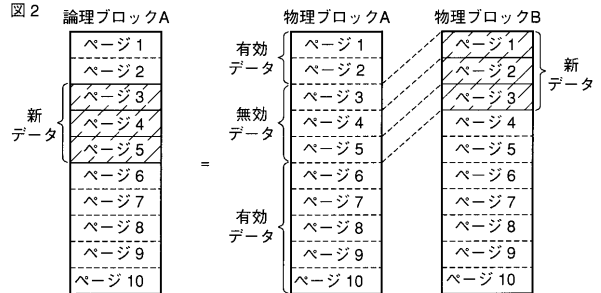
【図1】

図1



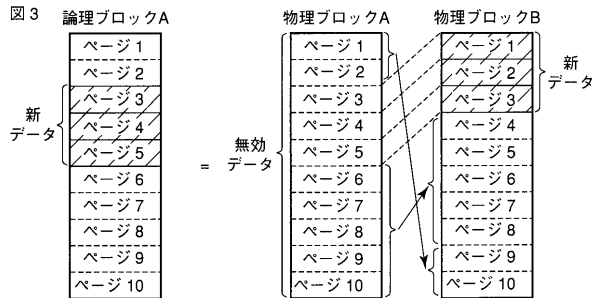
【図2】

図2



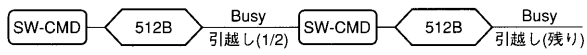
【図3】

図3



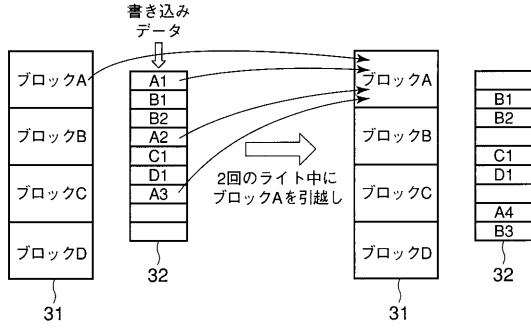
【 図 4 】

図 4



【 図 5 】

図 5



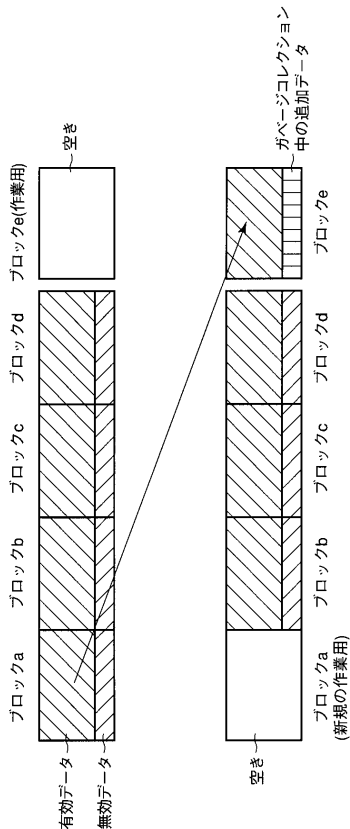
【 図 6 】

図 6

ステップ	ブロック A	ブロック B	ブロック C	ブロック D	ブロック E	ブロック F	ブロック G	ブロック H	有効データ数
(1)	1								1
(2)	1	2							2
(3)	1	2	3						3
(4)	1	2	3	4					4
(5)	1	2	3	4	5				5
(6)	1	2	3	4	5	6			6
(7)	1	2	3	4	5	6	7		7
(8)	1	2	3	4	5	6	7	8	8
(9)	1,9	2	3	4	5	6	7	8	8
(10)	1,9	2,10	3	4	5	6	7	8	8
(11)	1,9	2,10	3,11	4	5	6	7	8	8
(12)	1,9	2,10	3,11	4,12	5	6	7	8	8
(13)	-1,-9	2,10	3,11	4,12	5,13	6	7	8	8
(14)	-1,-9	2,10	3,11	4,12	5,13	6,14	7	8	8
(15)	-1,-9	-2,-10	3,11	4,12	5,13	6,14	7,15	8	8
(16)	-1,-9	-2,-10	3,11	4,12	5,13	6,14	7,15,16	8	8
(17)	-1,-9	-2,-10	-3,-11	4,12	5,13	6,14	7,15,16,17	8	8
(18)	-1,-9	-2,-10	-3,-11	4,12	5,13	6,14	7,15,16,17,18	8	8
(19)	-1,-9	-2,-10	-3,-11	4,12	5,13	6,14	7,15,16,17,18,19	8	8

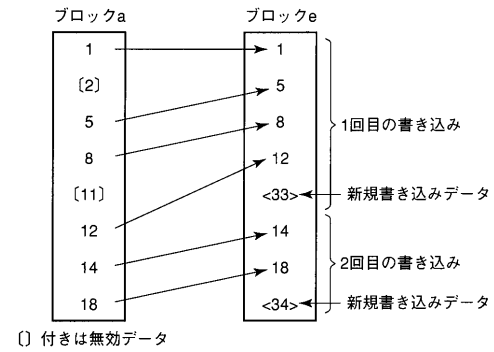
【 図 7 】

図 7



【 図 8 】

図 8



○ 付きは無効データ

【 図 9 】

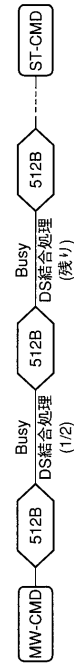
図 9

空きエントリー数				
ブロックa	ブロックb	ブロックc	ブロックd	ブロックe
0	0	0	0	8
8	0	0	0	0
0	8	0	0	0
0	0	8	0	0

1回目のガベージコレクション
2回目のガベージコレクション
3回目のガベージコレクション

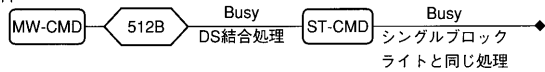
【 図 1 0 】

図 10



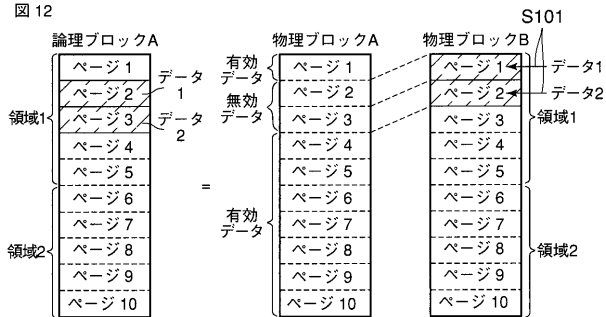
【 図 1 1 】

図 11



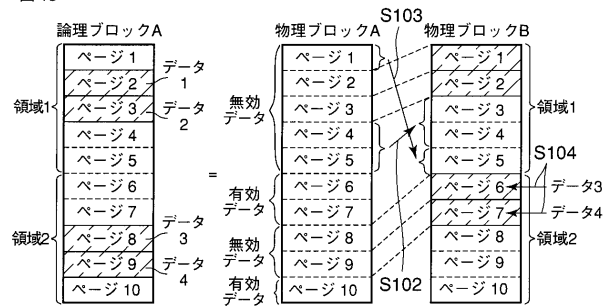
【 図 1 2 】

図 12



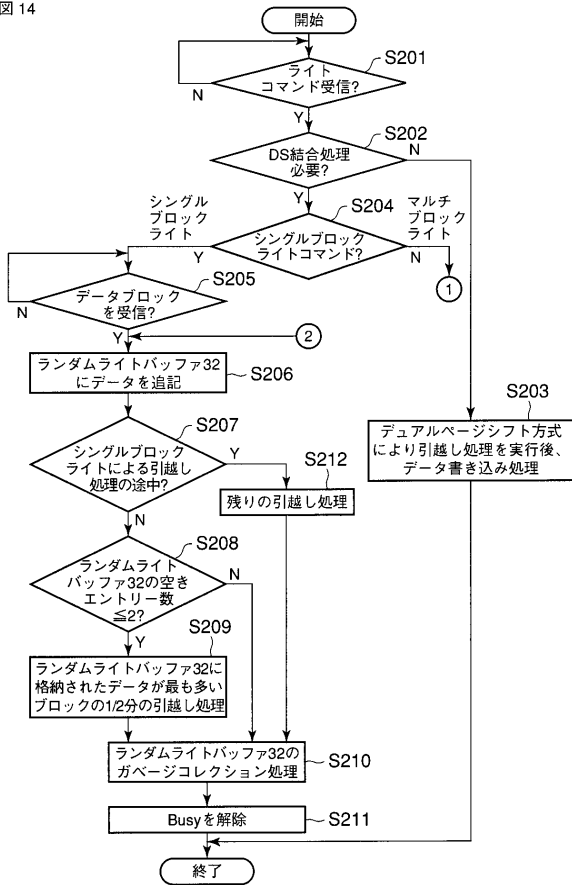
【 図 1 3 】

図 13



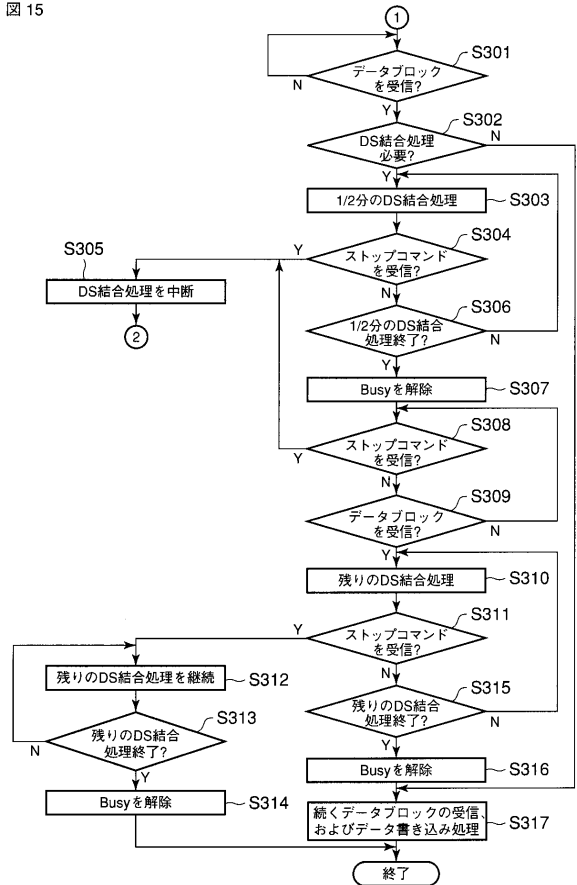
【図14】

図14



【図15】

図15



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 伊藤 隆文

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 辻 秀貴

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B035 AA02 BB09 BB11 CA11 CA29

5B060 CB01 MM02