

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4041057号  
(P4041057)

(45) 発行日 平成20年1月30日(2008.1.30)

(24) 登録日 平成19年11月16日(2007.11.16)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 1 1 A
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 4 G
			G 1 1 C	17/00 6 4 1
			G 1 1 C	17/00 6 1 1 G

請求項の数 2 (全 29 頁)

(21) 出願番号	特願2003-383925 (P2003-383925)	(73) 特許権者	000003078
(22) 出願日	平成15年11月13日(2003.11.13)		株式会社東芝
(65) 公開番号	特開2005-149593 (P2005-149593A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年6月9日(2005.6.9)	(74) 代理人	100058479
審査請求日	平成16年4月6日(2004.4.6)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

n 値 ( n は 2 以上の自然数 ) の閾値電圧により複数ビットのデータを記憶するメモリセルと、

第 1 論理レベル又は第 2 論理レベルのデータを記憶する第 1 のデータ記憶回路と、

第 1 論理レベル又は第 2 論理レベルのデータを記憶する第 2 のデータ記憶回路と、

前記メモリセル及び前記第 1、第 2 のデータ記憶回路を制御し、第 1 ページ、第 2 ページの書き込みにおいて、メモリセルに 1 ビットずつデータを書き込む制御回路とを有し、

前記制御回路は、第 1 ページの書き込みにおいて、前記第 1 のデータ記憶回路のデータに従って前記メモリセルにデータを書き込み、

第 2 ページの第 1 回目の書き込みにおいて、前記第 1 のデータ記憶回路に外部から入力されたデータを前記第 2 のデータ記憶回路に転送し、前記メモリセルから読み出し、当該読み出したデータが第 1 ページにおいてデータが書き込まれていることを示した場合、前記第 1 のデータ記憶回路に第 2 論理レベルを設定し、データが書き込まれていないことを示した場合、第 1 論理レベルを設定し、前記第 2 のデータ記憶回路のデータと前記第 1 のデータ記憶回路のデータを入れ替え、

前記第 1 のデータ記憶回路に記憶されているデータの論理レベルが第 1 論理レベルである場合、前記メモリセルの閾値電圧を本来の閾値電圧より低い第 1 の閾値電圧とする書き込み動作を行ない、前記メモリセルが前記第 1 の閾値電圧となった場合、前記第 1 のデータ記憶回路に記憶されているデータの論理レベルを第 2 論理レベルとし、前記第 1 のデ

10

20

ータ記憶回路に記憶されているデータの論理レベルが第2論理レベルである場合、前記メモリセルの閾値電圧は変化させず保持し、第1のデータ記憶回路の論理レベルが、第2論理レベルになるまで書き込み動作を行ない、

第2ページの第2回目の書き込みにおいて、前記メモリセルからデータを読み出し、当該読み出したデータが第2ページの第1回目の書き込みにおいてデータが書き込まれていることを示した場合、前記第1のデータ記憶回路に第2論理レベルを設定し、データが書き込まれていないことを示した場合、前記第1のデータ記憶回路に第1論理レベルを設定し、前記第1のデータ記憶回路に記憶されたデータを反転し、

前記第1のデータ記憶回路に記憶されるデータの論理レベルが第1論理レベルである場合、前記メモリセルの閾値電圧を第1の閾値電圧から本来の閾値電圧としての第2の閾値電圧とする書き込み動作を行ない、前記メモリセルが前記第2の閾値電圧となった場合、前記第1のデータ記憶回路に記憶されるデータを第2論理レベルとし、前記第1のデータ記憶回路に記憶されるデータの論理レベルが第2論理レベルである場合、前記メモリセルの閾値電圧は変化させず保持し、前記第1のデータ記憶回路の論理レベルが、第2論理レベルになるまで書き込み動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記第1の閾値電圧は、第2の閾値電圧より低いことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば2ビット以上のデータを記憶することが可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

EEPROMを用いたNAND型フラッシュメモリであって、多値データを記憶可能な不揮発性半導体記憶装置が提案されている（例えば、特許文献1参照）。

【0003】

NAND型フラッシュメモリは、ロウ方向に配列された複数のセル全て、または半数のセルが一括して書き込み、または読み出し動作される。このため、各NAND型フラッシュメモリを構成するNANDセルはビット線を介して書き込み及び読み出し用のラッチ回路に接続されている。

【特許文献1】特開2000-195280号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、多値データを記憶するNAND型フラッシュメモリは、書き込みデータに応じた閾値電圧をメモリセルに設定することにより、複数ビットのデータをメモリセルに記憶可能としている。閾値電圧の分布を抑制するために第1回目の書き込みにおいて、本来の閾値電圧より低い閾値電圧により書き込み、第2回目の書き込みにおいて、本来の閾値電圧まで書き込んでいる。この方式によりデータを書き込む場合、第1回目の書き込み後、書き込みデータがデータ記憶回路に残っていない。このため、第1回目の書き込み後、リード動作により書き込みデータを読み出して判別する。しかし、第1回目に書き込まれたデータは本来の閾値電圧より低いため、正確に読み出すことができない問題がある。このため、第1回目用の書き込みデータと、第2回目用の書き込みデータと、ロアページ（現在書き込んでいるページよりも先のページ）において書き込んだデータとの3ビットのデータを記憶する必要がある。これらデータを記憶する記憶回路は、例えば2つのCMOSラッチ回路と、ビット毎のペリファイ時にメモリセルから読み出されたデータを保持し、強制的にデータ“1”に設定するためのプリチャージ用トランジスタとにより構成されている。このため、記憶回路が占める面積が大きいというデメリットがあった。

10

20

30

40

50

## 【 0 0 0 5 】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、書き込みに必要なデータを記憶するための記憶回路を削減でき、少ない回路構成により多値データを確実に書き込むことが可能な不揮発性半導体記憶装置を提供しようとするものである。

## 【課題を解決するための手段】

## 【 0 0 0 6 】

本発明の第1の態様に係る不揮発性半導体記憶装置は、 $n$ 値 ( $n$ は2以上の自然数)の閾値電圧により複数ビットのデータを記憶するメモリセルと、第1論理レベル又は第2論理レベルのデータを記憶する第1のデータ記憶回路と、第1論理レベル又は第2論理レベルのデータを記憶する第2のデータ記憶回路と、前記メモリセル及び前記第1、第2のデータ記憶回路を制御し、第1ページ、第2ページの書き込みにおいて、メモリセルに1ビットずつデータを書き込む制御回路とを有し、前記制御回路は、第1ページの書き込みにおいて、前記第1のデータ記憶回路のデータに従って前記メモリセルにデータを書き込み、第2ページの第1回目の書き込みにおいて、前記第1のデータ記憶回路に外部から入力されたデータを前記第2のデータ記憶回路に転送し、前記メモリセルから読み出し、当該読み出したデータが第1ページにおいてデータが書き込まれていることを示した場合、前記第1のデータ記憶回路に第2論理レベルを設定し、データが書き込まれていないことを示した場合、第1論理レベルを設定し、前記第2のデータ記憶回路のデータと前記第1のデータ記憶回路のデータを入れ替え、前記第1のデータ記憶回路に記憶されているデータの論理レベルが第1論理レベルである場合、前記メモリセルの閾値電圧を本来の閾値電圧より低い第1の閾値電圧とする書き込み動作を行ない、前記メモリセルが前記第1の閾値電圧となった場合、前記第1のデータ記憶回路に記憶されているデータの論理レベルを第2論理レベルとし、前記第1のデータ記憶回路に記憶されているデータの論理レベルが第2論理レベルである場合、前記メモリセルの閾値電圧は変化させず保持し、第1のデータ記憶回路の論理レベルが、第2論理レベルになるまで書き込み動作を行ない、第2ページの第2回目の書き込みにおいて、前記メモリセルからデータを読み出し、当該読み出したデータが第2ページの第1回目の書き込みにおいてデータが書き込まれていることを示した場合、前記第1のデータ記憶回路に第2論理レベルを設定し、データが書き込まれていないことを示した場合、前記第1のデータ記憶回路に第1論理レベルを設定し、前記第1のデータ記憶回路に記憶されたデータを反転し、前記第1のデータ記憶回路に記憶されるデータの論理レベルが第1論理レベルである場合、前記メモリセルの閾値電圧を第1の閾値電圧から本来の閾値電圧としての第2の閾値電圧とする書き込み動作を行ない、前記メモリセルが前記第2の閾値電圧となった場合、前記第1のデータ記憶回路に記憶されるデータを第2論理レベルとし、前記第1のデータ記憶回路に記憶されるデータの論理レベルが第2論理レベルである場合、前記メモリセルの閾値電圧は変化させず保持し、前記第1のデータ記憶回路の論理レベルが、第2論理レベルになるまで書き込み動作を行うことを特徴とする。

## 【発明の効果】

## 【 0 0 1 1 】

本発明によれば、書き込みに必要なデータを記憶するための記憶回路を削減でき、少ない回路構成により多値データを確実に書き込むことが可能な不揮発性半導体記憶装置を提供できる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 2 】

以下、本発明の実施の形態について図面を参照して説明する。

## 【 0 0 1 3 】

(第1の実施形態)

図2は、本発明の不揮発性半導体記憶装置の概略構成を示すものであり、例えば4値(2ビット)を記憶するNANDフラッシュメモリの構成を示している。

10

20

30

40

50

## 【 0 0 1 4 】

メモリセルアレイ 1 は複数のビット線と複数のワード線と共通ソース線を含み、例えば E E P R O M セルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ 1 には、ビット線を制御するためのビット制御回路 2 とワード線制御回路 6 が接続されている。

## 【 0 0 1 5 】

ビット線制御回路 2 は、後述するように複数のデータ記憶回路を含んでいる。このビット線制御回路 2 は、ビット線を介してメモリセルアレイ 1 中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行なう。ビット線制御回路 2 には、カラムデコーダ 3、データ入出力バッファ 4 が接続されている。ビット線制御回路 2 内のデータ記憶回路はカラムデコーダ 3 によって選択される。データ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ 4 を介してデータ入出力端子 5 から外部へ出力される。

10

## 【 0 0 1 6 】

また、外部からデータ入出力端子 5 に入力された書き込みデータは、データ入出力バッファ 4 を介して、カラムデコーダ 3 によって選択されたデータ記憶回路に入力される。

## 【 0 0 1 7 】

ワード線制御回路 6 は、メモリセルアレイ 1 に接続されている。このワード線制御回路 6 は、メモリセルアレイ 1 中のワード線を選択し、選択されたワード線に読み出し、書き込みあるいは消去に必要な電圧を印加する。

20

## 【 0 0 1 8 】

メモリセルアレイ 1、ビット線制御回路 2、カラムデコーダ 3、データ入出力バッファ 4、及びワード線制御回路 6 は、制御信号及び制御電圧発生回路 7 に接続され、この制御信号及び制御電圧発生回路 7 によって制御される。制御信号及び制御電圧発生回路 7 は、制御信号入力端子 8 に接続され、外部から制御信号入力端子 8 を介して入力される制御信号によって制御される。

## 【 0 0 1 9 】

前記ビット線制御回路 2、カラムデコーダ 3、ワード線制御回路 6、制御信号及び制御電圧発生回路 7 は書き込み回路、及び読み出し回路を構成している。

30

## 【 0 0 2 0 】

図 3 は、図 2 に示すメモリセルアレイ 1 及びビット線制御回路 2 の構成を示している。メモリセルアレイ 1 には複数の N A N D セルが配置されている。1 つの N A N D セルは、直列接続された例えば 1 6 個の E E P R O M からなるメモリセル M C と、第 1、第 2 の選択ゲート S 1、S 2 とにより構成されている。第 1 の選択ゲート S 1 はビット線 B L 0 に接続され、第 2 の選択ゲート S 2 はソース線 S R C に接続されている。各ロウに配置されたメモリセルの制御ゲートはワード線 W L 1、W L 2、W L 3 ~ W L 1 6 に共通接続されている。また、第 1 の選択ゲート S 1 はセレクト線 S G 1 に共通接続され、第 2 の選択ゲート S 2 はセレクト線 S G 2 に共通接続されている。

## 【 0 0 2 1 】

メモリセルアレイ 1 は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数の N A N D セルにより構成され、このブロック単位でデータが消去される。また、消去動作は、データ記憶回路 1 0 に接続されている 2 本のビット線について同時に行なわれる。

40

## 【 0 0 2 2 】

また、ビット線の 1 つ置きに配置され、1 つのワード線に接続された複数のメモリセル (破線で囲まれた範囲のメモリセル) は、1 セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。1 セクタには例えば 2 ページ分のデータが記憶される。

## 【 0 0 2 3 】

リード動作、プログラムベリファイ動作及びプログラム動作時において、データ記憶回

50

路 10 に接続されている 2 本のビット線 (  $BL_i$ 、 $BL_{i+1}$  ) のうち外部より指定されたアドレス信号 (  $YA_1$ 、 $YA_2 \dots YA_i$ 、 $YA_{4023}$  ) に応じて 1 本のビット線が選択される。さらに、外部アドレスに応じて、1 本のワード線が選択され、1 セクタ ( 2 ページ分 ) が選択される。この 2 ページの切り替えはアドレスによって行われる。

【 0024 】

図 4 ( a ) ( b ) はメモリセル及び選択トランジスタの断面図を示している。図 4 ( a ) はメモリセルを示している。基板 41 にはメモリセルのソース、ドレインとしての n 型拡散層 42 が形成されている。基板 41 の上にはゲート絶縁膜 43 を介して浮遊ゲート (  $FG$  ) 44 が形成され、この浮遊ゲート 44 の上には絶縁膜 45 を介して制御ゲート (  $CG$  ) 46 が形成されている。図 4 ( b ) は選択ゲートを示している。基板 41 にはソース、ドレインとしての n 型拡散層 47 が形成されている。基板 41 の上にはゲート絶縁膜 48 を介して制御ゲート 49 が形成されている。

10

【 0025 】

図 5 は、メモリセルアレイの 1 つの NAND セルの断面を示している。この例において、1 つの NAND セルは、図 4 ( a ) に示す構成の 16 個のメモリセル MC が直列接続されて構成されている。NAND セルのドレイン側、ソース側には、図 4 ( b ) に示す構成の第 1 の選択ゲート S1 及び第 2 の選択ゲート S2 が設けられている。

【 0026 】

図 1 は、図 3 に示すデータ記憶回路 10 の一例を示す回路図である。フラグ用データ記憶回路 10a もデータ記憶回路 10 と同様の構成とされている。

20

【 0027 】

このデータ記憶回路 10 は、プライマリデータキャッシュ (  $PDC$  )、ダイナミックデータキャッシュ (  $DDC$  )、テンポラリデータキャッシュ (  $TDC$  ) を有している。PDC、DDC は、書き込み時に入力データを保持し、読み出し時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、多値データを記憶する際に内部データの操作に使用される。TDC は、データの読み出し時にビット線のデータを増幅し、一時的に保持するとともに、多値データを記憶する際に内部データの操作に使用される。

【 0028 】

PDC は、クロックインバータ回路 61i、61j 及びトランジスタ 61k により構成されている。トランジスタ 61k は、クロックインバータ回路 61i の入力端とクロックインバータ回路 61j の入力端の相互間に接続されている。このトランジスタのゲートには信号 EQ1 が供給されている。クロックインバータ回路 61i、61j の入力端としてのノード N1a、N1b は、カラム選択トランジスタ 61a、61b を介して入出力データ線 IO、ION に接続されている。これらトランジスタ 61a、61b のゲートにはカラム選択信号 CSLi が供給されている。

30

【 0029 】

さらに、PDC のノード N1b はトランジスタ 61l のゲートに接続されている。このトランジスタ 61l の電流通路の一端には、信号 COMi が供給されている。また、トランジスタ 61l の電流通路の他端はトランジスタ 61m を介して接地されている。さらに、トランジスタ 61l の電流通路の他端はトランジスタ 61g、トランジスタ 61d を介して接地されている。トランジスタ 61m のゲートには信号 CHK1 が供給されている。トランジスタ 61g のゲートは後述するノード N3 に接続され、トランジスタ 61d のゲートには信号 CHK2 が供給されている。

40

【 0030 】

前記信号 COMi は全データ記憶回路 10 に共通の信号であり、全データ記憶回路 10 のベリファイが完了したかどうかを示す信号である。すなわち、後述するように、ベリファイが完了すると、全てのデータ記憶回路 10 の PDC のノード N1a がハイレベルとなる。この状態において、信号 CHK1、CHK2 をハイレベルとすると、ベリファイが完了している場合、信号 COMi がハイレベルとなる。

【 0031 】

50

前記インバータ回路 6 1 i の出力端と接地間には、トランジスタ 6 1 c が接続されている。このトランジスタ 6 1 c のゲートにはプリセット信号 P R S T が供給されている。このトランジスタ 6 1 c はプリセット信号 P R S T に応じて動作し、P D C のノード N 1 b を V S S (ローレベル) に設定する。つまり、P D C のノード N 1 a を V d d (ハイレベル) にセットする。

【 0 0 3 2 】

前記 T D C は、例えば M O S キャパシタ 6 1 p により構成されている。このキャパシタ 6 1 p は、トランジスタ 6 1 g、6 1 h の接続ノード N 3 と接地間に接続されている。また、接続ノード N 3 には、トランジスタ 6 1 q、6 1 h を介して D D C が接続されている。トランジスタ 6 1 q のゲートには、信号 R E G が供給され、トランジスタ 6 1 h のゲートには信号 B L C 1 が供給されている。

10

【 0 0 3 3 】

D D C は、トランジスタ 6 1 r、6 1 s により構成されている。トランジスタ 6 1 r の電流通路の一端には信号 V R E G が供給され、他端は前記トランジスタ 6 1 q の電流通路に接続されている。このトランジスタ 6 1 r のゲートはトランジスタ 6 1 s を介して前記 P D C のノード N 1 a に接続されている。このトランジスタ 6 1 s のゲートには信号 D T G が供給されている。

【 0 0 3 4 】

さらに、前記接続ノード N 3 にはトランジスタ 6 1 t、6 1 u の電流通路の一端が接続されている。トランジスタ 6 1 u の電流通路の他端には信号 V P R E が供給され、ゲートには B L P R E が供給されている。前記トランジスタ 6 1 t のゲートには信号 B L C L A M P が供給されている。このトランジスタ 6 1 t の電流通路の他端はトランジスタ 6 1 v を介してビット線 B L o の一端に接続され、トランジスタ 6 1 w を介してビット線 B L e の一端に接続されている。ビット線 B L o の他端はトランジスタ 6 1 x の電流通路の一端に接続されている。このトランジスタ 6 1 x のゲートには信号 B L A S o が供給されている。ビット線 B L e の他端はトランジスタ 6 1 y の電流通路の一端に接続されている。このトランジスタ 6 1 y のゲートには信号 B L A S e が供給されている。これらトランジスタ 6 1 x、6 1 y の電流通路の他端には、信号 B L C R L が供給されている。トランジスタ 6 1 x、6 1 y は、信号 B L A S o、B L A S e に応じてトランジスタ 6 1 v、6 1 w と相補的にオンとされ、非選択のビット線に信号 B L C R L の電位を供給する。

20

30

【 0 0 3 5 】

上記各信号及び電圧は、図 2 に示す制御信号及び制御電圧発生回路 7 により生成され、この制御信号及び制御電圧発生回路 7 の制御に基づき、以下の動作が制御される。

【 0 0 3 6 】

本メモリは、多値メモリであり、1セルに2ビットのデータを記憶することができる。この2ビットの切り替えはアドレス(第1ページ、第2ページ)によって行なわれる。

【 0 0 3 7 】

(動作説明)

上記構成において、動作について説明する。

【 0 0 3 8 】

図 6 ( a ) は、メモリセルのデータとメモリセルの閾値電圧の関係を示している。消去動作を行なうとメモリセルのデータは“ 0 ”となる。第 1 ページの書き込みにより、メモリセルのデータはデータ“ 0 ”とデータ“ 1 ”になる。第 2 ページの書き込み後、メモリセルのデータはデータ“ 0 ”～“ 3 ”となる。第 1 の実施形態において、メモリセルのデータは閾値電圧の低い方から高い方へと、定義されている。

40

【 0 0 3 9 】

(プログラム及びプログラムベリファイ)

プログラム動作は、先ずアドレスを指定し、図 3 に示す 2 ページが選択される。本メモリは、この 2 ページのうち、第 1 ページ、第 2 ページの順序でしかプログラムできない。したがって、初めにアドレスで第 1 ページを選択する。近年、複数ビットを記憶する多値

50

フラッシュメモリの書き込み動作において、閾値電圧の分布を狭くするため、1回のプログラムシーケンスが2回のプログラム動作を含む書き込み方式が採用されている。この方式において、第1回目のプログラム動作は、本来の閾値電圧より低いベリファイ電位を設定して、書き込み及びベリファイ動作を行なう。第1回目のプログラム動作がパスした後、第2回目のプログラム動作が行なわれる。第2回目のプログラム動作は、ベリファイ電位を本来の値に設定して、書き込み及びベリファイ動作が行なわれる。この方式は、一旦書き込みが行なわれたメモリセルに対して再書き込みし、最初に書き込まれた閾値電圧より若干高い閾値電圧を設定する。このため、書き込み時の閾値電圧の変動率が小さいため、閾値電圧分布が小さくなる。また、NAND型フラッシュメモリの場合、同一ワード線に接続された複数のセルのうち、半分のセルを一度に書き込む。このため、書き込みベリ

10

#### 【0040】

第1の実施形態においても、上記方式を用いてプログラム動作を実行する。図8は、第1ページの書き込み動作を示し、図9は、第2ページの書き込み動作を示している。第1

20

#### 【0041】

(第1ページ書き込み動作)

まず、図8、図10(a)(b)、図11を参照して第1ページの書き込み動作について説明する。

#### 【0042】

(第1ページデータロード)(S10)

まず、書き込みデータを外部より入力し、全てのデータ記憶回路10内のPDCに記憶する。外部より書き込みを行なわないことを示すデータ“1”が入力されると、図1に示すPDCのノードN1aがハイレベルに設定される。また、外部より書き込みを行なうことを示すデータ“0”が入力されると、PDCのノードN1aがローレベルに設定される。以後、PDCのデータはノードN1aの電位、DDCのデータはトランジスタ61rのゲート電位とする。

30

#### 【0043】

(第1ページデータキャッシュ設定)(S11)

書き込みコマンドが入力されると、信号DTGが一瞬ハイレベルとなり、DDCを構成するトランジスタ61sが一瞬オンとされる。このため、PDCのデータがトランジスタ61sを介してDDCにコピーされる。したがって、トランジスタ61rのゲート電位がハイレベルとなる(図10(a))。

40

#### 【0044】

(第1ページプログラム第1回目)(S12)

次に、図1に示す信号BLC1、BLC LAMP、BLS o又はBLS eの電位をVdd + Vth (Vdd:電源電圧(例えば3V又は1.8V、しかし、この電圧に限定されるものではない)、Vth:NチャネルMOSトランジスタの閾値電圧)とする。すると、トランジスタ61hがオンとなり、PDCに書き込みを行なわないことを示すデータ“1”が記憶されている時、ビット線がVddになり、書き込みを行なうことを示すデータ

50

“ 0 ” の時、ビット線が  $V_{ss}$  ( 接地電位 ) となる。また、選択されたワード線に接続され、非選択ページ ( ビット線が非選択 ) のセルは書き込みが行なわれてはならない。このため、これらのセルに接続されているビット線もデータ “ 1 ” と同じ  $V_{dd}$  とする。ここで、選択されているブロックのセレクト線  $SG1$  を  $V_{dd}$ 、選択ワード線に  $V_{pgm}$  ( 20 V )、非選択ワード線に  $V_{pass}$  ( 10 V ) を供給すると、ビット線が  $V_{ss}$  になっている場合、セルのチャンネルが  $V_{ss}$ 、ワード線が  $V_{pgm}$  であるため書き込みが行なわれる。一方、ビット線が  $V_{dd}$  になっている場合、 $V_{pgm}$  によりセルのチャンネルが、カップリングによって  $V_{pgm}/2$  程度となる。このため、ビット線が  $V_{dd}$  になっているメモリセルはプログラムされない。

【 0045 】

10

図 6 ( b ) に示すように、第 1 ページのデータが “ 0 ” の時、メモリセルのデータは “ 1 ” に設定される。また、第 1 ページのデータが “ 1 ” の時、メモリセルのデータは “ 0 ” のままである。

【 0046 】

書き込みが終了すると、 $V_{pgm}$ 、 $V_{pass}$  の電位になっていたワード線をリカバリする。このリカバリ中に以下の動作をする。

【 0047 】

( PDC と DDC データの入れ替え )

信号  $BLPRE$  を一旦  $V_{dd}$  とし、信号  $VPRE$  を  $V_{ss}$  とし、 $TDC$  を  $V_{ss}$  にする。次に、信号  $VREG$  を  $V_{dd}$  とし、信号  $REG$  を一旦ハイレベルとしてトランジスタ  $61q$  をオンさせる。すると、 $DDC$  がハイレベルを記憶している場合、トランジスタ  $61r$  がオンし、トランジスタ  $61r$ 、 $61q$  を介して  $TDC$  が  $V_{dd}$  となる。また、 $DDC$  がローレベルを記憶している場合、トランジスタ  $61r$  がオフであるため、 $TDC$  は  $V_{ss}$  のままとする。この動作により、 $DDC$  のデータが  $TDC$  にコピーされる。次に、信号  $DTG$  を一旦ハイレベルとし、 $PDC$  のデータを  $DDC$  にコピーする。この後、信号  $BLC1$  を一旦ハイレベルとし、 $TDC$  のデータを  $PDC$  にコピーする。この結果、 $PDC$  に記憶されていたデータは  $DDC$  に移動し、 $DDC$  に記憶されていたデータは  $PDC$  に移動する ( 図 10 ( b ) )。

20

【 0048 】

( 第 1 ページプログラムベリファイ第 1 回目 ) (  $S13$  )

30

第 1 ページプログラムベリファイは、図 6 ( b ) に示すように、選択されているワード線にベリファイ電位 “  $a^*$  ” を与える。本来のベリファイ電位 “  $a'$  ” はリードレベルより若干高くする。しかし、第 1 ページプログラムの第 1 回目のベリファイ電位 “  $a^*$  ” は、本来のベリファイ電位 “  $a'$  ” より若干低い電位にする。

【 0049 】

次に、選択されているブロック内の非選択ワード線及びセレクト線  $SG1$  に電圧  $V_{read}$  を供給し、図 1 に示すデータ記憶回路の信号  $VPRE$  を  $V_{dd}$ 、信号  $BLPRE$  を  $V_{dd} + V_{th}$ 、信号  $BLCLAMP$  を例えば  $1V + V_{th}$  とし、ビット線を例えば  $1V$  にプリチャージする。この後、セルのソース側のセレクト線  $SG2$  をハイレベルにする。セルの閾値電圧が “  $a^*$  ” より高い時、セルはオフする。このため、ビット線はハイレベルのままである。また、セルの閾値電圧が “  $a^*$  ” に達していない場合、セルはオンする。このためビット線は  $V_{ss}$  となる。

40

【 0050 】

この後、信号  $BLCLAMP$  を  $V_{ss}$ 、信号  $VPRE$  を  $V_{dd}$ 、信号  $BLPRE$  を  $V_{dd} + V_{th}$  とし、 $TDC$  を  $V_{dd}$  に充電する。次いで、信号  $BLCLAMP$  を例えば  $1V + V_{th}$  とする。すると、ビット線がローレベルの場合、 $TDC$  はローレベルとなり、ビット線がハイレベルの場合、 $TDC$  はハイレベルのままとする。

【 0051 】

ここで、書き込みを行なう場合、 $DDC$  にローレベルが記憶され、書き込みを行なわない場合、 $DDC$  にハイレベルが記憶されている。このため、信号  $VREG$  を  $V_{dd}$  とし、

50

信号 R E G を一旦ハイレベルにすると、書き込みを行なわない場合、T D C が強制的にハイレベルになる。この後、信号 D T G を一旦ハイレベルとし、P D C に記憶されているデータを D D C にコピーする。次に、信号 B L C 1 をハイレベルとすると、セルが閾値電圧 “ a \* ’ ” に達した場合と、書き込みを行なわない場合、P D C にハイレベルがラッチされる。また、セルの閾値電圧が “ a \* ’ ” に達しない場合だけ、P D C にローレベルがラッチされる（図 1 0 ( b )）。

【 0 0 5 2 】

P D C がローレベルの場合、再び書き込み動作を行ない全ての P D C のデータがハイレベルになるまでプログラム動作とベリファイ動作を繰り返す（S 1 4 ~ S 1 2）。このとき、プログラムの電圧 V p g m は、例えば + 0 . 4 V ずつ増加させる。

10

【 0 0 5 3 】

このようにして、全ての P D C のデータがハイレベルになると第 1 ページの第 2 回目の書き込み動作が実行される。

【 0 0 5 4 】

（第 1 ページデータキャッシュ設定第 2 回目）（S 1 5）（図 1 1）

全ての P D C のデータがハイレベルになった状態において、先ず、前述したと同様の動作を実行し、P D C のデータと D D C のデータを入れ替える。すなわち、D D C に記憶されたデータを P D C に移す。D D C のデータは、もともと P D C に記憶されていたデータであり、書き込みを行なわない場合はデータ “ 1 ”、書き込みを行なう場合はデータ “ 0 ” となっている。

20

【 0 0 5 5 】

この状態において、上記と同様の動作により、第 2 回目の第 1 ページプログラム（S 1 6）、第 2 回目の第 1 ページプログラムベリファイ（S 1 7）が実行される。但し、ベリファイ動作におけるベリファイレベルは、本来のベリファイレベルである “ a ’ ” である（図 6 ( c )）。

【 0 0 5 6 】

この後、P D C がローレベルの場合、再び書き込み動作を行ない全ての P D C のデータがハイレベルになるまで、プログラム動作とベリファイ動作を繰り返す（S 1 8 ~ S 1 6）（図 1 1）。このとき、プログラムの電圧 V p g m の増加分 V p g m は、第 1 回目のプログラム動作より少なくし、例えば + 0 . 2 V ずつ増加させる。

30

【 0 0 5 7 】

上記のようにして、第 1 ページのデータを書き込んだ後、第 2 ページのデータが書き込まれる。

【 0 0 5 8 】

（第 2 ページ書き込み動作）

次に、図 9、図 1 2 ( a ) ( b )、図 1 3 ( a ) ( b ) を参照して第 2 ページの書き込み動作について説明する。

【 0 0 5 9 】

（第 2 ページデータロード）（S 2 0）

第 2 ページプログラムも第 1 ページプログラムと同様に、外部より書き込みデータを入力し、全てのデータ記憶回路 1 0 の P D C に記憶する。

40

【 0 0 6 0 】

（内部データロード第 1 回目）（S 2 1）（図 1 2 ( a )）

図 7 ( a ) に示すように、第 1 ページの書き込み動作によりメモリセルのデータが “ 0 ” になっている（第 1 ページに書き込み動作を行なわなかった）場合で、第 2 ページのデータが “ 0 ”（書き込みを行なう）の時は、メモリセルのデータを “ 3 ” とし、第 2 ページのデータが “ 1 ”（書き込みを行なわない）の時は、メモリセルのデータを “ 0 ” のままとする。また、第 1 ページの書き込み動作によりメモリセルのデータが “ 1 ” になっている（第 1 ページに書き込み動作を行なった）場合で、第 2 ページのデータが “ 0 ”（書き込みを行なう）の時は、メモリセルのデータを “ 2 ” とし、第 2 ページのデータが “ 1

50

”（書き込みを行わない）の時は、メモリセルのデータを“1”のままとする。このため、第2ページのデータをメモリセルに書き込む前に、予めメモリセルのデータが“0”か“1”かを調べておく必要がある。

【0061】

そこで、内部データロードにおいて、先ず、図6(a)に示すように、ワード線に電位“a”を与えて読み出し動作を行なう。次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vreadを供給し、データ記憶回路10の信号VPRE, BLPREに第1ページの書き込み動作と同様の電位を供給してビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルにする。メモリセルの閾値電圧が“a”より高い時、セルはオフする。このため、ビット線の電位はハイレベルのままである。一方、メモリセルの閾値電圧が“a”より低い時、セルはオンする。このため、ビット線の電位はVssとなる。ビット線の放電中に信号DTGを一旦ハイレベルとし、PDCのデータをDDCにコピーする(図12(a))。

10

【0062】

次に、第1ページの書き込み動作と同様にTDCをVddに充電した後、信号BLCLAMPを例えば1V+Vthとしてトランジスタ61tをオンとする。ビット線の電位がローレベルの場合(メモリセルのデータが“0”の場合)、TDCはローレベルになり、ビット線の電位がハイレベルの場合(メモリセルのデータが“1”の場合)、TDCはハイレベルのままである。

【0063】

20

ここで、書き込みを行なう場合、DDCにローレベルがラッチされ、書き込みを行わない場合、DDCにハイレベルがラッチされている。このため、信号VREGをVssとし、信号REGを一旦ハイレベルにすると、書き込みを行わない場合、トランジスタ61qがオンし、TDCが強制的にローレベルになる。この後、DTGを一旦ハイレベルとしてPDCに記憶されているデータをDDCにコピーする。この後、信号BLC1をハイレベルにすると、PDCにハイレベルがラッチされるのは、メモリセルにデータ“2”を書き込む場合のみである。第2ページにおいてデータを書き込まない場合、及びメモリセルにデータ“3”を書き込む場合、PDCはローレベルとなる。

【0064】

この後、PDCとDDCのデータが入れ替えられ、PDCに書き込みデータがラッチされ、DDCにメモリセルにデータ“2”を書き込む場合のみハイレベルがラッチされる。

30

【0065】

(第2ページプログラム第1回目)(S23)(図12(b))

第2ページプログラムの第1回目は、第1ページプログラムの第1回目と同様の動作により、PDCにハイレベルがラッチされている場合、メモリセルにデータを書き込まず、PDCにローレベルがラッチされている場合、メモリセルにデータを書き込む。

【0066】

書き込みが終了すると、Vp gm、Vp assになっていたワード線の電位をリカバリーする。このリカバリー中に第1ページプログラムと同様に、PDCのデータとDDCのデータを入れ替える。

40

【0067】

(第1回目の第2ページプログラムベリファイ:データ“2”のベリファイ)(S24)

第2ページプログラムベリファイにおいて、メモリセルにデータ“2”が書き込まれたかどうかのベリファイを、第1ページプログラムベリファイの第1回目と同様に実行した場合、正しくベリファイできない。すなわち、メモリセルにデータ“3”を書き込んでいるセルの閾値電圧は、データ“2”を書き込んでいるメモリセルの閾値電圧より高いため、データ“2”の書き込みが不十分の場合においてもパスしてしまう。したがって、データ“2”のベリファイは、以下のように実行する。

【0068】

メモリセルにデータ“2”が書き込まれたかどうかのベリファイは、図7(a)に示す

50

ように、選択されているワード線にベリファイ電位“ $b^*$ ”を供給する。データ“2”の本来のベリファイ電位“ $b'$ ”は、リードレベルより若干高くする。しかし、プログラムベリファイにおける第1回目のベリファイ電位“ $b^*$ ”は、本来のベリファイ電位“ $b'$ ”より若干低い電位である。

【0069】

次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vreadを供給し、図1に示すデータ記憶回路の信号BLC1を $V_{dd} + V_{th}$ とする。さらに、トランジスタ61t、61v又は61wをオンとして、ビット線をプリチャージする。ここで、プリチャージされるビット線は、メモリセルにデータ“2”を書き込んでいるセルが接続されたビット線のみである。すなわち、PDCにハイレベルがラッチされている場合、ビット線がプリチャージされる。この後、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が“ $b^*$ ”より高い時、セルはオフする。このため、ビット線の電位はハイレベルのままである。閾値電圧“ $b^*$ ”に達していない場合、セルはオンする。このため、ビット線の電位は $V_{ss}$ となる。

10

【0070】

この後、前述したようにしてTDCを $V_{dd}$ に充電する。この後、信号BLC LAMPに前記所定の電圧を供給してオンさせる。ビット線の電位がローレベルの場合、TDCはローレベルになり、ビット線の電位がハイレベルの場合、TDCはハイレベルのままである。ここで、図12(b)に示すように、書き込みを行なう場合、DDCにローレベルがラッチされ、書き込みを行なわない場合、DDCにハイレベルがラッチされている。このため、信号VREGを $V_{cc}$ とし、信号REGを一旦ハイレベルにすると、書き込みを行なわない場合、TDCが強制的にハイレベルになる。この後、DTGを一旦ハイレベルとし、PDCに記憶されているデータをDDCにコピーする。この後、信号BLC1をハイレベルとすると、PDCにハイレベルがラッチされるのは、セルが閾値電圧に達した場合と、書き込みを行なわない場合である。また、PDCにローレベルがラッチされるのは、メモリセルにデータ“2”を書き込んでいて、閾値電圧“ $b^*$ ”に達しない場合だけである。

20

【0071】

(第2ページプログラムベリファイ第1回目：データ“3”のベリファイ)(S25)

メモリセルにデータ“3”が書き込まれたかどうかのベリファイは、第1ページプログラムベリファイの第1回目と同様に実行する。但し、ベリファイレベルは“ $c^*$ ”である。ベリファイレベル“ $c^*$ ”は、本来のベリファイリード時のレベル“ $c'$ ”より若干低く設定されている。データ“2”のベリファイ後、PDCには、書くか書かないかを示すデータがラッチされ、DDCにはメモリセルにデータ“2”を書き込む時、ハイレベルとなっている。このため、ベリファイ前に、以下の操作をし、PDCとDDCのデータの入れ替える。

30

【0072】

(PDCとDDCデータの入れ替え)

まず、信号BLPREを一旦 $V_{dd}$ とし、信号VREGを $V_{ss}$ としてTDCを $V_{ss}$ にする。次に、信号VREGを $V_{dd}$ とし、一旦信号REGをハイレベルとすると、DDCがハイレベルの場合、TDCは $V_{dd}$ となり、DDCがローレベルの場合、TDCは $V_{ss}$ のままとなる。つまり、DDCのデータがTDCにコピーされる。次に信号DTGを一旦ハイレベルとし、PDCのデータをDDCにコピーする。この後、信号BLCを一旦ハイレベルとしTDCのデータをPDCにコピーする。この結果、PDCに記憶されていたデータはDDCに移り、DDCに記憶されていたデータはPDCに移動する。

40

【0073】

PDCがローレベルの場合、再び書き込み動作を行ない全てのPDCのデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す(S26~S23)。このとき、プログラム電圧Vpgmは、例えば+0.4Vずつ増加させる。

【0074】

50

(内部データロード第2回目)(S27)(図13(a))

図7(a)に示すように、第1回目のプログラムにおいて、データ“2”とデータ“3”をメモリセルに書き込んでいる。これらデータ“2”とデータ“3”の閾値電圧は、本来の閾値電圧より低く設定されている。したがって、第2回目のプログラムにより、図7(b)に示すように、データ“2”とデータ“3”を本来の閾値電圧に書き込む。しかし、第1回目プログラム及びプログラムベリファイが完了すると、PDCのデータが全てハイレベルになっている。したがって、書き込みデータが無くなってしまうため、リード動作を行ないメモリセルにデータ“2”又はデータ“3”に書き込んでいるかどうかを調べる。

【0075】

まず、ワード線WLに読み出し電位“b”(“b”<“b'”)又は前記第1回目のベリファイ電位“b\*’”を供給し、リード動作をする(S27)。これによりメモリセルがデータ“2”及びデータ“3”を書き込んでいるセルであるかが分かる。しかし、データ“2”を書き込んでいるセルは、第1回目のプログラムにおいて、本来より低い閾値電圧“b\*’”までしか書きこまれていない。このため、データ“2”を書き込むセルは、分からない場合もある。しかし、データ“2”を書き込むセルは、図12(b)に示すように、DDCもハイレベルとなっているため、データ“2”の書き込みセルを認識することができる。

【0076】

第2回目の内部データロードの具体的な動作は、次の通りである。先ず、選択されているワード線に読み出し電位“b”を供給する。次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vreadを供給する。データ記憶回路10の信号VPRE、BLPREに前述したビット線をプリチャージする際の電圧を供給し、ビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルにする。メモリセルの閾値電圧が“b”又は“b\*’”より高い時、セルがオフする。このため、ビット線の電位はハイレベルのままである。一方、メモリセルの閾値電圧が“b”又は“b\*’”より低い時、セルがオンする。このため、ビット線の電位はVssとなる。

【0077】

次に再び、TDCをVddに充電した後、信号BLCLAMPに前述した電位を供給し、トランジスタ61tを介してビット線の電位を通過可能とする。ビット線の電位がローレベルの場合、TDCはローレベルになり、ビット線の電位がハイレベルの場合(メモリセルの閾値電圧が“b”又は“b\*’”より高い場合)、TDCはハイレベルになる。ここで、メモリセルにデータ“2”を書き込む場合、DDCがハイレベルにラッチされ、それ以外は、DDCにローレベルがラッチされている(図13(a))。このため、信号VREGをVddとし、信号REGを一旦ハイレベルにすると、メモリセルにデータ“2”を書き込む場合、TDCが強制的にハイレベルになる。この後、信号BLC1をハイレベルにすると、PDCにハイレベルがラッチされるのは、メモリセルにデータ“2”を書き込み場合と、データ“3”を書き込む場合のみである。

【0078】

(第2ページデータキャッシュ設定第2回目)(S28)

第2ページにおいてデータを書き込む場合、PDCはハイレベルをラッチし、書き込まない場合、PDCはローレベルラッチしている。このため、PDCのデータを反転させなくてはならない。したがって、以下の操作を行なう。

【0079】

(PDCデータとDDCデータの入れ替え)

先ず、信号BLPREを一旦Vddとし、VPREをVssとしてTDCをVssにする。次に、信号VREGをVddとし、信号REGを一旦ハイレベルとする。DDCがハイレベルの場合、TDCはVddとなり、DDCがローレベルの場合、TDCはVssのままとなる。つまり、DDCのデータがTDCにコピーされる。次に、信号DTGを一旦

10

20

30

40

50

ハイレベルとし、PDCのデータをDDCにコピーする。この後、信号BLC1を一旦ハイレベルとし、TDCのデータをPDCにコピーする。

【0080】

(PDCとDDCデータの入れ替え：DDCからPDCは反転転送)

まず、信号BLPREを一旦Vddとし、信号VPREをVddとしてTDCをVddにする。次に、信号VREGをVssとし、信号REGを一旦ハイレベルとする。DDCがハイレベルの場合、TDCはVssとなり、DDCがローレベルの場合、TDCはVddのままとなる。つまり、DDCのデータがTDCに反転してコピーされる。次に信号DTGを一旦ハイレベルとし、PDCのデータをDDCにコピーする。この後、信号BLC1を一旦ハイレベルとし、TDCのデータをPDCにコピーする。この結果、PDCに記憶されていた書き込みデータは反転してPDCに移り、DDCに記憶されていたデータは、変わらない。したがって、第2ページで書き込む場合、PDCにローレベルラッチされ、書き込まない場合、PDCにハイレベルがラッチされる。

10

【0081】

(第2ページプログラム第2回目)(S29)(図13(b))

第2ページプログラムの第2回目は、第2ページプログラムの第1回目と同様の動作である。すなわち、PDCにハイレベルがラッチされている場合、書き込まず、PDCにローレベルがラッチされている場合、書き込む。

【0082】

(データ“2”、データ“3”のベリファイ第2回目)(S30、S31)

第2ページプログラムにおいて、データ“2”とデータ“3”の第2回目のベリファイ動作は、第1回目のデータ“2”とデータ“3”のベリファイ動作と同様であり、ベリファイ電位のみが相違している。すなわち、2回目のベリファイは、図7(b)に示すように、本来のベリファイ電位“b'”及び“c'”をワード線に印加する。

20

【0083】

このベリファイの結果、PDCがローレベルの場合、再び書き込み動作を行ない全てのPDCのデータがハイレベルになるまで、プログラム動作とベリファイ動作を繰り返す(S32~S29)。このとき、プログラム電圧Vpgmの増加分は、第1回目のVpgmより少なくする。例えば第1回目において、+0.4Vづつ増加している場合、第2回目では+0.2Vづつ増加させる。

30

【0084】

上記第2回目の書き込み動作により、図7(b)に示すように、メモリセルにデータが書き込まれる。

【0085】

(リード動作)

(第2ページリード)(図14(a))

第2ページのリードは、選択されているワード線にリードの時の電位“b”を印加する。次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vread(例えば4.5V)を印加する。また、信号VPREをVdd、信号BLPRE、BLCAMPに所定の電圧を与え、データ記憶回路10のTDCを前述した動作により、ハイレベルに設定するとともに、ビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルにする。メモリセルの閾値電圧が“b”より高い時、セルがオフする。このため、ビット線はハイレベルのままである。一方、メモリセルの閾値電圧が“b”に達していない場合、セルはオンする。このため、ビット線はVssとなる。図6(a)に示すように、メモリセルのデータとメモリセルの閾値電圧を定義しているため、メモリセルのデータが“0”、“1”であるとTDCはローレベルとなり、メモリセルのデータが“2”、“3”であるとハイレベルのままである。

40

【0086】

次に、TDCの電位をPDCに転送する。メモリセルのデータが“0”、“1”である場合、PDCはローレベルをラッチし、メモリセルのデータが“2”、“3”であるとP

50

D Cはハイレベルをラッチする(図14(a))。P D Cからデータ線I Oに読み出されたデータは、例えばデータ入出力バッファ4で反転される。このため、メモリセルのデータが“0”、“1”である場合、データ“1”となり、メモリセルのデータが“2”、“3”である場合、データ“0”が出力される。以上の動作は2値データを記憶するメモリの読み出し動作と同様である。

【0087】

(第1ページリード)(図14(b))

第1ページのリードで出力されるデータが“1”の場合、図6(a)に示すように、メモリセルのデータが“0”、“3”と離れた領域になっている。したがって、最初にメモリセルのデータが“2”以下か、“3”であるかを判断し、次にメモリセルのデータが“0”か、“2”以上であるかを判断しなければならない。

10

【0088】

(リード動作(1))

まず、メモリセルのデータが“2”以下か、“3”であるかを調べる。このため、ワード線にリード電位“c”を印加してメモリセルのデータをビット線に読み出す。この読み出されたデータは、T D Cに記憶され、P D Cに転送される。この結果、P D Cにハイレベルがラッチされるのは、メモリセルのデータが“3”の場合だけである。また、P D Cにローレベルがラッチされる場合は、メモリセルのデータが“0”、“1”、“2”の場合である。

【0089】

20

(リード動作(2))

次に、メモリセルのデータが“1”か、“2”以上であるかを調べる。このため、ワード線にリード電位“a”を印加してメモリセルのデータをビット線に読み出す。この結果、ビット線の電位はメモリセルのデータが“0”の場合、ローレベルし、メモリセルのデータが“1”、“2”、“3”であるとハイレベルとなる。

【0090】

上記ビット線の放電時間中に、信号D T Gを一旦ハイレベルとし、P D CのデータをD D Cに移す。次いで、ビット線の電位をT D Cに転送した後、信号V R E GをV s sとして信号R E Gを一旦ハイレベルとする。D D Cがハイレベルの場合、T D Cは強制的にローレベルとなる。この結果、メモリセルのデータが“0”、“3”の場合、T D Cはローレベルになり、メモリセルのデータが“1”、“2”の場合、T D Cがハイレベルになる。

30

【0091】

次に、これらT D Cの電位をP D Cに読み込む。メモリセルのデータが“0”、“3”であると、P D Cはローレベルをラッチし、メモリセルのデータが“2”、“3”であると、P D Cはハイレベルをラッチする。P D Cからデータ線I Oに読み出されたデータは、例えばデータ入出力バッファ4で反転される。このため、メモリセルのデータが“0”、“3”であるとデータ“1”が出力され、メモリセルのデータが“1”、“2”であると、データ“0”が出力される。

【0092】

40

上記第1の実施形態によれば、データ記憶回路10は、P D C、D D C、T D Cを有し、外部より入力された書き込みデータは、これらP D C、D D C、T D Cにおいてデータを操作することにより再生される。このため、書き込みデータを保持するデータキャッシュを設ける必要がないため、回路構成を削減することができる。

【0093】

また、書き込みデータを一度データ記憶回路10に取り込んだ後、再度同じ書き込みデータを取り込む必要がないため、書き込み動作を高速化できる。

【0094】

(第2の実施形態)

次に、第2の実施形態について説明する。

50

## 【 0 0 9 5 】

第1の実施形態において、第2ページプログラム時、データ“2”の書き込みと、データ“3”の書き込みのそれぞれについて、パスライト方式により2回の書き込み動作を実行していた。しかし、データ“3”の書き込みは、第2ページプログラムの第1回目の書き込みで、本来の閾値電圧“c'”まで書き込み、データ“2”のみ、パスライト方式により2回の書き込み動作で書き込むことも可能である。

## 【 0 0 9 6 】

図15は、第2の実施形態を示すものであり、図9と同一部分には同一符号を付している。図15は、第2ページのプログラム動作のみを示している。

## 【 0 0 9 7 】

第2ページプログラムの第1回目において、データ“2”のプログラムは、第1の実施形態と同様に本来の閾値電圧より若干低い“b\*’”まで書き込まれる。これに対して、データ“3”のプログラムは本来の閾値電圧“c'”まで書き込まれる。このため、データ“3”のベリファイは、ベリファイ電位として“c'”がワード線に供給される(S25)。このようにして、データ“3”は本来の閾値電圧まで書き込まれる。

## 【 0 0 9 8 】

データ“3”は本来の閾値電圧まで書き込まれているため、第2ページプログラムの第2回目は、データ“2”のみ書き込まれる。ここで、第1回目のプログラム後、外部から入力された書き込みデータは、データ記憶回路10内に残っていない。しかし、データ“2”を書き込んでいる場合、第1回目の書き込み後、DDCがハイレベルとなっている(図13(a))。このため、DDCのデータをPDCに反転して転送することにより、このPDCのデータを書き込みデータとすることができる(S28)。したがって、内部データロード、すなわち、第1の実施形態におけるリード電位“b”又は“b\*’”を用いたリード動作(S27)を省略できる。

## 【 0 0 9 9 】

このようにデータキャッシュを設定した後、第2回目のプログラムを行なう(S29)。このプログラムはデータ“2”を本来の閾値電圧に設定するものである。このため、ベリファイ電位“b'”を用いたベリファイのみが実行される。このプログラム及びベリファイ動作により、全てのPDCがハイレベルとなると、書き込み動作が終了される。

## 【 0 1 0 0 】

上記第2の実施形態によれば、データ“3”を1度のプログラム動作により本来の閾値電圧まで書き込んでいるため、データ“3”の閾値電圧の分布が広がってしまう。しかし、データ“3”のベリファイ回数を削減できるため、高速な書き込みが可能となる。

## 【 0 1 0 1 】

また、第2ページの第1回目のプログラム後、DDCのデータをPDCに反転して転送することにより、このPDCのデータを書き込みデータとして、第2回目のプログラムを行なうことができる。このため、内部データロード、すなわち、第1の実施形態におけるリード電位“b”又は“b\*’”を用いたリード動作を省略できる。したがって、プログラム時間を短縮できる。

## 【 0 1 0 2 】

尚、第2の実施形態は4値のデータのうち、最大値としてのデータ“3”を書き込む際、1度のプログラムにより書き込んでいた。しかし、1度のプログラムにより書き込むデータはデータ“3”に限定されるものではない。すなわち、4値以上のデータを書き込む際においても、書き込みデータのうち最大のデータの書き込みに第2の実施形態の方法を適用することが可能である。

## 【 0 1 0 3 】

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。第1、第2の実施形態は、4値のデータを書き込む場合について説明した。しかし、図1に示す構成のデータ記憶回路10を用いて、メモリセルに4値(2ビット)以上のデータを記憶することが可能である。

10

20

30

40

50

## 【 0 1 0 4 】

この書き込みアルゴリズムについて説明する。ところで、浮遊ゲートと浮遊ゲート間の容量によって、隣接セルのデータが変化するとメモリセルの閾値電圧が変動してしまうことを抑えるため、次のような書き込み方式が提案されている。

## 【 0 1 0 5 】

例えば閾値電圧の低い方から順にデータが“ 0 ”，“ 1 ”，“ 2 ”，“ 3 ”と定義された4値のメモリセルにおいて、第1ページの書き込みによりデータ“ 0 ”のセルを“ 2 ”とするが、本来の閾値電圧より低い閾値電圧“ 2 \* ”とする。この後、隣接セルの第1ページの書き込みを行なった後に、“ 2 \* ”を本来の閾値電圧“ 2 ”にする。隣接するセルの浮遊ゲートと浮遊ゲート ( F G - F G ) 間容量によりセルの閾値電圧が上がった場合、  
10  
本来の閾値電圧“ 2 ”にする書き込みでは、閾値電圧はあまり変化しない。F G - F G 間容量により閾値電圧が上がらない場合、本来の閾値電圧“ 2 ”にする書き込みで閾値電圧が上がるため、閾値電圧が一定となる。第3の実施形態では、この書き込み動作により8値の例で説明する。

## 【 0 1 0 6 】

第3の実施形態において、不揮発性半導体記憶装置の概略構成は、図2に示すように、第1、第2の実施形態と同様である。

## 【 0 1 0 7 】

図16は、メモリセルアレイ及びデータ記憶回路の構成を示している。第3の実施形態において、メモリセルアレイ及びデータ記憶回路の構成は、図3とほぼ同様である。しかし、各メモリセルには、3ビットのデータが記憶される。  
20

## 【 0 1 0 8 】

図17(a)(b)(c)、図18(a)(b)は、第3の実施形態の動作を示している。図19は、メモリセルに対する書き込み順序を示している。図19も説明の便宜上、1つのNANDセルが直列接続された4個のメモリセルにより構成された場合を示している。

## 【 0 1 0 9 】

ここで、図18(b)は、8値の場合におけるメモリセルの閾値電圧とデータの対応関係を示している。8値の場合、メモリセルのデータは、例えば閾値電圧が低い方から順に“ 0 ”“ 1 ”“ 2 ”～“ 7 ”と設定される。メモリセルを消去すると、メモリセルのデータは“ 0 ”になる。第1ページの書き込みにより、メモリセルのデータを“ 0 ”又は“ 4 ”とし、第2ページの書き込みにより、メモリセルのデータを“ 0 ”、“ 2 ”、“ 4 ”、“ 6 ”とする。さらに、第3ページの書き込みにより、メモリセルのデータを“ 0 ”～“ 7 ”にする。  
30

## 【 0 1 1 0 】

ここでは、説明を簡略化するため、図17(c)に示すように、4値、2ビットのデータがメモリセルに記憶されている状態から、さらに、1ビットのデータを書き込む場合について説明する。

## 【 0 1 1 1 】

図17(a)は、第1ページのデータを書き込んだ後、第2ページのデータを書き込む前の状態を示している(図19に示す書き込み順序“ 1～4 ”の後)。図17(b)は、第1ページのデータを隣接セルに書き込んだ後の状態を示している。これらの書き込み動作は、第1、第2の実施形態と同様であるため、ここでは説明を省略する。図19に示す書き込み順序“ 5、6 ”において、第2ページのデータを書き込んだ後、メモリセル3、4とビット線方向に隣接するメモリセル5、6に第1ページのデータを書き込む。この後、メモリセル3、4に第2ページのデータを書き込む(図19に示す書き込み順序“ 9、10 ”)。図17(c)は、第3ページのデータを書き込む前で、第2ページのデータを書き込んだ後の状態を示している(図19に示す書き込み順序“ 10 ”の後)。このように、4値、2ビットのデータが記憶されている状態から、さらに、1ビットのデータを記憶する方法について、以下に説明する。  
40  
50

## 【 0 1 1 2 】

図 2 0 は、第 2 ページのデータを書き込んだ後、第 2 ページの隣接セルにデータを書き込む場合を示している。図 1 9 に示す書き込み順序 “ 1 1 ” のように、メモリセル 1 に第 3 ページのデータを書き込む直前は、図 1 9 に示す書き込み順序 “ 1 0 ” のように、メモリセル 4 に第 2 ページのデータを書き込んでいる。この書き込みが終了した後、メモリセル 1 の閾値電圧分布は、図 1 8 ( a ) に示すようになっている。

## 【 0 1 1 3 】

ここで、データ “ 2 ”、“ 4 ”、“ 6 ” が書き込まれるセルについて、第 3 ページの本来のペリファイレベルである “ b ’ ”、“ d ’ ”、“ f ’ ” まで書き込みを行なう。このため、先ず、ワード線の電位を “ a ” としてメモリセルに書き込まれたデータを読み出す ( 図 2 0 ( S 4 1 ) )。図 2 2 ( a ) は、このリード動作により読み出されたデータを示している。メモリセルのデータが “ 0 ” 以外の場合、P D C はデータ “ 1 ” をラッチする。この後、データキャッシュを操作し、P D C を図 2 2 ( b ) に示すようにセットする ( S 4 2 )。この結果、メモリセルに書き込まれたデータが “ 2 ”、“ 4 ”、“ 6 ” の場合、P D C はデータ “ 0 ” をラッチする。

10

## 【 0 1 1 4 】

図 1 8 ( a ) に示すように、第 2 ページの書き込みにおいて、本来のペリファイ電位より低いペリファイ電位 “ b \* ’ ”、“ d \* ’ ”、“ f \* ’ ” まで書き込みが行なわれていて、その後、隣接セルの書き込みにより閾値電圧が上昇している場合もある。また、本来のペリファイ電位 “ b ’ ”、“ d ’ ”、“ f ’ ” に達しているセルもある。このため、先ず、本来のペリファイ電位 “ b ’ ”、“ d ’ ”、“ f ’ ” によりペリファイ動作を行なう ( S 4 3、S 4 4、S 4 5 )。

20

## 【 0 1 1 5 】

( 最も閾値電圧が高いセルのペリファイ )

先ず、最も閾値電圧が高いセル、すなわち、データ “ 6 ” を書き込んでいるセルをペリファイする。この場合、選択されているワード線にリードの時の電位 “ f ” より少し高い電位 “ f ’ ” を印加する。選択されているブロック内の非選択ワード線及びセレクト線 S G 1 に読み出し電位 V r e a d を供給し、データ記憶回路 1 0 の信号 B L C L A M P、及び信号 B L P R E に前述した所定の電圧を供給し、ビット線をプリチャージする。メモリセルの閾値電圧が “ f ’ ” より高い時、セルはオフする。このため、ビット線はハイレベルのままである。また、メモリセルの閾値電圧が “ f ’ ” より低い場合、セルはオンする。このため、ビット線は V s s となる。このビット線の放電中、T D C を一旦 V s s とし、この後、信号 R E G をハイレベルとして、トランジスタ 6 1 q をオンさせ、D D C のデータを T D C に移す。

30

## 【 0 1 1 6 】

次に、信号 D T G を一旦ハイレベルとしてトランジスタ 6 1 s をオンさせ、P D C のデータを D D C に移す。この後、信号 B L C 1 をハイレベルとしてトランジスタ 6 1 h をオンさせ、T D C のデータを P D C に移す。

## 【 0 1 1 7 】

次に、データ記憶回路 1 0 の信号 V P R E を V d d とし、信号 B L P R E をハイレベルとすることにより、T D C を V d d にプリチャージする。この後、信号 B L C L A M P をハイレベルとする。T D C はビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

40

## 【 0 1 1 8 】

ここで、書き込みを行なう場合、D D C にローレベルがラッチされ、書き込みを行わない場合、D D C にハイレベルがラッチされている。このため、信号 V R E G を V d d とし、信号 R E G をハイレベルとすると、書き込みを行わない場合、トランジスタ 6 1 r がオンするため、T D C が強制的にハイレベルとなる。この後、P D C のデータを D D C に移し、T D C の電位を P D C に転送する。P D C にハイレベルがラッチされる場合は、書き込みを行わない場合と、メモリセルにデータ “ 6 ” を書き込んでいて、セルの閾値

50

電圧がベリファイ電位“ f ’ ”に達した場合だけである。P D Cにローレベルがラッチされる場合は、セルの閾値電圧が“ f ’ ”に達しない場合と、メモリセルにデータ“ 4 ”又は“ 2 ”を書き込んでいる場合である。

【 0 1 1 9 】

( 中間の閾値電圧を有するセルのベリファイ ) ( 図 2 0 ( S 4 4 , S 4 5 ) )

中間の閾値電圧を有するセル、すなわち、メモリセルにデータ“ 2 ”、“ 4 ”を書き込んでいるセルのベリファイは、前記最も閾値電圧の高いセルのベリファイと同様にベリファイすることは困難である。なぜなら、中間の閾値電圧を有するセルよりも高い閾値電圧を書き込んでいるセルの閾値電圧は、これら中間の閾値電圧より高いため、これら高い閾値電圧のセルもベリファイがOKとなってしまうからである。そこで、リード動作を行ない、中間の閾値電圧のベリファイ電位より高い閾値電圧のセルがあるかどうかを調べ、このようなセルがある場合、ベリファイ結果をNGとしなくてはならない。

10

【 0 1 2 0 】

このため、先ず、選択されているワード線にリードの時の電位“ d ”又は“ b ”より少し高い電位“ d ’ ”又は“ b ’ ”を供給する。選択されているブロック内の非選択ワード線及びセレクト線 S G 1 に読み出し電位 V r e a d を供給し、データ記憶回路 1 0 の信号 B L C L A M P 、信号 B L P R E に前記所定の電圧を供給して、ビット線をプリチャージする。メモリセルの閾値電圧が“ d ’ ”又は“ b ’ ”より高い時、セルはオフする。このため、ビット線はハイレベルのままである。また、メモリセルの閾値電圧が“ d ’ ”又は“ b ’ ”より低い場合、セルはオンする。このため、ビット線は V s s となる。

20

【 0 1 2 1 】

次に、データ記憶回路 1 0 の信号 V P R E を V d d とし、信号 B L P R E をハイレベルとすることにより、T D C を V d d にプリチャージする。この後、信号 B L C L A M P に所定のハイレベルを供給する。T D C はビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。この後、P D C のデータを D D C に移し、T D C の電位を P D C に転送する。P D C がハイレベルとなるのは、セルの閾値電圧が“ d ’ ”又は“ b ’ ”より高い場合、つまり、ベリファイOKの場合と、メモリセルにデータ“ 6 ”を書き込んでいる場合、又はメモリセルにデータ“ 4 ”又は“ 6 ”を書き込んでいる場合である。

【 0 1 2 2 】

次に、ワード線の電位を“ d ’ ”又は“ b ’ ”より、少し高い電位“ e ”又は“ c ”に上げる。ビット線は、セルの閾値電圧が“ d ’ ”又は“ b ’ ”以上である場合、ハイレベルとなる。しかし、閾値電圧が“ e ”又は“ c ”より低い場合、セルがオンするため、ビット線は V s s となる。このため、閾値電圧が“ e ”又は“ c ”より高い時のみ、セルがオフするため、ビット線はハイレベルのままとなる。

30

【 0 1 2 3 】

( P D C と D D C のデータの入れ替え )

上記ビット線の放電中、T D C を一旦 V s s とし、信号 V R E G を V d d とし、信号 R E G をハイレベルとして D D C のデータを T D C に移す。この後、信号 D T G を一旦ハイレベルとして、P D C のデータを D D C に移す。この後、T D C のデータを P D C に転送する。

40

【 0 1 2 4 】

( P D C と D D C のデータの入れ替え : D D C から P D C へデータを反転して転送 )

T D C を一旦 V d d とし、信号 V R E G を V s s とし、信号 R E G をハイレベルとして、D D C のデータを T D C に反転して転送する。この後、信号 D T G を一旦ハイレベルとして、P D C のデータを D D C に移す。この後、T D C のデータを P D C に移す。

【 0 1 2 5 】

( P D C と D D C のデータの入れ替え )

T D C を一旦 V s s とし、信号 V R E G を V d d とし、信号 R E G をハイレベルとして、D D C のデータを T D C に移す。この後、信号 D T G を一旦ハイレベルとし、P D C の

50

データをDDCに転送する。その後、TDCのデータをPDCに転送する。

【0126】

この操作の結果、DDCがハイレベルとなるのは、前にビット線を放電させたとき、セルの閾値電圧がワード線の電位“d'”又は“b'”より低いときである。また、DDCがローレベルとなるのは、前にビット線を放電させたとき、セルの閾値電圧がワード線の電位“d'”又は“b'”より高いときである。PDCにラッチされたデータは、初めからラッチされていたデータがラッチされる。すなわち、書き込みセルの場合、データ“0”がラッチされ、書き込み非選択のセルの場合、データ“1”がラッチされる。

【0127】

次に、データ記憶回路10の信号VPREをVddとし、信号BLPREを所定のハイレベルとすることにより、TDCをVddにプリチャージする。その後、信号BLCLAMPに所定のハイレベルを供給する。TDCはビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。ここで、信号VREGをVddとし、信号REGをハイレベルにすると、DDCにハイレベルが記憶されている場合、TDCが強制的にハイレベルになる。この結果、TDCがハイレベルになるのは、セルの閾値電圧が“d'”又は“b'”より低いか、セルの閾値電圧が“e”又は“c”より高い時であり、TDCがローレベルになるのは、セルの閾値電圧が“d'”又は“b'”より高く、“e”又は“c”より低いときである。つまり、メモリセルにデータ“4”又は“2”を書き込んでいてベリファイがOKの時である。その後、PDCのデータをDDCに移し、TDCの電位をPDCに転送する。

【0128】

(PDCとDDCデータの入れ替え)

TDCを一旦Vssとし、信号VREGをVddとし、信号REGをハイレベルとして、DDCのデータをTDCに移す。その後、信号DTGを一旦ハイレベルとして、PDCのデータをDDCに移す。次いで、TDCのデータをPDCに転送する。

【0129】

(PDCとDDCのデータの入れ替え：DDCからPDCへデータを反転して転送)

TDCを一旦Vddとし、信号VREGをVssとし、信号REGをハイレベルとして、DDCのデータをTDCに反転して移す。信号DTGを一旦ハイレベルとし、PDCのデータをDDCに移す。その後、TDCのデータをPDCに移す。

【0130】

TDCを一旦Vssとし、信号VREGをVddとし、信号REGをハイレベルとしてDDCのデータをTDCに移す。信号DTGを一旦ハイレベルとし、PDCのデータをDDCに移す。信号VREGをVddとし、信号REGをハイレベルにする。すると、DDCにハイレベルがラッチされている場合、TDCが強制的にハイレベルになる。この結果、TDCがハイレベルになるのは、メモリセルにデータ“4”又は“2”を書き込んでいて、ベリファイがOKの時と、元々データ“1”(書き込み非選択)の場合である。その後、TDCのデータをPDCに転送する。

【0131】

(プログラム動作)(S47)

プログラム動作は、第1、第2の実施形態のプログラム動作と同様であり、PDCにデータ“1”が記憶されている場合、書き込みが行なわれず、データ“0”が記憶されている場合、書き込みが行なわれる。

【0132】

(プログラムベリファイ)(S43~S46, S47)

上記プログラム後、本来のベリファイ電位“b'”、“d'”、“f'”により、ベリファイする。上記プログラム及びベリファイ動作を、全てのPDCのデータが“1”になるまで繰り返す。プログラム及びベリファイ動作は、前述した最も高い閾値電圧のセルのベリファイ、及び中間の閾値電圧のセルのベリファイと同様である。

【0133】

10

20

30

40

50

プログラム及びベリファイ動作の結果、メモリセルのデータ“0”、“2”、“4”、“6”の閾値電圧の分布は、図18(b)に示すようになる。

【0134】

(第3ページの書き込み)

次に、図21を参照して、第3ページの書き込み動作について説明する。

【0135】

(データロード、リード動作、及びデータキャッシュ設定)

次に、第3ページの書き込みデータを外部よりPDCにロードする(S51)。図23(a)は、PDCにロードされたデータを示している。書き込みコマンドが入力された後、リード時の電位“a”“d”“f”を選択されたワード線に供給し、メモリセルのデータを読み出す(S52~S54)。この読み出したデータにより、データキャッシュを設定する(S55)。この結果、PDCにラッチされるデータは図23(b)に示すようになる。ここで、データ“1”は書き込み非選択、データ“0”は書き込みを示している。

10

【0136】

(プログラム動作)(S56)

プログラム動作は、第1、第2の実施形態と同様であり、PDCにデータ“1”が記憶されている場合、書き込みが行なわれず。データ“0”が記憶されている場合、書き込みが行なわれる。

【0137】

(プログラムベリファイ)(S57~S60)

プログラム後、本来のベリファイ電位“a'”、“c'”、“e'”、“g'”によりベリファイ動作を行なう。このベリファイ動作は、全てのPDCのデータが“1”になるまで繰り返される(S61~S56)。プログラムベリファイ動作において、ベリファイ電位“g'”でのベリファイ動作は、前述した最も高い閾値電圧のセルのベリファイと同様である。ベリファイ電位“a'”、“c'”、“e'”のベリファイ動作は、前述した中間の閾値電圧のセルのベリファイと同様である。これらベリファイ後、ワード線の電位を読み出し電圧“b”、“d”、“f”としてメモリセルのデータを読み出し、これより高い閾値電圧のセルに書き込んでいるセルがベリファイOKとならないように操作する。

20

【0138】

上記第3の実施形態によれば、3個のデータキャッシュにより構成されたデータ記憶回路を用いて、8値、3ビットのデータを記憶するNAND型フラッシュメモリを構成することができる。このため、小さな回路構成により、一層多くのデータを記憶することができる。

30

【0139】

尚、第3の実施形態は、説明を簡略化するため、図17(c)に示す4値、2ビットのデータが記憶されている状態から、さらに、1ビットのデータを記憶し、8値、3ビットのデータ記憶する例を示した。しかし、図17(a)に示す2値、1ビットのデータが記憶されている状態から、さらに、1ビットのデータを記憶して、4値、2ビットのデータ記憶する場合も、第3の実施形態の動作を適用できる。

【0140】

また、8値、3ビットに限らず、16値以上のデータも、第3の実施形態とほぼ同様の動作により書き込むことが可能である。

40

【0141】

(第4の実施形態)

第4の実施形態は第3の実施形態を変形したものである。上記第3の実施形態は、第3ページ(3ビット目のデータ)の書き込み前に、第2ページと第1ページ(4値、2ビット)のメモリセルのデータを、本来のベリファイ電位“b'”、“d'”、“f'”に書き込んでいた。しかし、閾値電圧の分布に余裕のある場合、この動作を省略することが可能である。この場合、図20に示す動作を省略し、図21に示す、第3ページのデータ“1”、“3”、“5”、“7”の書き込みのみを行なう。

50

## 【0142】

第4の実施形態によれば、第2ページと第1ページのメモリセルのデータを本来のベリファイ電位“b'”、“d'”、“f'”に書き込む必要がないため、プログラム動作を高速化することが可能である。

## 【0143】

(第5の実施形態)

第1乃至第4の実施形態において、データ記憶回路10は、図1、図3に示すように、2つのビット線に共有されていた。しかし、これに限定されるものではない。

## 【0144】

図24は、第5の実施形態を示している。第5の実施形態において、データ記憶回路10は、各ビット線に接続されている。このような構成とすることにより、高耐圧トランジスタとしてのトランジスタ数を半分に削減できる。図1に示す構成の場合、ビット線BL<sub>o</sub>の両端に高耐圧トランジスタ61<sub>x</sub>、61<sub>v</sub>を接続し、ビット線BL<sub>e</sub>の両端に高耐圧トランジスタ61<sub>y</sub>、61<sub>w</sub>を接続している。トランジスタ61<sub>x</sub>、61<sub>y</sub>は、信号BL<sub>CR<sub>L</sub></sub>の電位を供給するためのトランジスタである。これらトランジスタ61<sub>x</sub>、61<sub>y</sub>、61<sub>v</sub>、61<sub>w</sub>のサイズは、PDC等を構成するトランジスタのサイズより格段に大きい。しかし、図24に示すように、各ビット線にデータ記憶回路10を接続する場合、トランジスタ61<sub>x</sub>、61<sub>y</sub>を省略できる。このため、データ記憶回路を各ビット線に接続した場合においても、チップサイズの増大を防止できる。

## 【0145】

本発明は、上記各実施形態に限定されるものではなく、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

## 【図面の簡単な説明】

## 【0146】

【図1】本発明の第1の実施形態に係るデータ記憶回路を示す回路図。

【図2】本発明の不揮発性半導体記憶装置を示す概略構成図。

【図3】図2に示すメモリセルアレイ及びビット線制御回路の構成を示す回路図。

【図4】図4(a)(b)はメモリセル及び選択トランジスタを示す断面図。

【図5】NANDセルを示す断面図。

【図6】図6(a)(b)(c)は、メモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図7】図7(a)(b)は、メモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図8】第1ページの書き込み動作を示すフローチャート。

【図9】第2ページの書き込み動作を示すフローチャート。

【図10】図10(a)(b)は、第1ページの書き込み動作における各データキャッシュとメモリセルのデータとの関係を示す図。

【図11】図11は、第1ページの書き込み動作における各データキャッシュとメモリセルのデータとの関係を示す図。

【図12】図12(a)(b)は、第2ページの書き込み動作における各データキャッシュとメモリセルのデータとの関係を示す図。

【図13】図13(a)(b)は、第2ページの書き込み動作における各データキャッシュとメモリセルのデータとの関係を示す図。

【図14】図14(a)は、第2ページのリード動作後にデータキャッシュに記憶されるデータを示す図、図14(b)は、第1ページのリード動作後にデータキャッシュに記憶されるデータを示す図。

【図15】第2の実施形態を示すものであり、第2ページのプログラム動作を示すフローチャート。

【図16】第3の実施形態に適用されるメモリセルアレイ及びデータ記憶回路の構成を示す図。

10

20

30

40

50

【図17】図17(a)(b)(c)は、第3の実施形態に係るメモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図18】図18(a)(b)は、第3の実施形態に係るメモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図19】第3の実施形態に係り、メモリセルに対する書き込み順序を示す図。

【図20】第3の実施形態に係り、第2ページのデータを書き込んだ後、第2ページの隣接セルにデータを書き込む場合を示すフローチャート。

【図21】第3の実施形態に係り、第3ページの書き込み動作を示すフローチャート。

【図22】図22(a)(b)は、図21に示す第3ページの書き込み動作に伴いデータキャッシュに記憶されるデータを示す図。

【図23】図23(a)(b)は、図21に示す第3ページの書き込み動作に伴いデータキャッシュに記憶されるデータを示す図。

【図24】第5の実施形態に係るデータ記憶回路を示す回路構成図。

【符号の説明】

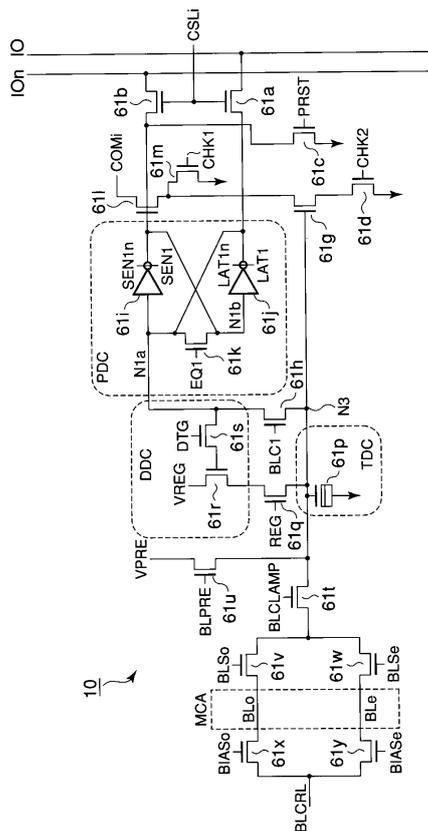
【0147】

1...メモリセルアレイ、2...ビット線制御回路、3...カラムデコーダ、4...データ入出力バッファ、5...データ入出力端子、6...ワード線制御回路、7...制御信号及び制御電圧発生回路、B L 0 ~ B L 8 0 4 5...ビット線、W L 1 ~ W L 1 6...ワード線、10...データ記憶回路、P D C...プライマリデータキャッシュ、D D C...ダイナミックデータキャッシュ、T D C...テンポラリデータキャッシュ。

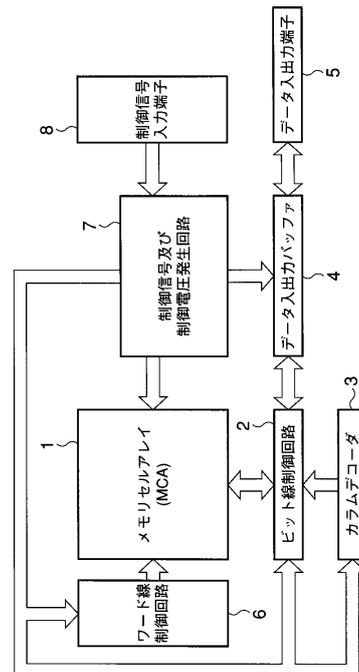
10

20

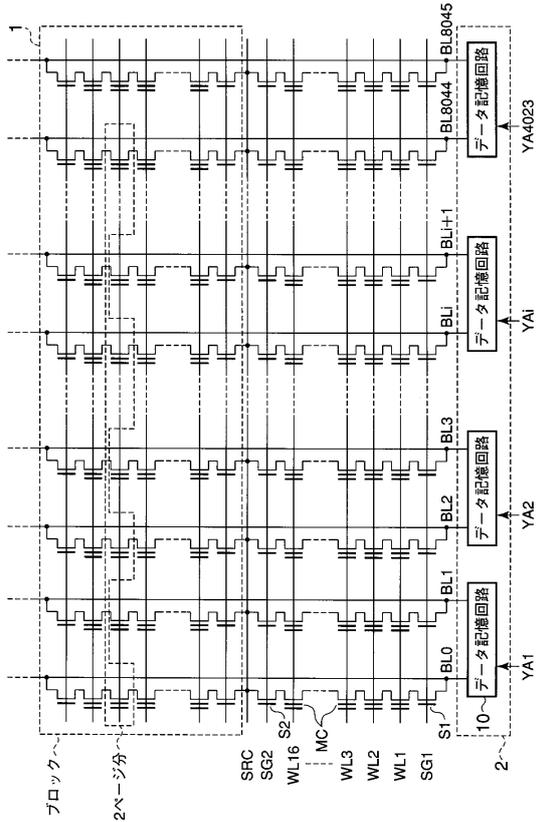
【図1】



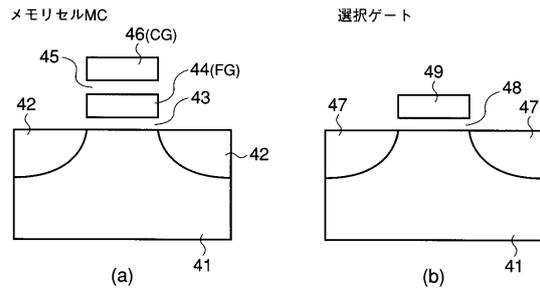
【図2】



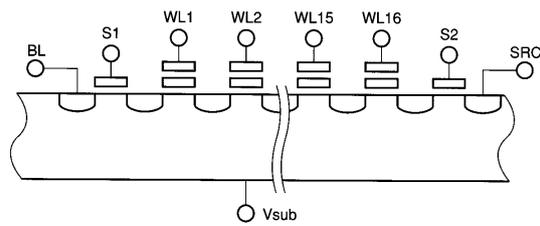
【図3】



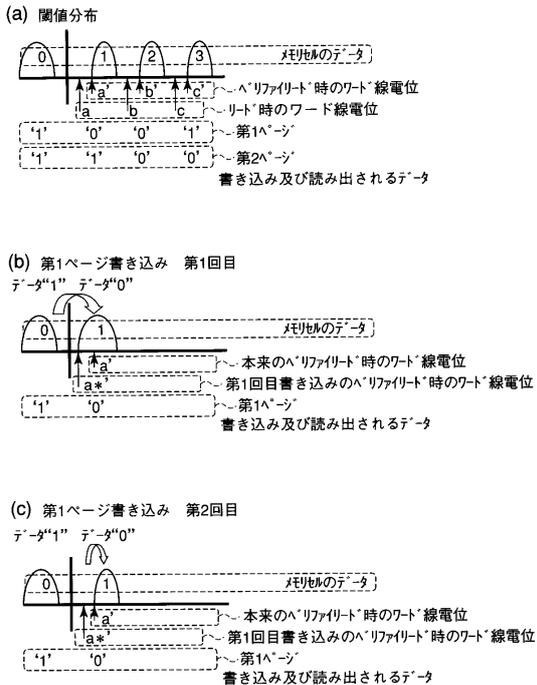
【図4】



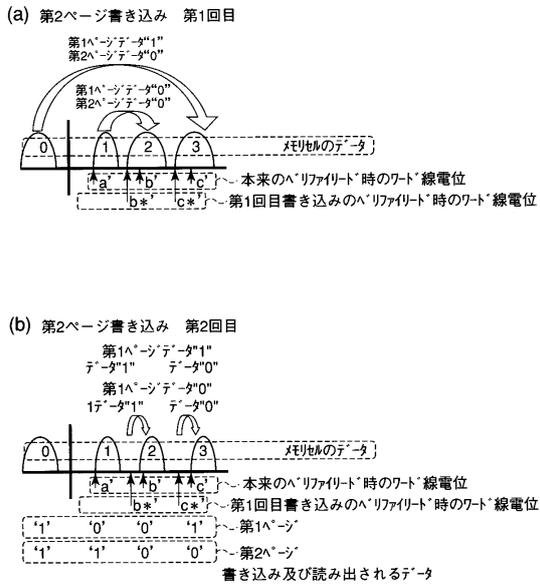
【図5】



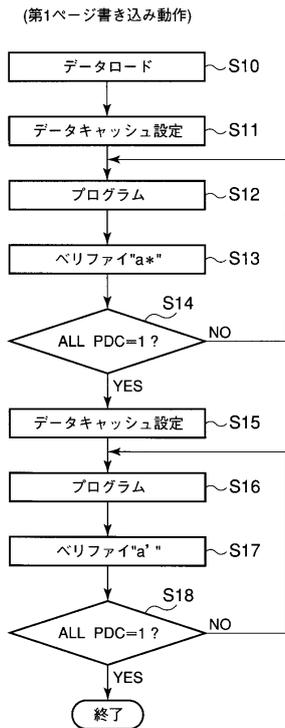
【図6】



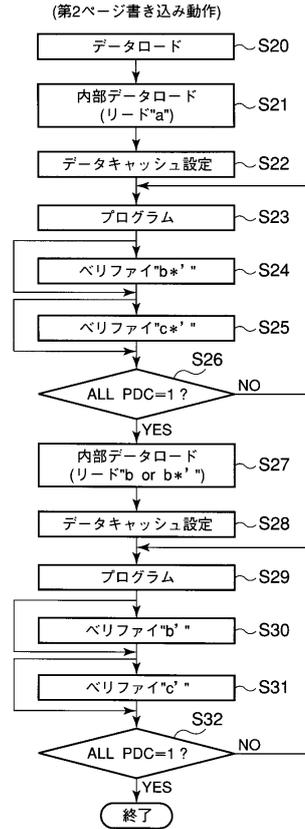
【図7】



【 図 8 】



【 図 9 】



【 図 10 】

0	メモリセルのデータ			
	inhibit	Write(OK)	Write(NG)	内部データロード & Cache設定
PDC	H	L	L	データロード(PDCにwrite→L, inhibit→H)
DDC	H	L	L	DDCにPDCのデータをコピー
TDC	H	L	L	

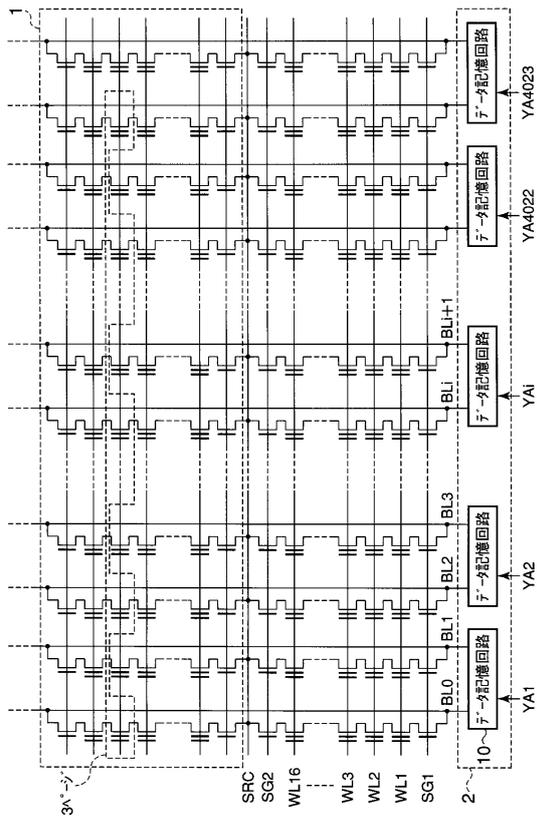
0	メモリセルのデータ			
	inhibit	Write(OK)	Write(NG)	Program
PDC	H	L	L	Program(PDCにwrite→L, inhibit→H)
DDC	H	L	L	DDC→TDC, PDC→DDC, TDC→PDC
TDC	H	L	L	ビット線プリチャージ
H	H	L	L	a*, でベリファイリード
H	H	L	L	DDCがHの時TDC=H
H	H	L	L	PDC→DDC, TDC→PDC
H	H	L	L	0→1
H	H	L	L	Verify1, 1回目

【 図 11 】

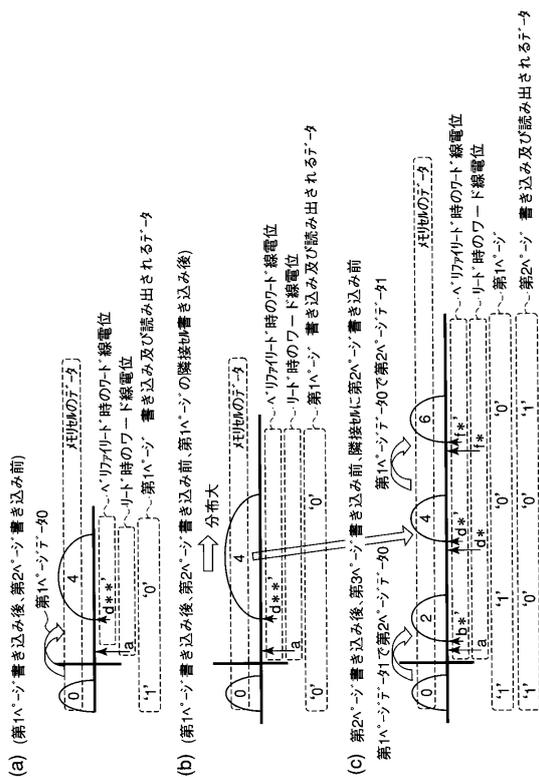
0	メモリセルのデータ			
	inhibit	Write(OK)	Write(NG)	Program
PDC	H	L	L	DDCのデータをPDCにコピー
DDC	H	L	L	Program(PDCにwrite→L, inhibit→H)
TDC	H	L	L	DDC→TDC, PDC→DDC, TDC→PDC
H	H	L	L	ビット線プリチャージ
H	H	L	L	a* でベリファイリード
H	H	L	L	DDCがHの時TDC=H
H	H	L	L	PDC→DDC, TDC→PDC
H	H	L	L	0→1
H	H	L	L	Verify1, 2回目



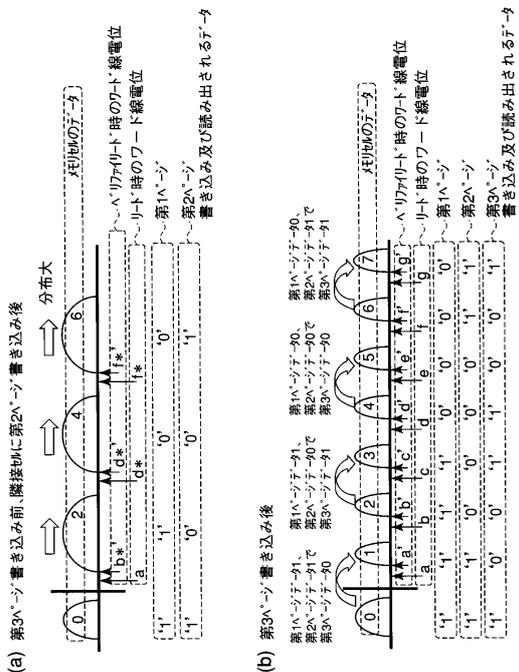
【図16】



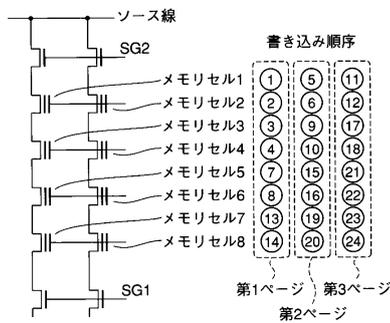
【図17】



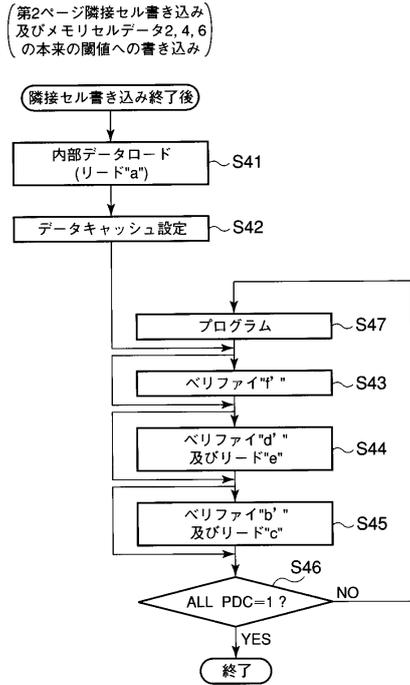
【図18】



【図19】

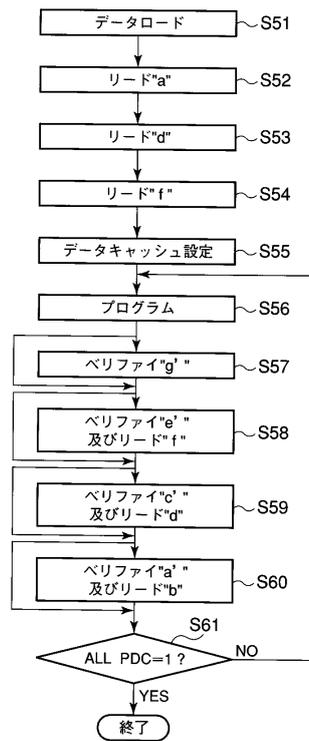


【図20】



【図21】

(第3ページ書き込み及びメモリセルデータ1, 3, 5, 7の書き込み)



【図22】

内部リード後

(a)	メモリセルのデータ				内部リードにより読み出されるデータ
	0	2	4	6	
PDC	0	1	1	1	

データキャッシュ設定後

(b)	メモリセルのデータ				1:書き込み非選択, 0:書き込み
	0	2	4	6	
PDC	1	0	0	0	

【図23】

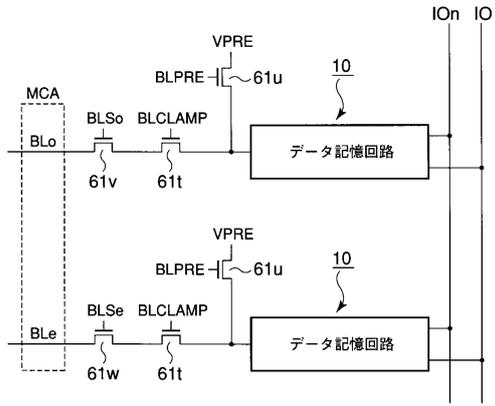
第3ページデータロード後

(a)	書き込み後のメモリセルのデータ							外部より入力されたデータ
	0	1	2	3	4	5	6	
PDC	1	0	0	1	1	0	0	1

データキャッシュ設定後

(b)	書き込み後のメモリセルのデータ							1:書き込み非選択, 0:書き込み
	0	1	2	3	4	5	6	
PDC	1	0	1	0	1	0	1	0

【図24】



---

フロントページの続き

(72)発明者 柴田 昇

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 滝谷 亮一

(56)参考文献 特開2003-196988(JP,A)  
特開2001-093288(JP,A)  
国際公開第2005/015566(WO,A1)  
特開2003-109386(JP,A)  
特開2002-313089(JP,A)  
特開平10-228786(JP,A)  
特開平11-232886(JP,A)  
特開平11-260076(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02 - 16/06