



(12) 发明专利

(10) 授权公告号 CN 103091533 B

(45) 授权公告日 2014. 12. 10

(21) 申请号 201110342681. 6

(22) 申请日 2011. 11. 03

(73) 专利权人 上海华虹宏力半导体制造有限公
司

地址 201203 上海市浦东新区张江高科技园
区祖冲之路 1399 号

(72) 发明人 金锋 朱丽霞

(74) 专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 丁纪铁

(51) Int. Cl.

G01R 19/00(2006. 01)

G01R 15/14(2006. 01)

H01L 29/06(2006. 01)

H01L 29/08(2006. 01)

(56) 对比文件

US 2005/0056889 A1, 2005. 03. 17,

CN 101901805 A, 2010. 12. 01,

US 2002/0158290 A1, 2002. 10. 31,

CN 101266930 A, 2008. 09. 17,

CN 101752417 A, 2010. 06. 23,

CN 102097484 A, 2011. 06. 15,

CN 102130176 A, 2011. 07. 20,

CN 101872763 A, 2010. 10. 27,

CN 102157560 A, 2011. 08. 17,

CN 102184963 A, 2011. 09. 14,

CN 102044564 A, 2011. 05. 04,

张占胜等. 一种 LDMOS 放大器件栅压自适应
控制技术. 《移动通信》. 2008, 第 58-61 页.

王锐等. 用于 PWM 控制 DC-DC 变换器的电流
检测电路. 《电子与封装》. 2006, 第 6 卷 (第 7
期), 第 28-31 页.

审查员 王蒙

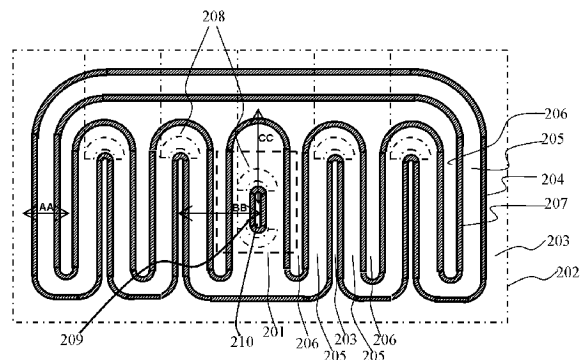
权利要求书2页 说明书6页 附图4页

(54) 发明名称

用 LDMOS 器件实现的电流采样电路

(57) 摘要

本发明公开了一种用 LDMOS 器件实现的电流
采样电路, 电流采样用的第一 LDMOS 器件和电流
对比用的第二 LDMOS 器件的 P 型阱都用 N 型注
入区包围, 第一 LDMOS 器件的源区用栅极围绕并
置于整个电流采样电路的中间; 第一 LDMOS 器
件的漏区和第二 LDMOS 器件的漏区为共用结
构, 第二 LDMOS 器件的漏区漂移区和第一 LDMOS
器件的漏区漂移区连接在一起呈一首尾相连的
封闭式结构, 第二 LDMOS 器件的漏区封闭于
封闭式结构的里侧、第二 LDMOS 器件的源区
则位于封闭式结构的外侧。本发明能实现两个
LDMOS 器件之间的完全隔离, 消除第一 LDMOS
器件和第二 LDMOS 器件的源端之间的漏电。



CN 103091533 B

1. 一种用 LDMOS 器件实现的电流采样电路,其特征在于:电流采样电路包括电流采样用的第一 LDMOS 器件和电流对比用的第二 LDMOS 器件,所述第一 LDMOS 器件和所述第二 LDMOS 器件的栅极共接、漏端共接、源端分开接出;

在 P 型硅衬底上形成有一第一 N 型注入区,所述第一 N 型注入区的将所述第一 LDMOS 器件的第一 P 型阱和所述第二 LDMOS 器件的第二 P 型阱都包围起来,使所述第一 P 型阱和所述第二 P 型阱互相由 PN 结完全隔离开;

在所述第一 P 型阱中形成有所述第一 LDMOS 器件的源区;所述第一 P 型阱上覆盖有所述第一 LDMOS 器件的栅极,所述第一 P 型阱的被该栅极覆盖区域为形成所述第一 LDMOS 器件的沟道的区域;所述第一 LDMOS 器件的漏区形成于第二 N 型注入区中,位于所述第一 P 型阱和所述第一 LDMOS 器件的漏区间的所述第二 N 型注入区组成所述第一 LDMOS 器件的漏区漂移区;

在所述第二 P 型阱中形成有所述第二 LDMOS 器件的源区;所述第二 P 型阱上覆盖有所述第二 LDMOS 器件的栅极,所述第二 P 型阱的被该栅极覆盖区域为形成所述第二 LDMOS 器件的沟道的区域;所述第二 LDMOS 器件的漏区形成于所述第二 N 型注入区中,位于所述第二 P 型阱和所述第二 LDMOS 器件的漏区间的所述第二 N 型注入区组成所述第二 LDMOS 器件的漏区漂移区;

在俯视平面上,所述电流采样电路的版图结构为:

所述第一 LDMOS 器件位于中间位置,所述第一 LDMOS 器件的源区被一首尾相连的呈闭合图形结构的栅极围绕在中间,所述第一 LDMOS 器件的漏区漂移区呈条形结构,且所述第一 LDMOS 器件的栅极和源区都处于所述第一 LDMOS 器件的漏区漂移区中,在所述第一 LDMOS 器件的漏区漂移区的两侧为所述第一 LDMOS 器件的两根呈条形结构的漏区;

所述第二 LDMOS 器件由多根条形单元并联连接形成,各所述条形单元的源区、漏区漂移区、漏区都为相同的条形结构,最内侧的两个所述条形单元的漏区分别和所述第一 LDMOS 器件的两个条形漏区共用;从所述第一 LDMOS 器件的两个条形漏区开始往外,各所述条形单元按照:漏区、漏区漂移区、源区、漏区漂移区、漏区的排列方式依次往外排列;各所述条形单元的漏区漂移区以及所述第一 LDMOS 器件的漏区漂移区连接在一起呈一首尾相连的封闭式结构,并将所述第二 LDMOS 器件的漏区封闭于所述封闭式结构的里侧,而所述第二 LDMOS 器件的源区则位于所述封闭式结构的外侧。

2. 如权利要求 1 所述用 LDMOS 器件实现的电流采样电路,其特征在于:所述第一 LDMOS 器件的栅极的闭合图形结构为环状。

3. 如权利要求 2 所述用 LDMOS 器件实现的电流采样电路,其特征在于:所述第一 LDMOS 器件的栅极的闭合图形结构为跑道型形状,且所述第一 LDMOS 器件的栅极的闭合图形结构的长轴方向沿着所述第一 LDMOS 器件的漏区漂移区的长边方向;在所述第一 LDMOS 器件的栅极的沿长轴方向的弧形头部处的所述第一 LDMOS 器件的漏区漂移区中形成有一缓冲耐压区,所述缓冲耐压区由未形成所述第二 N 型注入区的所述 P 型硅衬底组成,而所述缓冲耐压区外部的所述第一 LDMOS 器件的漏区漂移区全部由所述第二 N 型注入区组成。

4. 如权利要求 1 所述用 LDMOS 器件实现的电流采样电路,其特征在于:各所述条形单元的漏区漂移区以及所述第一 LDMOS 器件的漏区漂移区形成的所述封闭式结构的连接处呈弧形结构;各所述条形单元的栅极也按照各所述漏区漂移区的连接方式连接在一起,各

所述条形单元的栅极的连接处也呈弧形结构,各所述条形单元的栅极的弯向所述源区一侧的弧形连接处对应的各所述条形单元的漏区漂移区中分别形成有一缓冲耐压区,所述缓冲耐压区由未形成所述第二 N 型注入区的所述 P 型硅衬底组成,而所述缓冲耐压区外部的其它各所述条形单元的漏区漂移区全部由所述第二 N 型注入区组成。

5. 如权利要求 1 或 2 或 3 或 4 所述用 LDMOS 器件实现的电流采样电路,其特征在于:所述第一 N 型注入区为所述第二 N 型注入区的一部分,且所述第一 N 型注入区是由延伸到所述第一 LDMOS 器件和所述第二 LDMOS 器件的源区一侧并将所述第一 P 型阱和所述第二 P 型阱完全包围起来的所述第二 N 型注入区组成。

6. 如权利要求 1 或 2 或 3 或 4 所述用 LDMOS 器件实现的电流采样电路,其特征在于:所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极都是由多晶硅组成,组成所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极的多晶硅之间是独立的,所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极之间通过金属连线连接在一起。

用 LDMOS 器件实现的电流采样电路

技术领域

[0001] 本发明涉及一种半导体集成电路,特别是涉及一种用 LDMOS 器件实现的电流采样电路。

背景技术

[0002] LDMOS 器件为一种高耐压场效应管,能用于形成电流采样电路。如图 1 所示,是现有用 LDMOS 器件实现的电流采样电路的示意图。现有用 LDMOS 器件实现的电流采样电路包括电流采样用 LDMOS 器件 1 和电流对比用 LDMOS 器件 2,电流采样用 LDMOS 器件 1 和电流对比用 LDMOS 器件 2 的栅极 3 共接、漏端 4 共接、源端 5A、5B 分开接出。从图 1 中可以看出,电流采样用 LDMOS 器件 1 和电流对比用 LDMOS 器件 2 的衬底之间还有一个寄生衬底串联电阻 10。

[0003] 如图 2 所示,是现有用 LDMOS 器件实现的电流采样电路的版图结构示意图。虚线方框 6 所示区域为电流对比用 LDMOS 器件 2 的形成区域,虚线方框 7 所示区域为电流采样用 LDMOS 器件 1 的形成区域。所述电流采样用 LDMOS 器件 1 的源区 9 和所述电流对比用 LDMOS 器件 2 的源区 8 都形成于所述栅极 13 的外侧。所述电流采样用 LDMOS 器件 1 和电流对比用 LDMOS 器件 2 的漏区漂移区 11 和漏区 12 是共用的。所述漏区漂移区 11 由多根条形结构并行排列并首尾相连组成,且呈一封闭式结构。在所述漏区漂移区 11 的封闭式结构内侧为所述漏区 12。在所述栅极 13 和所述漏区 12 之间的所述漏区漂移区 11 上方形成有场氧化隔离层,所述栅极 13 由多晶硅组成,所述栅极 13 的多晶硅还延伸到所述场氧化隔离层上,延伸部分为靠近源区一侧的多晶硅场板;在靠近所述漏区 12 的一侧的所述场氧化隔离层上也形成有另一多晶硅场板 14。所述栅极 13 和所述多晶硅场板 14 也都为封闭式结构,分别和所述漏区漂移区 11 的外侧和内侧边沿的围绕结构相同。图 2 中可以看出,所述电流采样用 LDMOS 器件 1 的源区 9 和所述电流对比用 LDMOS 器件 2 的源区 8 的 P 型阱都是形成于 P 型硅衬底上,且都位于所述栅极 13 的外侧,二者之间没有隔离结构,这样在所述源区 8 和所述源区 9 之间会形成一寄生衬底串联电阻 10。所述漏区 12、所述栅极 13、所述源区 9 和所述源区 8 分别和金属连线引出形成如图 1 所示的所述漏端 4、所述栅极 4 和所述源端 5A、5B。

[0004] 使用上述现有用 LDMOS 器件实现的电流采样电路进行采用时,漏端需要接到很高电压,有的应用要接到超过 600V,由于所述寄生衬底串联电阻 10 的存在,在正常工作时,两个源端 5A 和 5B 之间会存在有很大漏电而引起损耗。

发明内容

[0005] 本发明所要解决的技术问题是提供一种用 LDMOS 器件实现的电流采样电路,能使电流采样用的第一 LDMOS 器件和电流对比用的第二 LDMOS 器件之间完全隔离,消除第一 LDMOS 器件和第二 LDMOS 器件的源端之间的漏电。

[0006] 为解决上述技术问题,本发明提供一种用 LDMOS 器件实现的电流采样电路,电流

采样电路包括电流采样用的第一 LDMOS 器件和电流对比用的第二 LDMOS 器件,所述第一 LDMOS 器件和所述第二 LDMOS 器件的栅极共接、漏端共接、源端分开接出。

[0007] 在 P 型硅衬底上形成有一第一 N 型注入区,所述第一 N 型注入区的将所述第一 LDMOS 器件的第一 P 型阱和所述第二 LDMOS 器件的第二 P 型阱都包围起来,使所述第一 P 型阱和所述第二 P 型阱互相由 PN 结完全隔离开。

[0008] 在所述第一 P 型阱中形成有所述第一 LDMOS 器件的源区;所述第一 P 型阱上覆盖有所述第一 LDMOS 器件的栅极,所述第一 P 型阱的被该栅极覆盖区域为形成所述第一 LDMOS 器件的沟道的区域;所述第一 LDMOS 器件的漏区形成于第二 N 型注入区中,位于所述第一 P 型阱和所述第一 LDMOS 器件的漏区间的所述第二 N 型注入区组成所述第一 LDMOS 器件的漏区漂移区。

[0009] 在所述第二 P 型阱中形成有所述第二 LDMOS 器件的源区;所述第二 P 型阱上覆盖有所述第二 LDMOS 器件的栅极,所述第二 P 型阱的被该栅极覆盖区域为形成所述第二 LDMOS 器件的沟道的区域;所述第二 LDMOS 器件的漏区形成于所述第二 N 型注入区中,位于所述第二 P 型阱和所述第二 LDMOS 器件的漏区间的所述第二 N 型注入区组成所述第二 LDMOS 器件的漏区漂移区。

[0010] 在俯视平面上,所述电流采样电路的版图结构为:

[0011] 所述第一 LDMOS 器件位于中间位置,所述第一 LDMOS 器件的源区被一首尾相连的呈闭合图形结构的栅极围绕在中间,所述第一 LDMOS 器件的漏区漂移区呈条形结构、且所述第一 LDMOS 器件的栅极和源区都处于所述第一 LDMOS 器件的漏区漂移区中,在所述第一 LDMOS 器件的漏区漂移区的两侧为所述第一 LDMOS 器件的两根呈条形结构的漏区。

[0012] 所述第二 LDMOS 器件由多根条形单元并联连接形成,各所述条形单元的源区、漏区漂移区、漏区都为相同的条形结构,最内侧的两个所述条形单元的漏区分别和所述第一 LDMOS 器件的两个条形漏区共用;从所述第一 LDMOS 器件的两个条形漏区开始往外,各所述条形单元按照:漏区、漏区漂移区、源区、漏区漂移区、漏区的排列方式依次往外排列;各所述条形单元的漏区漂移区以及所述第一 LDMOS 器件的漏区漂移区连接在一起呈一首尾相连的封闭式结构,并将所述第二 LDMOS 器件的漏区封闭于所述封闭式结构的里侧、而所述第二 LDMOS 器件的源区则位于所述封闭式结构的外侧。

[0013] 进一步的改进是,所述第一 LDMOS 器件的栅极的闭合图形结构为跑道型形状、或环状,且所述第一 LDMOS 器件的栅极的闭合图形结构的长轴方向沿着所述第一 LDMOS 器件的漏区漂移区的长边方向;在所述第一 LDMOS 器件的栅极的沿长轴方向的弧形头部处的所述第一 LDMOS 器件的漏区漂移区中形成有一缓冲耐压区,所述缓冲耐压区由未形成所述第二 N 型注入区的所述 P 型硅衬底组成,而所述缓冲耐压区外部的所述第一 LDMOS 器件的漏区漂移区全部由所述第二 N 型注入区组成。

[0014] 进一步的改进是,各所述条形单元的漏区漂移区以及所述第一 LDMOS 器件的漏区漂移区形成的所述封闭式结构的连接处呈弧形结构;各所述条形单元的栅极也按照各所述漏区漂移区的连接方式连接在一起,各所述条形单元的栅极的连接处也呈弧形结构,各所述条形单元的栅极的弯向所述源区一侧的弧形连接处对应的各所述条形单元的漏区漂移区中分别形成有一缓冲耐压区,所述缓冲耐压区由未形成所述第二 N 型注入区的所述 P 型硅衬底组成,而所述缓冲耐压区外部的其它各所述条形单元的漏区漂移区全部由所述第二

N 型注入区组成。

[0015] 进一步的改进是,所述第一 N 型注入区为所述第二 N 型注入区的一部分、且所述第一 N 型注入区是由延伸到所述第一 LDMOS 器件和所述第二 LDMOS 器件的源区一侧并将所述第一 P 型阱和所述第二 P 型阱完全包围起来的所述第二 N 型注入区组成。

[0016] 进一步的改进是,所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极都是由多晶硅组成,组成所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极的多晶硅之间是独立的,所述第一 LDMOS 器件的栅极和所述第二 LDMOS 器件的栅极之间通过金属连线连接在一起。

[0017] 本发明通过将电流采样用的第一 LDMOS 器件和电流对比用的第二 LDMOS 器件的 P 型阱都用 N 型注入区包围,并将第一 LDMOS 器件的源区用栅极围绕并置于整个电流采样电路的中间,同时将第一 LDMOS 器件的漏区和第二 LDMOS 器件的漏区进行共用,将第二 LDMOS 器件的漏区漂移区和第一 LDMOS 器件的漏区漂移区连接在一起呈一首尾相连的封闭式结构,使第二 LDMOS 器件的漏区封闭于封闭式结构的里侧、第二 LDMOS 器件的源区则位于封闭式结构的外侧,从而能实现两个 LDMOS 器件之间的完全隔离,消除第一 LDMOS 器件和第二 LDMOS 器件的源端之间的漏电。

附图说明

[0018] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0019] 图 1 是现有用 LDMOS 器件实现的电流采样电路的示意图;

[0020] 图 2 是现有用 LDMOS 器件实现的电流采样电路的版图结构示意图;

[0021] 图 3 是本发明实施例用 LDMOS 器件实现的电流采样电路的示意图;

[0022] 图 4 是本发明实施例用 LDMOS 器件实现的电流采样电路的版图结构示意图;

[0023] 图 5 是沿图 4 中的 AA 线的器件的剖面结构图;

[0024] 图 6 是沿图 4 中的 BB 线的器件的剖面结构图;

[0025] 图 7 是沿图 4 中的 CC 线的器件的剖面结构图。

具体实施方式

[0026] 如图 3 所示,是本发明实施例用 LDMOS 器件实现的电流采样电路的示意图。本发明实施例用 LDMOS 器件实现的电流采样电路包括电流采样用的第一 LDMOS 器件 301 和电流对比用的第二 LDMOS 器件 302,所述第一 LDMOS 器件 301 和所述第二 LDMOS 器件 302 的栅端 303 共接、漏端 304 共接、源端 305a 和 305b 分开接出。

[0027] 如图 4 所示是本发明实施例用 LDMOS 器件实现的电流采样电路的版图结构示意图;如图 5 至图 7 所示,分别是沿图 4 中的 AA 线、BB 线和 CC 线的器件的剖面结构图。

[0028] 图 4 中虚线方框 201 所示区域为第一 LDMOS 器件 301 的形成区域,虚线方框 202 所示区域为所述第二 LDMOS 器件 302 的形成区域。

[0029] 在 P 型硅衬底 101 上形成有一第一 N 型注入区 102,所述第一 N 型注入区 102 是由用于形成器件的漏区漂移区 205 的第二 N 型注入区 102 延伸到器件的源区一端而形成的,在本发明实施例中所述第一 N 型注入区 102 和所述第二 N 型注入区 102 是一个整体,都用相同的标记。

[0030] 所述第一 N 型注入区 102 的将所述第一 LDMOS 器件 301 的第一 P 型阱 103a 和所述第二 LDMOS 器件 302 的第二 P 型阱 103 都包围起来,使所述第一 P 型阱 103a 和所述第二 P 型阱 103 互相由 PN 结完全隔离开。

[0031] 在所述第一 P 型阱 103a 中形成有所述第一 LDMOS 器件 301 的源区 210 ;所述第一 P 型阱 103a 上覆盖有所述第一 LDMOS 器件 301 的栅极 209,所述第一 P 型阱 103a 的被该栅极 209 覆盖区域为形成所述第一 LDMOS 器件 301 的沟道的区域 ;所述第一 LDMOS 器件 301 的漏区 206 形成于第二 N 型注入区 102 中,位于所述第一 P 型阱 103a 和所述第一 LDMOS 器件 301 的漏区 206 间的所述第二 N 型注入区 102 组成所述第一 LDMOS 器件 301 的漏区漂移区 205。

[0032] 在所述第二 P 型阱 103 中形成有所述第二 LDMOS 器件 302 的源区 203 ;所述第二 P 型阱 103 上覆盖有所述第二 LDMOS 器件 302 的栅极 204,所述第二 P 型阱 103 的被该栅极 204 覆盖区域为形成所述第二 LDMOS 器件 302 的沟道的区域 ;所述第二 LDMOS 器件 302 的漏区 206 形成于所述第二 N 型注入区 102 中,位于所述第二 P 型阱 103 和所述第二 LDMOS 器件 302 的漏区 206 间的所述第二 N 型注入区 102 组成所述第二 LDMOS 器件 302 的漏区漂移区 205。

[0033] 在俯视平面上,所述电流采样电路的版图结构为 :

[0034] 所述第一 LDMOS 器件 301 位于中间位置,所述第一 LDMOS 器件 301 的源区 210 被一首尾相连的呈闭合图形结构的栅极 209 围绕在中间。本发明实施例中,所述第一 LDMOS 器件 301 的栅极 209 的闭合图形结构为跑道型形状,当然也能用环状或其它的闭合图形进行替换。

[0035] 所述第一 LDMOS 器件 301 的漏区漂移区 205 呈条形结构、且所述第一 LDMOS 器件 301 的栅极 209 和源区都处于所述第一 LDMOS 器件 301 的漏区漂移区 205 中,在所述第一 LDMOS 器件 301 的漏区漂移区 205 的两侧为所述第一 LDMOS 器件 301 的两根呈条形结构的漏区 206。

[0036] 所述第一 LDMOS 器件 301 的栅极 209 的闭合图形结构的长轴方向沿着所述第一 LDMOS 器件 301 的漏区漂移区 205 的长边方向 ;在所述第一 LDMOS 器件 301 的栅极 209 的沿长轴方向的弧形头部处的所述第一 LDMOS 器件 301 的漏区漂移区 205 中形成有一缓冲耐压区 208,所述缓冲耐压区 208 由未形成所述第二 N 型注入区 102 的所述 P 型硅衬底 101 组成,而所述缓冲耐压区 208 外部的所述第一 LDMOS 器件 301 的漏区漂移区 205 全部由所述第二 N 型注入区 102 组成。

[0037] 所述第二 LDMOS 器件 302 由多根条形单元并联连接形成,各所述条形单元的源区 203、漏区漂移区 205、漏区 206 都为相同的条形结构,最内侧的两个所述条形单元的漏区 206 分别和所述第一 LDMOS 器件 301 的两个条形漏区 206 共用 ;从所述第一 LDMOS 器件 301 的两个条形漏区 206 开始往外,各所述条形单元按照 :漏区 206、漏区漂移区 205、源区 203、漏区漂移区 205、漏区 206 的排列方式依次往外排列。各所述条形单元的漏区漂移区 205 以及所述第一 LDMOS 器件 301 的漏区漂移区 205 连接在一起呈一首尾相连的封闭式结构,该首尾相连的封闭式结构即为 :当前的条形单元的漏区漂移区 205 的一端和与其平行的前一条形单元的漏区漂移区 205 的同侧的一端相连,当前的条形单元的漏区漂移区 205 的另一端和与其平行的下一条形单元的漏区漂移区 205 的同侧的一端相连,最后两边最外侧的两

个条形单元的漏区漂移区 205 都处于同一端并相连。所述漏区漂移区 205 连接形成的所述封闭式结构将所述第二 LDMOS 器件 302 的漏区 206 封闭于所述封闭式结构的里侧、而所述第二 LDMOS 器件 302 的源区 203 则位于所述封闭式结构的外侧。

[0038] 各所述条形单元的漏区漂移区 205 以及所述第一 LDMOS 器件 301 的漏区漂移区 205 形成的所述封闭式结构的连接处呈弧形结构；各所述条形单元的栅极 204 也按照各所述漏区漂移区 205 的连接方式连接在一起，各所述条形单元的栅极 204 的连接处也呈弧形结构，各所述条形单元的栅极 204 的弯向所述源区 203 一侧的弧形连接处对应的各所述条形单元的漏区漂移区 205 中分别形成有一缓冲耐压区 208，所述缓冲耐压区 208 由未形成所述第二 N 型注入区 102 的所述 P 型硅衬底 101 组成，而所述缓冲耐压区 208 外部的其它各所述条形单元的漏区漂移区 205 全部由所述第二 N 型注入区 102 组成。

[0039] 所述第一 LDMOS 器件 301 的栅极 209 和所述第二 LDMOS 器件 302 的栅极 204 都是由多晶硅组成，组成所述第一 LDMOS 器件 301 的栅极 209 和所述第二 LDMOS 器件 302 的栅极 204 的多晶硅之间是独立的，所述第一 LDMOS 器件 301 的栅极 209 和所述第二 LDMOS 器件 302 的栅极 204 之间通过金属连线连接在一起并形成栅端 303 引出。

[0040] 在所述栅极 204 和 209 和所述漏区 206 之间的所述漏区漂移区 205 上方形成有场氧化隔离层 105，所述栅极 204 和 209 的多晶硅还延伸到所述场氧化隔离层 105 上，延伸部分为靠近源区一侧的多晶硅场板。在靠近所述漏区 206 的一侧的所述场氧化隔离层 105 上也形成有另一多晶硅场板 207。所述第二 LDMOS 器件 302 的栅极 204 和所述多晶硅场板 207 也都为封闭式结构，分别和所述漏区漂移区 205 的外侧和内侧边沿的围绕结构相同。

[0041] 如图 5 所示，是沿图 4 中的 AA 线的器件的剖面结构图；显示了所述第二 LDMOS 器件 302 的一个条形单元的剖面结构。

[0042] 所述漏区 206 由形成于第二 N 型注入区 102 中的所述 N+ 区 107 组成；所述源区 203 由形成于所述第二 P 型阱 103 中的 N+ 区 106 组成，所述第二 P 型阱 103 中还形成 P+ 区 108，所述 P+ 区 108 和所述 N+ 区 106 连接在一起并一起组成所述源端。

[0043] 在所述漏区漂移区 205 中，位于所述场氧化隔离层 105 下方形成有一 P 型注入区 104，在所述漏区 206 加高压时，P 型注入区 104 提供空穴更容易和 N 型漂移区 205 中的电子中和，产生耗尽区以提高漏区 206 耐压。

[0044] 在所述源区 203 下也形成有 P 型注入区 104a，所述 P 型注入区 104a 和所述 P 型注入区 104 保持一定距离。所述栅极 204 及其延伸形成的多晶硅场板会覆盖到所述 P 型注入区 104a 和所述 P 型注入区 104。靠近漏区 206 的所述多晶硅场板 207 也覆盖到所述 P 型注入区 104。

[0045] 还包括一层间膜 109，所述层间膜 109 将器件的底部结构都覆盖，如覆盖了所述栅极 204、多晶硅场板 207、源区 203 和漏区 206 以及所述场氧化隔离层 105。在所述层间膜 109 中形成有接触孔分别和所述栅极 204、多晶硅场板 207、源区 203 和漏区 206 连接。在所述层间膜 109 中形成有金属层。所述源区 203 最后通过金属 111 引出，所述漏区 207 通过金属 112 引出。在所述金属 111 的旁侧还形成有金属场板 113，所述金属场板 113 和所述栅极 204 相连接；所述金属场板 113 和所述栅极 204 连在一起，既形成金属场版，又因为和栅极并联而降低栅极电阻。所述多晶硅场板 207 也和所述金属 112 连接。

[0046] 如图 6 所示，是沿图 4 中的 BB 线的器件的剖面结构图；显示了所述第二 LDMOS 器

件 302 的一个条形单元和所述第一 LDMOS 器件 301 的剖面结构。

[0047] 所述第二 LDMOS 器件 302 的结构和如图 5 所示的相同。

[0048] 所述第一 LDMOS 器件 301 的结构为：

[0049] 所述漏区 206 和所述第二 LDMOS 器件 302 的漏区 206 共用。由形成于第二 N 型注入区 102 中的所述 N+ 区 107 组成；所述源区 210 由形成于所述第一 P 型阱 103a 中的 N+ 区 106a 组成，所述第二 P 型阱 103a 中还形成 P+ 区，该 P+ 区和所述 N+ 区 106a 连接在一起并一起组成源端。

[0050] 在所述源区 210 下也形成有 P 型注入区 104b，所述 P 型注入区 104b 和所述 P 型注入区 104 保持一定距离。所述栅极 209 及其延伸形成的多晶硅场板会覆盖到所述 P 型注入区 104b 和所述 P 型注入区 104。

[0051] 所述源区 210 最后也通过金属层引出，在所述源区 210 的引出金属层的旁侧还形成有金属场板 113a，所述金属场板 113a 和所述栅极 209 相连接；所述金属场板 113a 和所述栅极 209 连在一起，既形成金属场版，又因为和栅极并联而降低栅极电阻。

[0052] 如图 7 所示，分别是沿图 4 中的 CC 线的器件的剖面结构图，可以看出，所述缓冲耐压区 208 由未形成所述第二 N 型注入区 102 的所述 P 型硅衬底 101 组成，而所述缓冲耐压区 208 外部的其它各所述条形单元的漏区漂移区 205 全部由所述第二 N 型注入区 102 组成。形成于所述缓冲耐压区 208 周侧的所述漏区漂移区 205 中的所述 P 型注入区 104 都延伸到所述缓冲耐压区 208 中。

[0053] 以上通过具体实施例对本发明进行了详细的说明，但这些并非构成对本发明的限制。在不脱离本发明原理的情况下，本领域的技术人员还可做出许多变形和改进，这些也应视为本发明的保护范围。

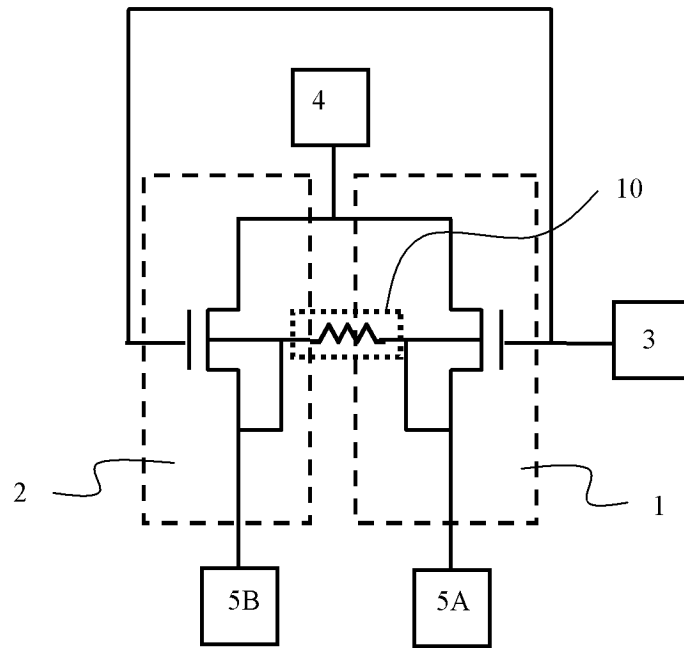


图 1

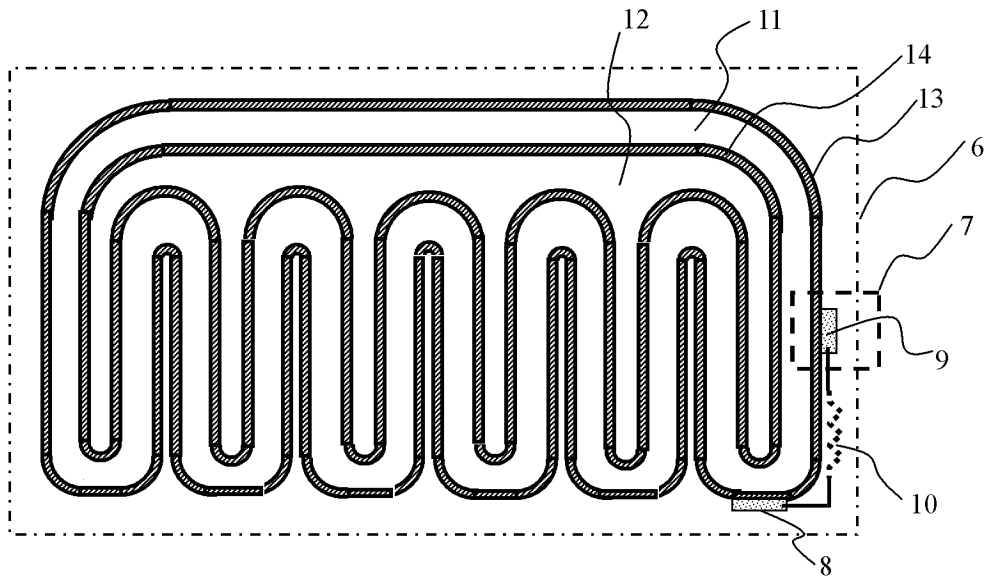


图 2

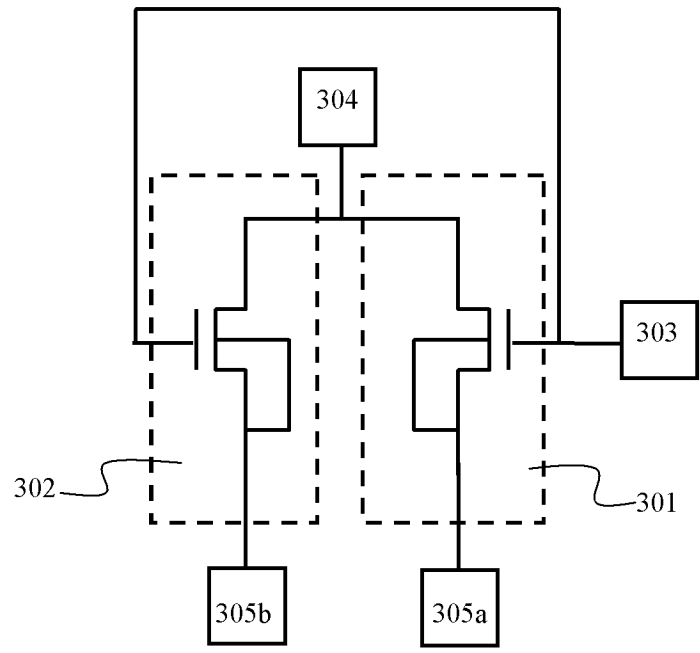


图 3

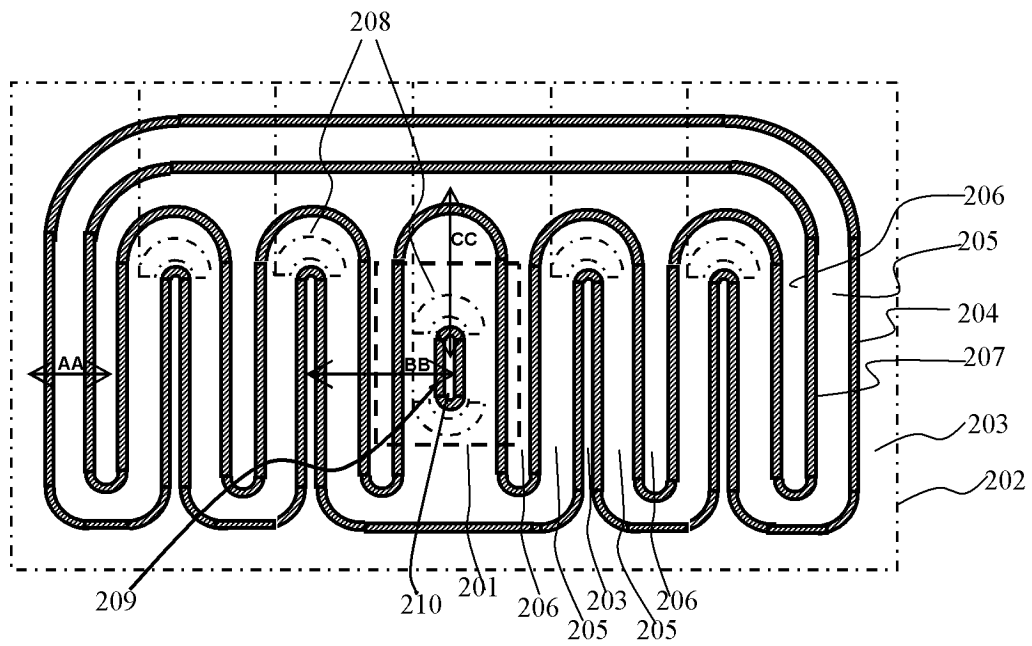


图 4

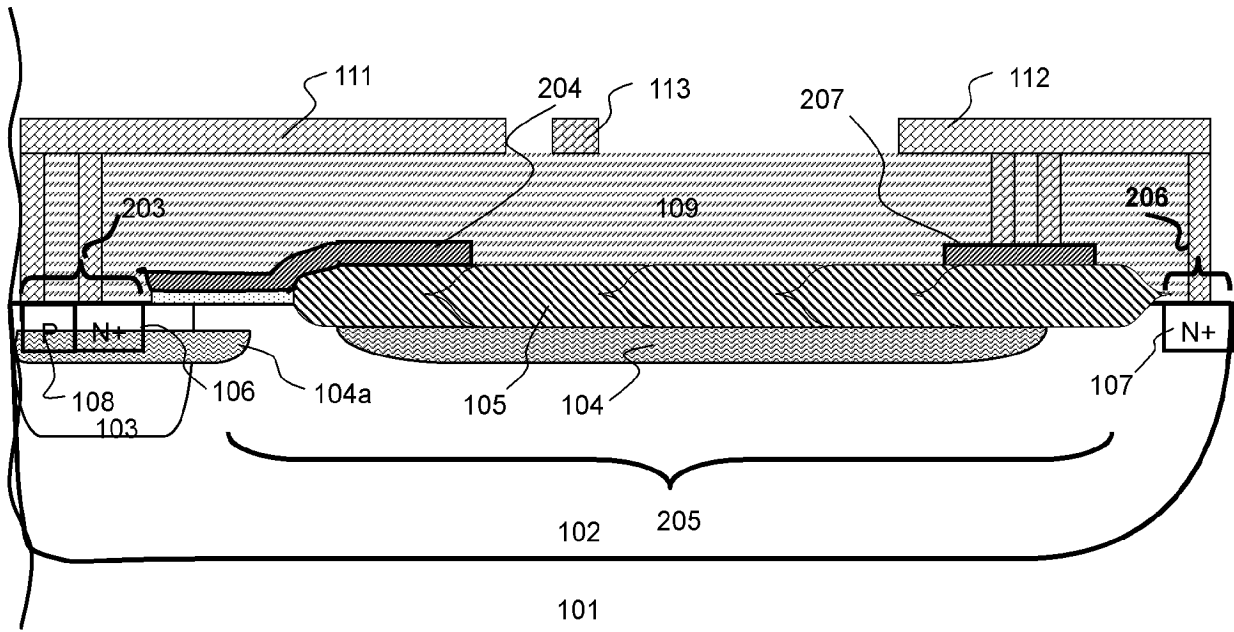


图 5

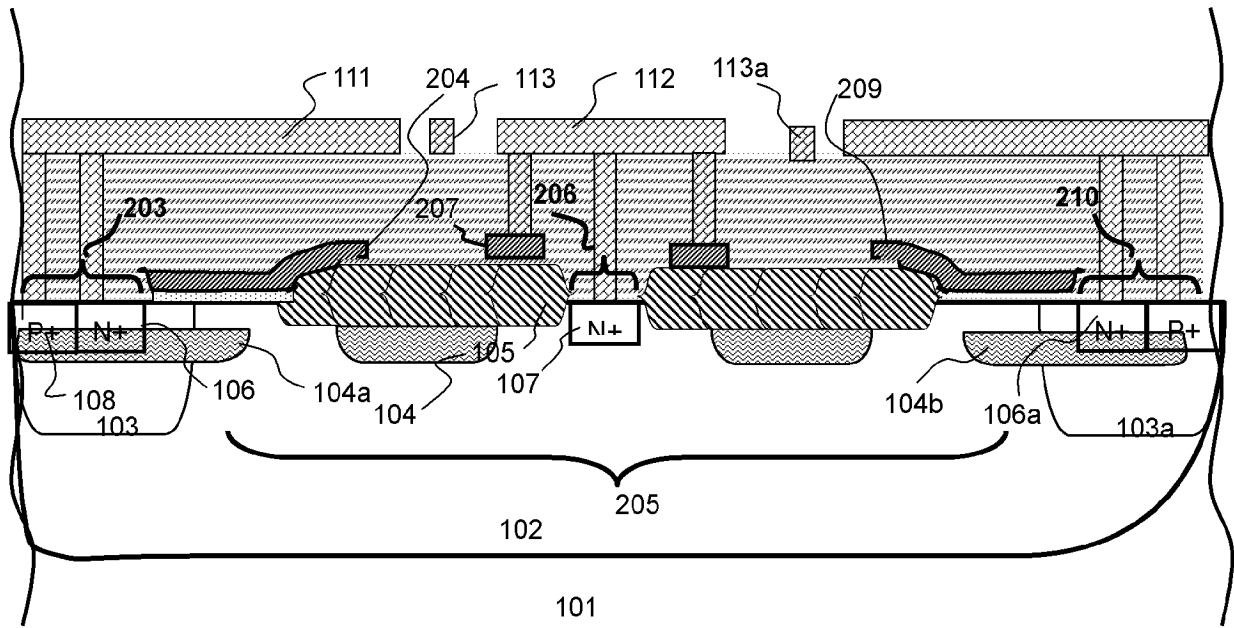


图 6

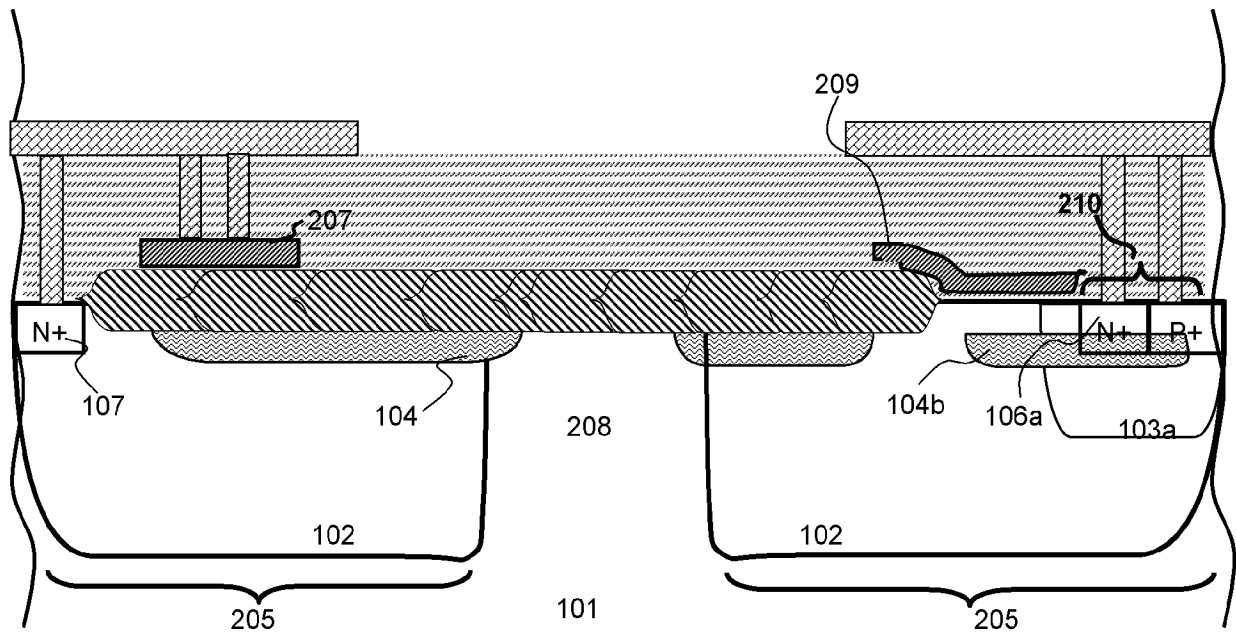


图 7