

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-519547

(P2005-519547A)

(43) 公表日 平成17年6月30日(2005.6.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H04R 3/00	H04R 3/00 320	5D020
H03M 3/02	H03M 3/02	5D021
H04R 19/04	H04R 19/04	5J064

審査請求 有 予備審査請求 未請求 (全 11 頁)

(21) 出願番号 特願2003-573897 (P2003-573897)
 (86) (22) 出願日 平成15年3月5日(2003.3.5)
 (85) 翻訳文提出日 平成16年11月8日(2004.11.8)
 (86) 国際出願番号 PCT/CA2003/000302
 (87) 国際公開番号 W02003/075603
 (87) 国際公開日 平成15年9月12日(2003.9.12)
 (31) 優先権主張番号 0205352.8
 (32) 優先日 平成14年3月7日(2002.3.7)
 (33) 優先権主張国 英国(GB)

(71) 出願人 504338036
 ザーリンク セミコンダクター エービー
 スウェーデン・ヤファラ S-175 2
 6・ブルットヴァゲン 2
 (74) 代理人 110000176
 一色国際特許業務法人
 (72) 発明者 リーサー, ゴード
 カナダ・オンタリオ ケー2シー 1ズイ
 ー5・オタワ・ボニー クレッセント 1
 166

Fターム(参考) 5D020 BB10 BB12
 5D021 CC03 CC08 CC15
 5J064 AA01 BA03 BB07 BC06 BC07
 BC14 BC15 BC17 BC19 BD00

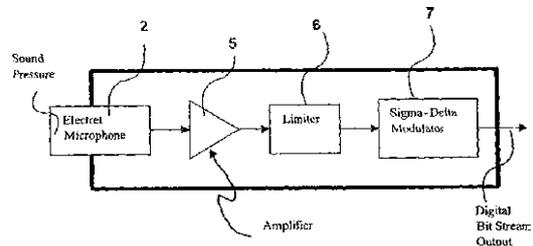
最終頁に続く

(54) 【発明の名称】 デジタルマイクロホン

(57) 【要約】

【課題】 本発明は、音響変換器の分野に関し、特には、電話技術あるいは他の分野のための音波をデジタル信号に変換するデジタルマイクロホンに関する。

【解決手段】 本発明のデジタルマイクロホンは、音響信号を表すアナログ信号を生成する変換器と、オーバーサンプリングレートでシグマ - デルタ変調されたビットストリームの形式で前記アナログ信号からデジタル出力信号を生成するための、1次より高次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器と、を備える。デジタルマイクロホンには、デジタルデシメーション及びフィルタリング回路をマイクロホンハウジング内に設ける必要がないので、集積技術により適している。



【特許請求の範囲】

【請求項 1】

音響信号を表すアナログ信号を生成する変換器と、オーバーサンプリングレートでシグマ - デルタ変調されたビットストリームの形式で前記アナログ信号からデジタル出力信号を生成するための、1次より高次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器と、を備えるデジタルマイクロホン。

【請求項 2】

前記変換器と前記シグマ - デルタ変調器との間に接続される増幅器とリミッタとを更に備える請求項 1 に記載のデジタルマイクロホン。

【請求項 3】

前記変換器、リミッタ、及びシグマ - デルタ変調器は、アナログ IC 技術を用いる集積回路に備えられることを特徴とする請求項 2 に記載のデジタルマイクロホン。

【請求項 4】

前記変換器と、前記集積された増幅器、リミッタ、及びシグマ - デルタ変調器は、共通のマイクロホンハウジングに備えられる請求項 3 に記載のデジタルマイクロホン。

【請求項 5】

前記シグマ - デルタ変調器は、N をサンプルあたりのビット数、F を前記音響信号の最終仮想サンプリングレートとしたときに、オーバーサンプリングレート $N * F$ でデジタル出力信号を生成する請求項 1 から 4 のいずれかに記載のデジタルマイクロホン。

【請求項 6】

前記変換器はエレクトレット変換器である請求項 1 から 5 のいずれかに記載のデジタルマイクロホン。

【請求項 7】

前記シグマ - デルタ変調器は、一連の積分器に接続される一の出力を有する第 1 の加算ノードを備え、

各積分器の出力は第 2 の加算ノード及び第 3 の加算ノードのそれぞれの入力に接続されており、

前記第 3 の加算ノードの出力は、前記第 1 の加算ノードに接続されており、

前記第 2 の加算ノードの出力は、シングルビットストリーム出力を発生させるシングルビットアナログ - デジタル変換器と接続されており、

前記第 2 の加算ノードの出力は、前記第 1 の加算ノードの入力に接続されており、

前記アナログ - デジタル変換器の出力は、デジタル - アナログ変換器を通して前記第 1 の加算ノードの他の入力に接続されている請求項 1 から 6 のいずれかに記載のデジタルマイクロホン。

【請求項 8】

音響入力信号をデジタル出力信号に変換する方法であって、前記音響入力信号をアナログ電気信号に変換するステップと、シングルビットデジタル出力信号を生成するために、前記アナログ電気信号を 1 次より高次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器でデジタル信号に変換するステップと、を備える。

【請求項 9】

前記シグマ - デルタ変調器は、N をサンプルあたりのビット数、F を前記音響信号の最終仮想サンプリングレートとしたときに、オーバーサンプリングレート $N * F$ でデジタル出力信号を生成する請求項 8 に記載の方法。

【請求項 10】

前記アナログ信号が、前記シグマ - デルタ変調器に入力される前に増幅及び制限される請求項 8 に記載の方法。

【請求項 11】

前記変換は、その出力が、フィードバックを与える第 1 の加算ノードの入力及び第 2 の加算ノードの入力それぞれに接続されている一連の積分器において行われる請求項 8 に記載の方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、音響変換器の分野に関し、特に、電話技術あるいは他の分野で使用するための音波をデジタル信号に変換するデジタルマイクロホンに関する。

【背景技術】

【0002】

マイクロホンは、音波を、その音波を表す出力信号に変換するための装置である。従来よりマイクロホンは、例えば、マイクロホンのアクティブな表面に衝突する圧力波を表すアナログ出力信号を生成するための圧電結晶発振器あるいはコンデンサを利用するなど、アナログ的に設計されてきた。このタイプの一般的なマイクロホンは、エレクトレット・マイクロホンであって、コンデンサのプレートには常時電荷が供給される。音波が帯電された振動板を振動させると、プレート間の電圧が変化し、増幅して、記録装置に転送可能なアナログ信号を発生する。

10

【0003】

現在、音声処理は主にデジタル領域において行われているが、歴史的にみると、マイクロホンによって発生するアナログ信号は、それをアナログ - デジタル変換器を通すことによってデジタル化される。より最近では、デジタル信号を直接出力するマイクロホンを生産することが望ましいことが分かってきた。例えば、Festeらの特許文献1には、マイクロホンから入力されたアナログ入力を増幅し、「中間的な」デジタル信号に変換する装置について開示されている。この中間的な信号は次に、より低いサンプリングレートにデシメートされ、量子化雑音を取り除くためにデジタルフィルタによってフィルタリングされ、そして最終的にはデジタルシリアル出力信号を得るためにパラレル - シリアル変換器を通過させられる。

20

【特許文献1】米国特許第5886656号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、Festeらは、マイクロホンハウジング内に含まれている前記デシメーション、量子化雑音のデジタルフィルタリング、及びパラレル - シリアル変換に、「マルチビット」出力型のMASH構成を用いることを提案している。これらの回路自体をアナログ部品と一体化してコスト削減を図るものではない。

30

【課題を解決するための手段】

【0005】

本発明によると、音響信号を表すアナログ信号を生成する変換器と、オーバーサンプリングレートでシグマ - デルタ変調されたビットストリームの形式で前記アナログ信号からデジタル出力信号を生成するための、1次より高次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器と、を備えるデジタルマイクロホンが提供される。

【0006】

また本発明は、音響入力信号をデジタル出力信号に変換する方法であって、前記音響入力信号をアナログ電気信号に変換するステップと、シングルビットデジタル出力信号を生成するために、前記アナログ電気信号を1次より高次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器でデジタル信号に変換するステップと、を備える。

40

【発明を実施するための最良の形態】

【0007】

シグマ - デルタ変換器は、アナログ - デジタル変換に使用される、信号が混在するアナログ - デジタル回路であるが、完全なアナログ - デジタル変換回路の一部である。シグマ - デルタ変換器は、例えば、Nをサンプルあたりのビット数、それはおそらく一般的に32から128の範囲であり、Fを音響信号の最終仮想サンプリングレートとしたときに、 $N * F$ Hzの高ビットレートでシングルビットストリーム出力を提供する。

50

【0008】

シグマ - デルタ変調器は、1次より高次であることとし、また、より高次であることが好ましい。これによって、1次変調器で行うよりも、クロックスピードを低く保つことが可能となる。また、クロックスピードを下げるということは、EMI（電磁障害）が少ないということである。

【0009】

好適な実施例では、変換器は、増幅器と結合されるエレクトレット装置であって、これはさらに、入力段にシグナルリミッタが組み込まれるシグマ - デルタ変調器に結合される。

【0010】

本好適実施例では、Chao, Lee, Sodini共著「A higher Order Topology for Interpolative Modulators for Oversampling A/D Converters」IEEE trans Circuits and Sys., 1990年3月,第CAS-37巻, p. 309 - 318に記載されているようなシングルビット型のシグマ - デルタ変調器を用い、その内容は本願に援用される。

10

【0011】

本発明の構成では、このデジタル回路は、より高い費用対効果を実現できるような、他のデジタルデバイスで実現される必要がある。デジタル回路は、「システム・オン・チップ（SOC）」デジタルデバイスの一部として実現可能であり、ゲートあたりのコストがより小さいでディープサブミクロンデジタルIC技術で製造可能であるが、これは、増幅器、リミッタ、及びシグマ - デルタ変調器の実現により適当な、より大きな形状寸法のアナログIC技術とは対照的である。

20

【0012】

また、シングルビット型のシグマ - デルタ変調器を用いることによって、デジタル「中間」シリアルビットストリームをデシメートする必要がなくなる。このビットストリームは、変調器の次数と、マイクロホンの性能要求に依存して、512 kbpsから4,096 kbpsの範囲に位置するからである。これは、デシメーションを他のデジタルSOCデバイスに実装することがより適切である程度に、十分に低いビットレートであると考えられる。

【0013】

本発明によるデジタルマイクロホンは、音響の音圧を、デジタルマイクロホン装置内にデジタルデシメーションやフィルタ回路を格納する必要なく、音声信号を他の回路に転送する出力として使用可能なシリアルデジタル出力信号に変換する。

30

【0014】

図1を参照すると、従来のアナログマイクロホンは、FETインピーダンス変換器2とともにシールドハウジング3に収容されるエレクトレットコンデンサマイクロホン1を備え、出力信号4を出力する。マイクロホンのアクティブな表面に衝突する音波は、対応する電気出力信号に変換される。

【0015】

図2は、本発明に基づくデジタルマイクロホンの概略図である。図1にもあるように、ここでは、データ出力シングルビットストリームDATAをクロック信号CLKにより設定されたレートで生成するエレクトレット・マイクロホン（図示せず）及び変換回路を含む。

40

【0016】

図3は、シールドハウジング内部における構成要素のブロック図である。エレクトレット・マイクロホンは増幅器5を通じてリミッタ6に接続される。リミッタ6からの出力は、デジタルシングルビットストリーム出力8を発生させるシグマ - デルタ変調器7に結合される。

【0017】

使用時には、エレクトレット・マイクロホン2に入射している音波はアナログ電気信号に変換され、それは増幅器5によって増幅され、リミッタ6によって増幅制限され、そし

50

てシグマ - デルタ変調器 7 でデジタルストリーム出力に変換される。

【0018】

図 4 は、シングルビットストリームを出力する N 次シグマ - デルタ変調器 7 ($N < 1$) のより詳細な図である。図 4 では、入力信号 I_N は、加算ノード S_1 を通過して一連の積分器 I_1, I_2, \dots, I_N へ流れる。積分器 I_N からの出力は、加算ノード S_2, S_3 のそれぞれの入力 A_N, B_N に渡される。加算ノード S_3 からの出力は、加算ノード S_1 への入力としてフィードバックされる。加算ノード S_2 からの出力は、アナログ信号を表すデジタルシングルビットストリーム出力を発生させるためにシングルビット比較器 10 に渡される。比較器 10 からの出力は、シングルビットデジタル - アナログ変換器 (DAC) を通過して加算ノード S_1 へと流れる。

10

【0019】

ここに記載のマイクロホンは、集積化に適している。増幅器、リミッタ、及びシグマ - デルタ変調器は、より大きな形状寸法のアナログ IC 技術を用いることによって便宜的に集積化することが可能である。以下のデジタル回路は、ゲートあたりのコストを下げる、ディープサブミクロンデジタル IC 技術を用いてシステム・オン・チップ (SOC) デジタルデバイスの一部として集積化することができる。デジタルマイクロホンの典型的な用途は、デジタル電話あるいは携帯電話であるが、その場合、シリアル出力のビットレートは他のデジタル IC 又は回路に接続されるようになっているため、それを最小化することは特に重要ではない。デジタルシリアル出力は、デジタルであるから、電話 (あるいは他の音声装置) における流合雑音の問題を改善する。デシメーションフィルタリングや変調器量子化ノイズフィルタリングといった A/D 変換と関連する他の一般的デジタル回路は、当該デジタルマイクロホンには含まれず、デジタル回路により適したディープ・サブミクロンデジタルプロセス技術を用いる他のデジタルデバイスに実装することができる。

20

【0020】

また、シングルビットシグマ - デルタ変調 A/D 変換器の設計の変形例の多くはその後公開され、シグマ - デルタタイプの A/D 変換の分野の当業者によく知られている。

【図面の簡単な説明】

【0021】

【図 1】図 1 は、典型的なエレクトレット・マイクロホンの図である。

【図 2】図 2 は、本発明の一実施例に基づいたデジタルマイクロホンの図であり、入出力信号が示される。

30

【図 3】図 3 は、好適な実施形態に基づくデジタルマイクロホンのブロック図である。

【図 4】図 4 は、シングルビットストリーム出力を備える N 次シグマ - デルタ変調器のより詳細なブロック図である。

【 図 1 】

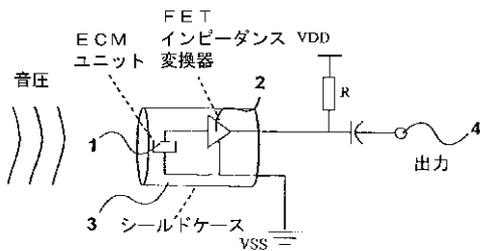


FIG. 1

【 図 2 】

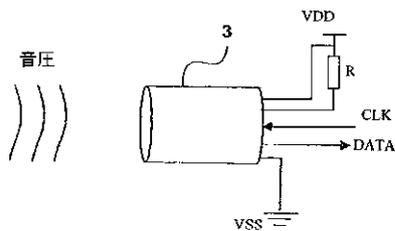


FIG. 2

【 図 3 】

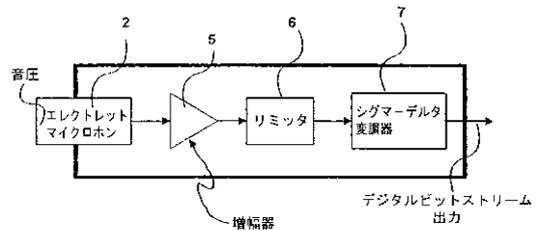


FIG. 3

【 図 4 】

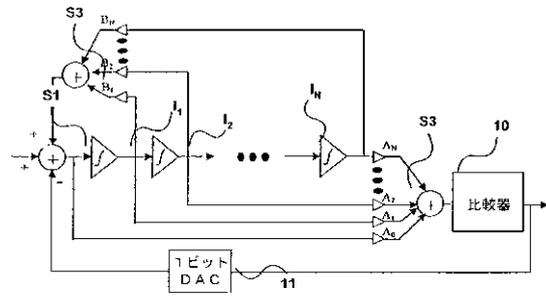


FIG. 4

【 手続 補正書 】

【 提出日 】 平成 16 年 11 月 9 日 (2004.11.9)

【 手続 補正 1 】

【 補正 対象 書類 名 】 特 許 請 求 の 範 囲

【 補正 対象 項目 名 】 全 文

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

音響信号を表すアナログ信号を生成するための変換器と、
 前記アナログ信号を増幅するための増幅器と、
 前記増幅されたアナログ信号を制限するためのリミッタと、
 前記リミッタの出力を受けて前記アナログ信号をデジタル出力信号に変換するためのアナログ - デジタル変換器とを備え、

前記増幅器、前記リミッタ、及び前記アナログ - デジタル変換器はアナログ集積回路技術を用いて集積回路としてチップ上に実装されており、

前記アナログ - デジタル変換器は、少なくとも 4 次のシングルビットシグマ - デルタ変調器の形態であって、サブマイクロデジタルプロセス技術を用いたデジタル回路でさらに処理するのに適したオーバーサンプリングレートでシグマ - デルタ変調された形のデジタル出力信号を生成し、

5 1 2 k b p s と 4 0 9 6 k b p s の間のレートでビットストリームを出力するために、前記シグマ - デルタ変調器にクロック信号を供給するクロックを備えている、集積化されたデジタルマイクロホン。

【 請 求 項 2 】

前記変換器と、前記集積化された増幅器、リミッタ、及びシグマ - デルタ変調器とが、

共通のマイクロホンハウジング内に設けられている、請求項 1 に記載の集積化されたデジタルマイクロホン。

【請求項 3】

前記シグマ - デルタ変調器は、 N をサンプルあたりのビット数、 F を前記音響信号の最終仮想サンプリングレートとしたときに、オーバーサンプリングレート $N * F$ でデジタル出力信号を生成する、請求項 2 に記載の集積化されたデジタルマイクロホン。

【請求項 4】

前記変換器はエレクトレットマイクロホンである、請求項 1 から 3 までのいずれかに記載の集積化されたデジタルマイクロホン。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明によると、音響信号を表すアナログ信号を生成する変換器と、オーバーサンプリングレートでシグマ - デルタ変調されたビットストリームの形式で前記アナログ信号からデジタル出力信号を生成するための、少なくとも 4 次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器と、を備えるデジタルマイクロホンが提供される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

また本発明は、音響入力信号をデジタル出力信号に変換する方法であって、前記音響入力信号をアナログ電気信号に変換するステップと、シングルビットデジタル出力信号を生成するために、前記アナログ電気信号を少なくとも 4 次のシングルビットシグマ - デルタ変調アナログ - デジタル変換器でデジタル信号に変換するステップと、を備える。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

図 4 は、シングルビットストリームを出力する N 次シグマ - デルタ変調器 7 ($N = 4$) のより詳細な図である。図 4 では、入力信号 I_N は、加算ノード S_1 を通過して一連の積分器 I_1, I_2, \dots, I_N へ流れる。積分器 I_N からの出力は、加算ノード S_2, S_3 のそれぞれの入力 A_N, B_N に渡される。加算ノード S_3 からの出力は、加算ノード S_1 への入力としてフィードバックされる。加算ノード S_2 からの出力は、アナログ信号を表すデジタルシングルビットストリーム出力を発生させるためにシングルビット比較器 10 に渡される。比較器 10 からの出力は、シングルビットデジタル - アナログ変換器 (DAC) を通過して加算ノード S_1 へと流れる。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/CA 03/00302
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04R3/00 H03M3/02 H04R1/04		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04R H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 285 769 B1 (WARD NICHOLAS PAUL ET AL) 4 September 2001 (2001-09-04) abstract column 1, line 46 -column 2, line 45; figure 4	1,5,8,9
Y	DE 195 45 760 C (SIEMENS AUDIOLOGISCHE TECHNIK) 20 February 1997 (1997-02-20) the whole document	1-11
Y	WO 02 03747 A (KONINKL PHILIPS ELECTRONICS NV) 10 January 2002 (2002-01-10) abstract; figure 4	6
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
2 September 2003		10/09/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gerken, S

INTERNATIONAL SEARCH REPORT

International Application No
PCT/CA 03/00302

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CHAO K C-H ET AL: "A HIGHER ORDER TOPOLOGY FOR INTERPOLATIVE MODULATORS FOR OVERSAMPLING A/D CONVERTERS" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, IEEE INC. NEW YORK, US, vol. 37, no. 3, 1 March 1990 (1990-03-01), pages 309-318, XP000128630 cited in the application abstract page 309, right-hand column -page 311, right-hand column; figures 5,6 -----	1-5,7-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/CA 03/00302

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6285769	B1	04-09-2001	NONE
DE 19545760	C	20-02-1997	DE 19545760 C1 20-02-1997 CH 689343 A5 26-02-1999 DE 29521956 U1 05-11-1998 DK 139196 A 08-06-1997 US 5796848 A 18-08-1998
WO 0203747	A	10-01-2002	WO 0203747 A2 10-01-2002 EP 1304016 A2 23-04-2003 US 2002071578 A1 13-06-2002

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW