

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5364743号  
(P5364743)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 B
HO 1 L 23/522 (2006.01)	HO 1 L 27/04 D
HO 1 L 21/822 (2006.01)	HO 1 L 21/82 W
HO 1 L 27/04 (2006.01)	
HO 1 L 21/82 (2006.01)	

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2011-44247 (P2011-44247)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成23年3月1日(2011.3.1)	(74) 代理人	110001612 きさらぎ国際特許業務法人
(65) 公開番号	特開2012-182315 (P2012-182315A)	(72) 発明者	菊池 宏和 東京都港区芝浦一丁目1番1号 株式会社東芝内
(43) 公開日	平成24年9月20日(2012.9.20)	審査官	長谷川 直也
審査請求日	平成25年2月8日(2013.2.8)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
前記半導体基板上の異なる高さに配置され、配線が形成された複数の配線層と、  
前記配線層の積層方向に延びる柱状に形成され、異なる複数の前記配線層の配線間を電氣的に接続する 1つの導電膜からなるビアと  
を備え、  
前記配線の一部は、前記ビアの中間部において前記ビアに接触する中間配線であり、  
所定の前記配線層の中間配線は、前記ビアを前記積層方向に直交する方向で貫通し、且つ、上面、下面及び両側面において前記ビアと接触している  
ことを特徴とする半導体装置。

【請求項2】

所定の前記ビアを貫通する中間配線は、互いに平行に延びる複数の配線からなることを特徴とする請求項1記載の半導体装置。

【請求項3】

他の所定の前記配線層の中間配線は、端部において前記ビアの側面に接触し、前記ビアと貫通する中間配線と電氣的に接続されることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】

前記端部においてビアの側面に接触する中間配線は、前記ビアを貫通する中間配線より

も断面積が大きい

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

他の所定の前記配線層の中間配線は、前記ビアを前記積層方向に直交する方向で貫通し、且つ、少なくとも上面において前記ビアと接触している

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

半導体基板を形成する工程と、

前記半導体基板上の異なる高さにおいて、配線が形成された配線層を複数積層する工程と、

前記配線層の積層方向に延びる柱状に、異なる複数の前記配線層の配線間を電氣的に接続するビアを形成する工程と

を備え、

前記配線の一部は、前記ビアの中間部において前記ビアに接触する中間配線であり、

前記ビアを形成する工程は、

前記複数の配線層のうち第 1 配線層の中間配線の上面を露出し、且つ、前記複数の配線層のうち前記第 1 配線層とは異なる第 2 配線層の中間配線の上面、下面及び当該中間配線の延伸方向と交差する方向を向く両側面が露出したスルーホールを形成する工程と、

前記スルーホールに前記ビアの材料を埋め込む工程と

を有する

ことを特徴とする半導体装置の製造方法。

【請求項 7】

前記スルーホールを形成する工程は、前記中間配線の下面を等方性のウェットエッチングを用いて前記スルーホール内で露出させる工程を有する

ことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記スルーホールを形成する工程は、前記中間配線の下面を等方性のドライエッチングを用いて前記スルーホール内で露出させる工程を有する

ことを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

配線層を複数積層させた積層構造を持つ半導体装置の多くは、所定の配線層の配線とこれとは異なる配線層の配線とを接続するためのビアを備えている。ビアには、単純に上層配線及び下層配線を接続させるものの他、更に、これら上層配線又は下層配線をビア中間部に形成されている中間配線に接続させるものもある。

【0003】

このような中間配線と接続するビアは次のように形成される。ビア形成前、予め中間配線の端部にビア領域に掛かるようにビア接続部を形成しておく。続いて、上層配線形成前、ビアを埋め込むための下層配線に達するスルーホールを形成する。スルーホールは、ビアパターンのレジストマスクを用いてビア接続部が露出するまでエッチングしていき、ビア接続部が露出したら、このビア接続部をマスクとして更にエッチングを進めていくことで形成する。続いて、この形成されたスルーホールにタングステン(W)等のビア材料を埋め込む。最後に、ビアの上面に接続するように上層配線を形成することでビアを介して上層配線、中間配線及び下層配線が接続されることになる。

【0004】

10

20

30

40

50

しかし、この方法の場合、ビアにはビア接続部との接続箇所において段差が形成されるため下層に行くほど細くなってしまい、下側の中間配線や下層配線とビアとの位置ずれが生じやすくなる。その結果、下側の中間配線や下層配線とビアとの接触面積を十分に確保できなくなる。したがって、この方法を用いる場合、ビアと配線との合わせずれを抑制すべくビアや配線に合わせずれマージンを付加する必要がある。但し、この場合、チップ面積の増大という問題が新たに生じることになる。

【0005】

そこで、このようなビアと配線との合わせずれの問題を解消する方法として、スルーホール形成過程において中間配線も同時に除去し、スルーホールの側面に中間配線の端部を露出させる方法が提案されている。この場合、形成されたスルーホールに配線材料を埋め込めば、ビアの側面と中間配線の端部とを接続することができる。この方法を用いれば、セルフアラインでビアと中間配線とを接触させることが可能であり、ビアと配線との位置合わせが容易になる。

10

【0006】

しかし、この方法を用いると、もし中間配線の断面を大きくできない場合、ビアと中間配線との十分な接触面積を確保することができず、接触抵抗が増大してしまう点が問題となる。

【先行技術文献】

【特許文献】

【0007】

20

【特許文献1】特開2010-177276号

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、配線及びビア間接続の信頼性を向上させた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

実施形態に係る半導体装置は、半導体基板と、前記半導体基板上の異なる高さに配置され、配線が形成された複数の配線層と、前記配線層の積層方向に延びる柱状に形成され、異なる複数の前記配線層の配線間を電氣的に接続するビアとを備える。前記配線の一部は、前記ビアの中間部において前記ビアに接触する中間配線であり、所定の前記配線層の中間配線は、前記ビアを前記積層方向に直交する方向で貫通し、且つ、上面、下面及び両側面において前記ビアと接触していることを特徴とする。

30

実施形態に係る半導体装置の製造方法は、半導体基板を形成する工程と、前記半導体基板上の異なる高さにおいて、配線が形成された配線層を複数積層する工程と、前記配線層の積層方向に延びる柱状に、異なる複数の前記配線層の配線間を電氣的に接続するビアを形成する工程とを備える。前記ビアを形成する工程は、所定の前記配線層の配線である中間配線の上面、下面及び両側面が露出したスルーホールを形成する工程と、前記スルーホールに前記ビアの材料を埋め込む工程とを有することを特徴とする。

40

【図面の簡単な説明】

【0010】

【図1】第1の実施形態に係る半導体装置のビア周辺部の斜視図である。

【図2】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図3】本実施形態に係る半導体装置のビア内における配線の配置例を示す図である。

【図4】本実施形態に係る半導体装置の製造工程を説明する図である。

【図5】本実施形態に係る半導体装置の製造工程を説明する図である。

【図6】本実施形態に係る半導体装置の製造工程を説明する図である。

【図7】本実施形態に係る半導体装置の製造工程を説明する図である。

【図8】本実施形態に係る半導体装置の製造工程を説明する図である。

50

【図 9】本実施形態に係る半導体装置の製造工程を説明する図である。

【図 10】本実施形態に係る半導体装置の製造工程を説明する図である。

【図 11】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 12】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 13】本実施形態に係る半導体装置のビア内における配線の配置例を示す図である。

【図 14】第 2 の実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 15】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 16】本実施形態に係る半導体装置の製造工程を説明する図である。

【図 17】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 18】第 3 の実施形態に係る半導体装置のビア周辺部の斜視図である。

10

【図 19】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 20】本実施形態に係る半導体装置のビア周辺部の斜視図である。

【図 21】比較例に係る半導体装置のビア内における配線の配置図である。

【発明を実施するための形態】

【0011】

以下、図面を参照しながら実施形態に係る半導体装置について説明する。

[第 1 の実施形態]

先ず、第 1 の実施形態に係る半導体装置の構造について説明する。

【0012】

図 1 は、本実施形態に係る半導体装置の斜視図である。図 2 は、本実施形態に係る半導体装置の内部構造を分かりやすくするため、図 1 に示す半導体装置の一部を取り除いた図である。

20

【0013】

本実施形態の半導体装置は、トランジスタ及び配線が形成されたシリコン (Si) 基板 105 と、このシリコン基板 105 上の z 方向に積層された下層配線層 110、絶縁層 115、第 1 配線層 120 及び絶縁層 125 とを備える。また、下層配線層 110 の上面を下端とし、絶縁層 125 の上面を上端とする z 方向に柱状に形成されたビア 160 を備える。

【0014】

下層配線層 110 は、下層配線 111 及びこの下層配線 111 の周辺に形成された絶縁膜 112 からなる。この下層配線 111 は、タングステン (W)、アルミニウム (Al)、銅 (Cu) 等の導電膜から構成され、ビア 160 の下面に接続している。

30

【0015】

第 1 配線層 120 は、第 1 配線 121 及びこの第 1 配線 121 の両側に形成された絶縁膜 122 からなる。第 1 配線 121 は、タングステン、アルミニウム、銅等の導電膜から構成され、図 2 に示すようにビア 160 の内部を x 方向に貫通するように形成されている。

【0016】

なお、以下において、ビア 160 の上面と底面との間に配置された第 1 配線 121 のような配線を「中間配線」と呼ぶこともある。

40

【0017】

ビア 160 は、層 125、120 及び 115 を貫通するよう、形成されたスルーホール 160' をタングステン、アルミニウム、銅等の導電膜を埋め込むことにより形成される。ビア 160 は、スルーホール 160' の形成時にエッチングされず残存した第 1 配線 (中間配線) 121 と、この第 1 配線 121 の上面、下面及び両側面において接触するように形成される。その結果、下層配線 111 及び第 1 配線 121 はビア 160 によって電氣的に接続されることになる。

【0018】

なお、z 方向から見た第 1 配線 121 とビア 160 との位置関係は図 3 のようになる。図中点線で囲まれた領域は、ビア 160 の形成領域を示している。また、図中の一点鎖線

50

は図1のA - A'断面を示している。図3から、第1配線121は、ビア160をx方向に貫通するように形成されていることが分かる。

【0019】

次に、本実施形態に係る半導体装置の製造方法を図4～図10を参照して説明する。

【0020】

始めに、図4に示すように、周知の方法によって、トランジスタ及び配線が形成されたシリコン基板105を形成する。

【0021】

続いて、図5に示すように、シリコン基板105上に下層配線層110を形成する。その際、始めに、下層配線層110の絶縁膜112となる絶縁材料(導電膜)を積層する。続いて、リソグラフィ法を用いて下層配線111部分の絶縁材料を除去する。最後に、ダマシン法を用いて、絶縁膜材料の除去された部分に配線材料を埋め込み下層配線111を形成する。ここで、下層配線111をビア160の形成領域を囲むように形成させることで、ビア160の底面全体に下層配線111を接触させることができる。その結果、ビア160と下層配線111との接触抵抗を抑制することができる。

10

【0022】

なお、下層配線層110は、上記工程の他、下層配線111を先に形成する工程でも形成することができる。具体的には、始めに、下層配線111の配線材料を積層する。続いて、積層した配線材料をリソグラフィ法によって加工し下層配線111を形成する。最後に、下層配線111の周辺に絶縁膜112となる絶縁材料を埋め込み、この絶縁材料の上面をCMP等によって下層配線111の上面が露出するまで平坦化する。

20

以上が、下層配線層110の形成工程となる。

【0023】

続いて、図6に示すように、下層配線層110上に、絶縁層115となる層115'を成膜する。これによって、下層配線111と後に形成する第1配線121との短絡を防ぐことができる。

【0024】

続いて、図7に示すように、絶縁層となる層115'上に第1配線層120となる層120'を下層配線層110の形成工程と同様に形成する。これによって、x方向に延びる第1配線121が形成される。また、第1配線121のy方向の両側には、絶縁膜122となる膜122'が形成される。

30

【0025】

続いて、図8に示すように、第1配線層となる層120'上に絶縁層125となる層125'を形成する。これによって、第1配線121の更の上層に配線を設ける場合、第1配線121とこの上層配線との短絡を防ぐことができる。

【0026】

ここで、ビア160の中間部で接触する第1配線121は、図3に示すように、ビア160を貫通するように配置しておく。

【0027】

続いて、図9に示すように、絶縁層となる層125'上に犠牲膜170を形成する。続いて、リソグラフィ法を用いて、この犠牲膜170上にビア160のパターンPが形成されたレジスト175を形成する。

40

【0028】

続いて、図10に示すように、RIE等の異方性エッチングによって下層配線層110上面に達するスルーホール160'を形成する。その際、レジスト175をマスクとして犠牲膜170にビア160のパターンPを転写し、層125'～115'を加工する。これら層125'～115'は、ビア160の材料の良好な埋め込み特性を得るために、垂直又は順テーパ形状になるように加工する。なお、このスルーホール160'の形成において、途中で第1配線121が露出することになるが、この第1配線121が残存するように、配線材料及び絶縁材料のエッチング選択比等の条件を適切に設定して異方性エッチ

50

ングを実行する。それによって、層125'~115'は、ビア160のパターンP内において第1配線121の下側及び両側面付近の部分115a及び122a(以下、「残存絶縁膜」と呼ぶこともある)を除いて除去される。ここまでの、第1配線121は、スルーホール160'内において、上面が露出した状態となる。

【0029】

続いて、図2に示すように、第1配線121の下側及び両側に残った残存絶縁膜115a及び122aを等方性エッチングによって除去する。その結果、第1配線121は、スルーホール160'をx方向に横切り、スルーホール160'内において上面、下面及び両側面が露出したいわゆる空中配線となる。

【0030】

なお、等方性エッチングには、残存絶縁膜115a及び122aの材料を溶解する薬液を用いたウェットエッチングを用いることができる。この場合、薬液が第1配線121の下にも周り込んでくれるため、スルーホール160'のアスペクト比が大きい場合であっても残存絶縁膜115a及び122aを除去することができる。

【0031】

また、等方性エッチングには、上記ウェットエッチングの他、スルーホール160'の開口部から残存絶縁膜115a及び122aに向けてプラズマを照射するドライエッチングを用いることもできる。この場合、ウェットエッチングよりも制御性に優れており、絶縁膜の精密な除去が可能である。

【0032】

最後に、スルーホール160'内にバリアメタル及びタングステン、アルミニウム、銅等の配線材料を埋め込む。これによって、第1配線121の上面、下面及び両側面において接触するビア160が形成される。その結果、ビア160と2つの配線111及び121とを電気的に接続することができる。その後、不要な配線材料をCMPによって除去する。

以上の製造工程によって、図1に示す半導体装置を製造することができる。

【0033】

以上、本実施形態によれば、引っ掛け構造を用いてビアと中間配線とを接触させる場合と比べ、セルフアラインにより確実にビアと中間配線との接触を確保することができる。また、本実施形態の場合、引っ掛け構造を用いた場合のようにビア途中でビア径が縮小することもないため、ビアと中間配線との接触面積をより確保しやすいため、ビアのサイズの縮小も容易である。さらに、ビアと中間配線とをビア側面で接触させる場合に比べ、ビアと中間配線との接触面積を大きく確保することができるため、接触抵抗を大幅に削減することができる。

【0034】

なお、図1の製造工程の後、更に、ビア160、絶縁層125上に上層配線層150を形成しても良い。この上層配線層150は、図11に示すように、ビア160の上面に接触する上層配線151及びこの上層配線151の周辺に形成された絶縁膜152からなる。ここで、この上層配線151を、ビア160の形成領域を囲むように形成しておけば、ビア160の上面全体に上層配線151を接触させることができ、これによってビア160と上層配線151との接触抵抗を抑制することができる。このように図11の製造工程を経ることによって、ビア160と3つの配線111、121及び151とを電気的に接続することができる。

【0035】

次に、本実施形態に係る半導体装置の他の例をいくつか説明する。

【0036】

図12は、図1に示す半導体装置において中間配線を複数備えた場合の例である。図12の場合、第1配線121の他、その上層に第2配線131及び第3配線141の計3つの中間配線を有する。

【0037】

図12に示す半導体装置は、前述の図6に示す製造工程の後、図7及び図8に示す製造工程を所望の中間配線数分(3回)だけ繰り返すことで製造することができる。つまり、絶縁層115となる層115'上に、配線層120となる層120'、絶縁層125となる層125'、配線層130となる層130'、絶縁層135となる層135'、配線層140となる層140'及び絶縁層145となる層145'となる層を順次積層すれば良い。なお、配線層となる層120'と同様、配線層となる層130'は、x方向に延びる第2配線131とその両側に配置された絶縁膜132からなり、配線層となる層140'は、x方向に延びる第3配線141とその両側に配置された絶縁膜142からなる。

【0038】

このように、本実施形態では、図7及び図8に示す製造工程を繰り返すだけで容易に多層配線構造を有する半導体装置を製造することができる。

10

【0039】

図13は、ビア(Via)を貫通する中間配線L1を2本配置させた例である。この例は、側壁加工等によって中間配線L1を太くできない場合に有効である。なお、側壁加工とは、リソグラフィ限界以下の線幅のパターンを形成する加工方法である。具体的には、所望の線幅の倍ピッチのレジストパターンを形成する。そして、レジストスリミング後に下層膜を加工して芯材パターンを形成した後に側壁を堆積する。最後に、芯材を剥離した上で下層膜を加工する。以上が側壁加工の工程となる。

【0040】

このように、ビア内に中間配線L1を2本貫通させることで、ビアと中間配線L1との接触面積を図3に示すような1本だけ貫通させる場合よりも約2倍に増大させることができる。なお、ビア内を貫通する本数については、2本に限らず3本以上あっても良い。

20

【0041】

[第2の実施形態]

第2の実施形態では、ビア中間部に接触する中間配線のうちビアの上部にある中間配線については配線端部でビア側面に接触させ、下側の中間配線については第1の実施形態と同様、ビア内を貫通させるようにする。

【0042】

図14は、第2の実施形態に係る半導体装置の斜視図であり、図15は、本実施形態に係る半導体装置の内部構造を分かりやすくするため、図14に示す半導体装置の一部を取り除いた図である。

30

【0043】

本実施形態の半導体装置は、第1の実施形態に係る半導体装置のシリコン基板105～絶縁層125と同様のシリコン基板205～絶縁層225を備える。更に、本実施形態の場合、絶縁層225上に第2配線層230及び絶縁層235を備える。

【0044】

第2配線層230は、図15に示すように、第2配線(中間配線)231及びこの第2配線231の両側に形成された絶縁膜232からなる。第2配線231は、図15に示すようにビア260が埋め込まれるスルーホール260'の内壁でその端部が露出するように形成されている。また、第2配線231は、第1配線221(中間配線)よりも断面積(線幅)が大きく形成されている。

40

【0045】

次に、本実施形態に係る半導体装置の製造方法について説明する。

【0046】

始めに、シリコン基板205の形成から絶縁層225となる層225'の積層までを、第1の実施形態におけるシリコン基板105の形成から絶縁層となる層125'の形成までと同様に実行する。

【0047】

続いて、図16に示すように、絶縁層となる層225'上に第2配線層230となる層230'を形成する。これによって、x方向に延びる第2配線231となる膜231'が

50

形成される。また、第2配線231'のy方向の両側には、絶縁膜232となる膜232'が形成される。

【0048】

続いて、図15に示すように、配線層となる層230'上に絶縁層235となる層235'を積層する。これによって、第2配線231の更に上層に配線を設ける場合、第2配線231とこの上層配線との短絡を防ぐことができる。絶縁層となる層235'の上面から下層配線層210の上面に達するスルーホール260'を形成する。この際、断面積が小さい第1配線211については、第1の実施形態と同様に除去せず、断面積が大きい第2配線となる膜231'については除去し、第2配線231が形成する。これによって、第3配線231の端部と後に形成されるビア260の側面とを接触させることができる。本実施形態の場合、上側の第2配線231は、下側の第1配線221に比べて断面積が大きいことから、ビア260の側面のみで接触させた場合であっても、ある程度の接触面積を確保することができ、接触抵抗を小さくすることができる。

10

【0049】

最後に、図14に示すように、スルーホール260'内にバリアメタル及びタンゲステン、アルミニウム、銅等の配線材料を埋め込む。これによってビア260が形成され、下層配線211、第1配線221及び第2配線231は電氣的に接続されることになる。その後、不要な配線材料をCMPによって除去する。

以上の製造工程によって、図13に示す半導体装置を製造することができる。

【0050】

なお、図17に示すように、第1の実施形態と同様、上記製造工程の後、更に、ビア260及び絶縁層235上に、ビア260の形成領域を囲むように配置された上層配線251と、この上層配線251の周辺に配置された絶縁膜252からなる上層配線層250を形成しても良い。

20

【0051】

また、本実施形態の第2配線231のようにビア側面で接触させる中間配線を有する配線層を複数積層させることも可能である。この場合、図16と同様の製造工程を所望の層数分だけ繰り返せば良い。

【0052】

以上、本実施形態によれば、第1の実施形態と同様の効果を得られるばかりでなく、断面の大きい上側の中間配線をビア側面で接触させることで、下側の中間配線とビアとの接触面積を損なうことなく、より配線層数の多い半導体装置を提供することができる。

30

【0053】

[第3の実施形態]

第3の実施形態は、ビア中間部に接触する中間配線のうちビアの最も下側にある中間配線について、スルーホール形成時にこの中間配線の下側に残る残存絶縁膜を除去する工程を省略して製造した半導体装置となる。

【0054】

図18は、第3の実施形態に係る半導体装置の斜視図であり、図19は、本実施形態に係る半導体装置の内部構造を分かりやすくするため、図18に示す半導体装置の一部を取り除いた図である。

40

【0055】

本実施形態の半導体装置は、第3の実施形態に係る半導体装置のシリコン基板105～絶縁層125と同様のシリコン基板305～絶縁層325を備える。更に、本実施形態の場合、絶縁層325上に第2配線層230及び絶縁層235を備える。但し、本実施形態では、後述のようにスルーホール360'形成時における第1配線321(中間配線)の下側に残る残存絶縁膜を除去しないことから、絶縁層315のうち第1配線321の下側には残存絶縁膜315aが形成されている。

【0056】

第2配線層330は、図19に示すように、x方向に延びる第2配線331(中間配線

50



)及びこの第2配線331の両側に形成された絶縁膜332からなる。この第2配線331は、第1配線321と同様、上面、下面及び両側面においてビア360と接触している。

【0057】

本実施形態に係る半導体装置は、図6に示す製造工程の後に図7及び図8に示す製造工程を2回繰り返す点と、図2に示す製造工程において第1配線321の下側にある残存絶縁膜315aを除去する工程を省略する点を除いて、第1の実施形態と同様の製造工程によって製造することができる。

【0058】

第1の実施形態でも述べたように、スルーホール形成時に中間配線の下側に残る残存絶縁膜は、等方性のエッチングによって除去される。したがって、配線の幅がビア径に対して小さい場合であっても、スルーホールの底面に近い残存絶縁膜を除去する場合、スルーホールのアスペクト比によっては、ビア径が拡大してしまう。一方、全ての残存絶縁膜の除去を省略してしまった場合、図21で示すように、下側の中間配線は、より上側の中間配線の下側に残されたテーパ状の残存絶縁膜(図21中太線で示す)で覆われることになる。そのため、下側の中間配線のスルーホール内における露出面積が損なわれることになり、最悪の場合、ビアと下側の中間配線とが接触しないという事態が生じてしまう。

【0059】

その点、本実施形態によれば、ビアと中間配線との接触面積を確保できるばかりでなく、最も下側の中間配線の下側に残った残存絶縁膜の除去を省略するため、その分、ビア径の拡大を抑制することができる。

【0060】

なお、図20に示すように、第1の実施形態と同様、ビア260及び絶縁層245上に、ビア260の形成領域を囲むように配置された上層配線251と、この上層配線251の周辺に配置された絶縁膜252からなる上層配線層245を形成しても良い。

【0061】

[その他]

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0062】

105、205、305・・・シリコン基板、110、120、130、140、150、210、220、230、250、310、320、330、350・・・配線層、111、121、131、141、151、211、221、231、251、311、321、331、351・・・配線、112、122、132、142、152、212、222、232、252、312、322、332、352・・・絶縁膜、115、125、135、145、215、225、235、315、325、335・・・絶縁層、115a、122a、315a・・・残存絶縁膜、115'、125'、135'、145'、215'、225'・・・絶縁層となる層、120'、130'、220'、230'・・・配線層となる層、122'、222'、232'・・・絶縁膜となる膜、125'・・・絶縁層となる層、160、260、360・・・ビア、160'、260'、360'・・・スルーホール、170・・・犠牲膜、175・・・レジスト、231'・・・配線となる膜。

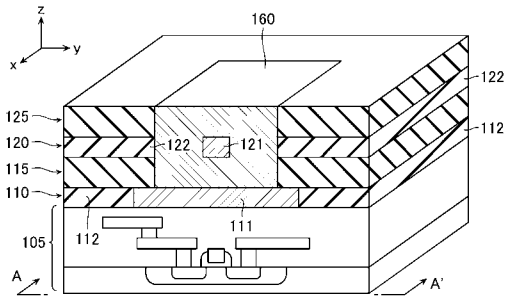
10

20

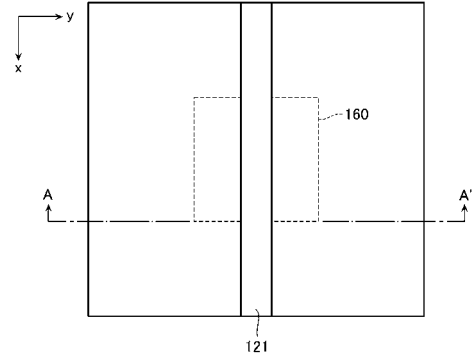
30

40

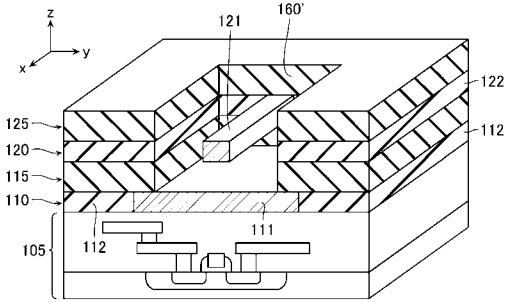
【図1】



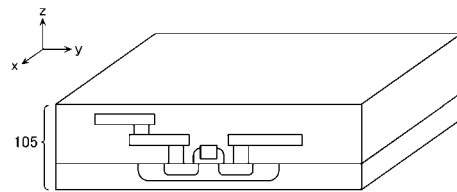
【図3】



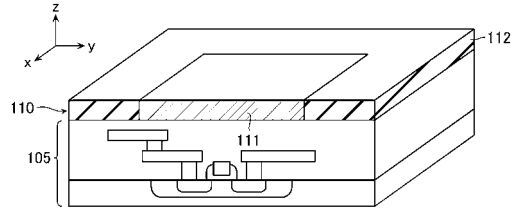
【図2】



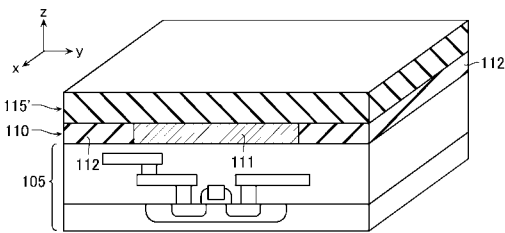
【図4】



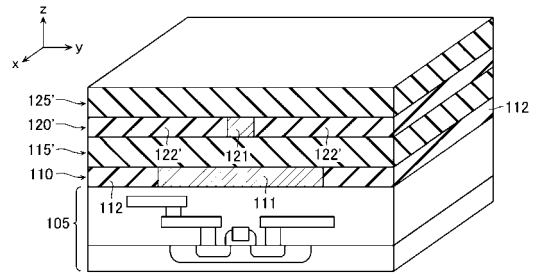
【図5】



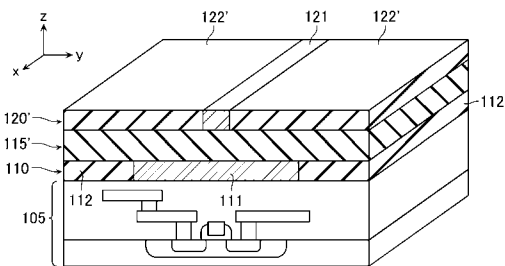
【図6】



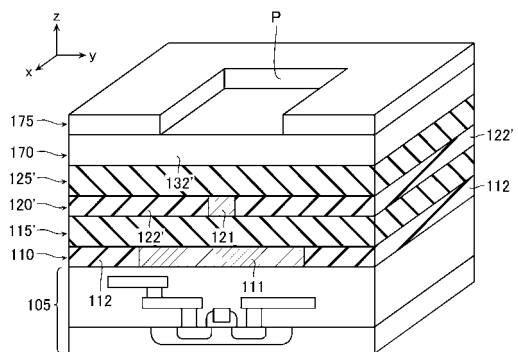
【図8】



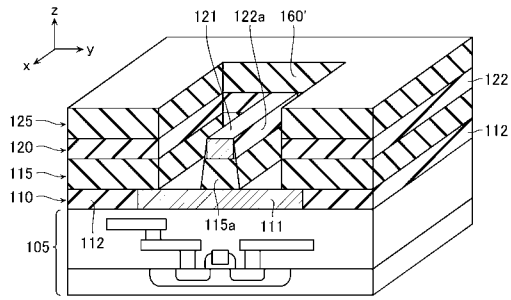
【図7】



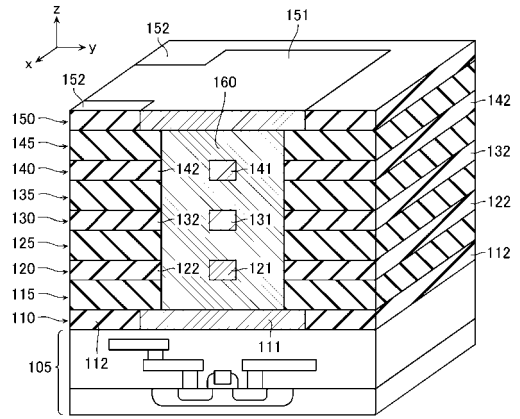
【図9】



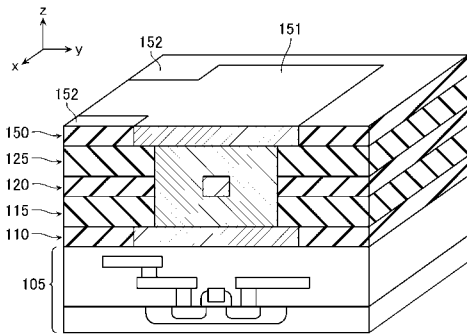
【図10】



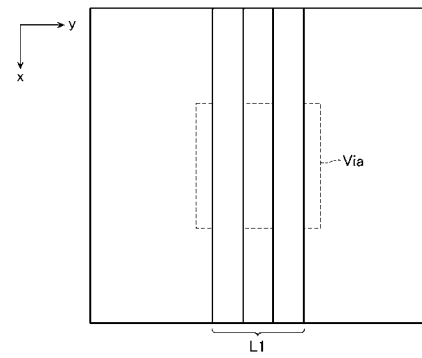
【図12】



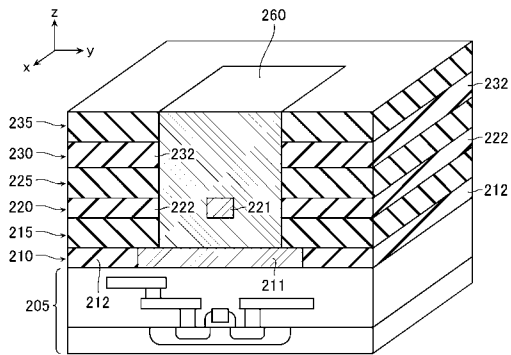
【図11】



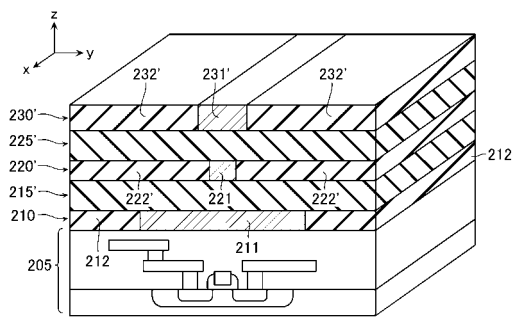
【図13】



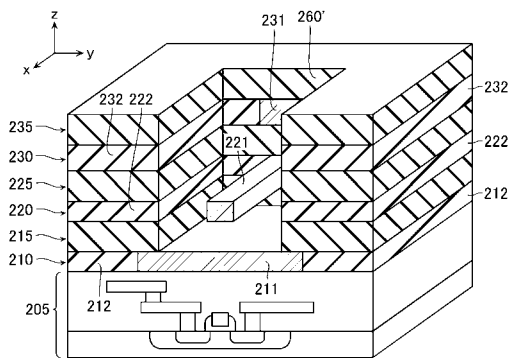
【図14】



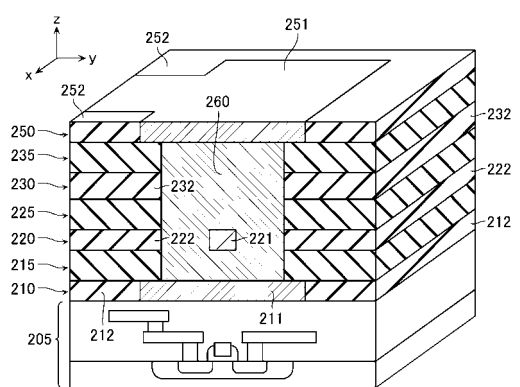
【図16】



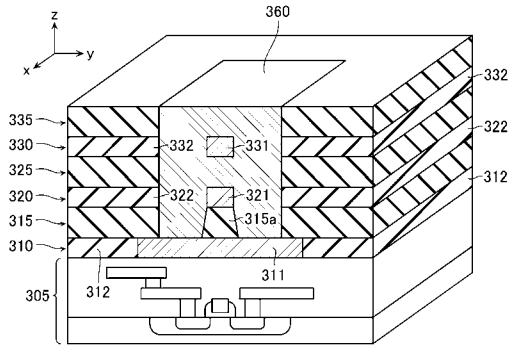
【図15】



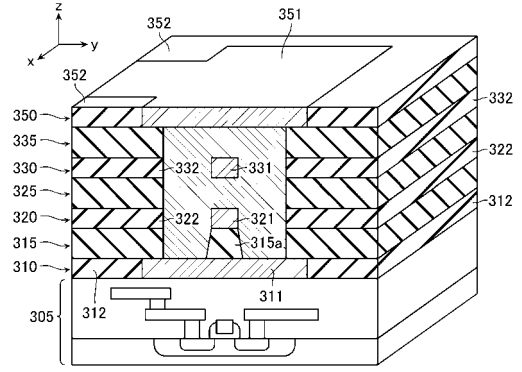
【図17】



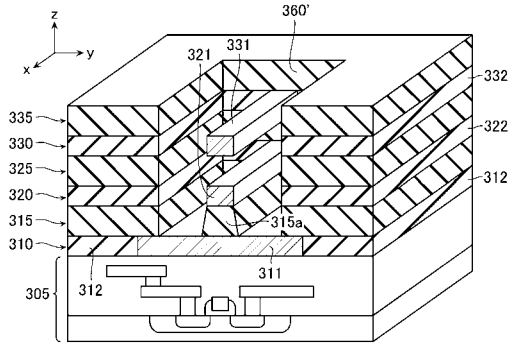
【図18】



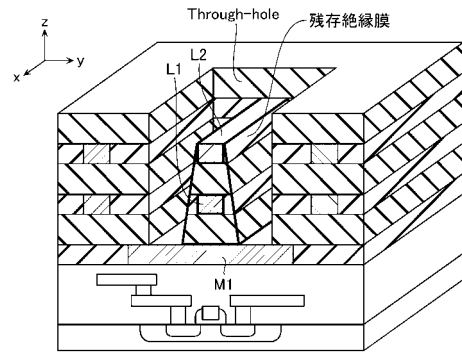
【図20】



【図19】



【図21】



---

フロントページの続き

- (56)参考文献 特開平08 - 306774 (JP, A)  
特開2004 - 063855 (JP, A)  
特開2010 - 177276 (JP, A)  
特開2007 - 088439 (JP, A)  
特開2002 - 198421 (JP, A)  
特開2003 - 142576 (JP, A)  
特開2000 - 208617 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205 - 21/3213、21/768、  
21/82 - 21/822、23/52 - 23/522、  
27/04、27/118