



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0006604  
(43) 공개일자 2020년01월20일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 29/786 (2006.01) H01L 21/02 (2006.01)<br/>H01L 21/3213 (2006.01) H01L 29/66 (2006.01)</p> <p>(52) CPC특허분류<br/>H01L 29/7869 (2013.01)<br/>H01L 21/02068 (2013.01)</p> <p>(21) 출원번호 10-2020-0003013(분할)</p> <p>(22) 출원일자 2020년01월09일<br/>심사청구일자 2020년01월09일</p> <p>(62) 원출원 특허 10-2012-0113433<br/>원출원일자 2012년10월12일<br/>심사청구일자 2017년10월12일</p> <p>(30) 우선권주장<br/>JP-P-2011-233171 2011년10월24일 일본(JP)<br/>JP-P-2011-233274 2011년10월24일 일본(JP)</p> | <p>(71) 출원인<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼<br/>일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자<br/>토치바야시 카츠야키<br/>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼 내<br/>히가노 사토시<br/>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼 내<br/>야마자키 순페이<br/>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼 내</p> <p>(74) 대리인<br/>황의만</p> |
|---|--|

전체 청구항 수 : 총 6 항

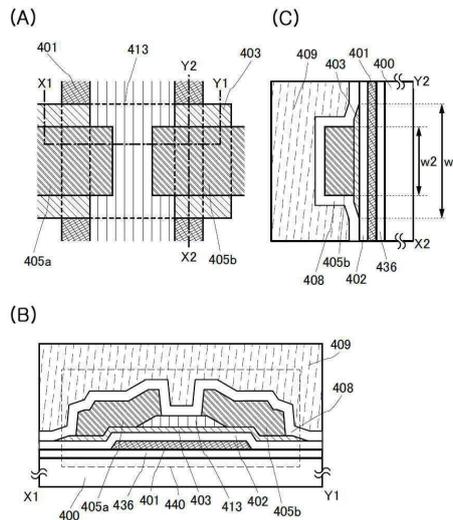
(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

본 발명은 신뢰성이 높은 반도체 장치 및 상기 반도체 장치의 제작 방법을 제공한다.

산화물 반도체막 위에 채널 보호막으로서 기능하는 절연층이 형성된 보텀 게이트 구조의 트랜지스터를 갖는 반도체 장치에서 산화물 반도체막 위에 접촉된 절연층 및/또는 소스 전극층 및 드레인 전극층의 형성 후에 불순물 제거 처리를 함으로써 에칭 가스에 함유된 원소가 산화물 반도체막 표면에 불순물로서 잔존하는 것을 방지한다. 산화물 반도체막 표면에서의 불순물 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup>, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 한다.

대표도 - 도1



(52) CPC특허분류

*H01L 21/02071* (2013.01)

*H01L 21/32136* (2013.01)

*H01L 29/66742* (2013.01)

*H01L 29/78606* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위에 있고 상기 게이트 전극과 중첩하는 절연층;

상기 산화물 반도체막 및 상기 절연층 위의 소스 전극; 및

상기 산화물 반도체막 및 상기 절연층 위의 드레인 전극을 포함하고,

채널 폭 방향에서의 상기 소스 전극 및 상기 드레인 전극 각각의 길이는 상기 채널 폭 방향에서의 상기 산화물 반도체막의 길이보다 짧고,

상기 산화물 반도체막에서의 염소 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이고,

상기 절연층, 상기 소스 전극, 또는 상기 드레인 전극과 중첩하는 상기 산화물 반도체막의 영역은 상기 절연층, 상기 소스 전극, 또는 상기 드레인 전극 중 임의의 것과 중첩하지 않는 상기 산화물 반도체막의 영역보다 큰 두께를 가지는, 반도체 장치.

#### 청구항 2

반도체 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위에 있고 상기 게이트 전극과 중첩하는 절연층;

상기 산화물 반도체막 및 상기 절연층 위의 소스 전극; 및

상기 산화물 반도체막 및 상기 절연층 위의 드레인 전극을 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체막의 단부들을 덮고,

상기 산화물 반도체막에서의 염소 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이고,

상기 절연층과 중첩하는 상기 산화물 반도체막의 영역은 상기 소스 전극 또는 상기 드레인 전극과 중첩하는 상기 산화물 반도체막의 영역보다 큰 두께를 가지는, 반도체 장치.

#### 청구항 3

반도체 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위에 있고 상기 게이트 전극과 중첩하는 절연층;

상기 산화물 반도체막과 접촉하는 소스 전극; 및

상기 산화물 반도체막과 접촉하는 드레인 전극을 포함하고,

채널 폭 방향에서의 상기 소스 전극 및 상기 드레인 전극 각각의 길이는 상기 채널 폭 방향에서의 상기 산화물 반도체막의 길이보다 짧고,

상기 산화물 반도체막에서의 할로젠 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이고,

상기 절연층, 상기 소스 전극, 또는 상기 드레인 전극과 중첩하는 상기 산화물 반도체막의 영역은 상기 절연층, 상기 소스 전극, 또는 상기 드레인 전극 중 임의의 것과 중첩하지 않는 상기 산화물 반도체막의 영역보다 큰 두께를 가지는, 반도체 장치.

#### 청구항 4

반도체 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위에 있고 상기 게이트 전극과 중첩하는 절연층;

상기 산화물 반도체막과 접촉하는 소스 전극; 및

상기 산화물 반도체막과 접촉하는 드레인 전극을 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체막의 단부들을 덮고,

상기 산화물 반도체막에서의 할로젠 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이고,

상기 절연층과 중첩하는 상기 산화물 반도체막의 영역은 상기 소스 전극 또는 상기 드레인 전극과 중첩하는 상기 산화물 반도체막의 영역보다 큰 두께를 가지는, 반도체 장치.

#### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 절연층은 상기 산화물 반도체막의 채널 형성 영역 위에만 제공되는, 반도체 장치.

#### 청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 인듐과 아연을 포함하는, 반도체 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치다.

#### 배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함) 등 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 이 외의 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 비정질 산화물(IGZO계 비정질 산화물)로 이루어진 반도체 층을 사용한 트랜지스터가 기재되어 있다(특허 문헌 1 참조).

**선행기술문헌**

**특허문헌**

[0006] (특허문헌 0001) 일본국 특개2011-181801호 공보

**발명의 내용**

**해결하려는 과제**

[0007] 그런데, 산화물 반도체를 사용한 트랜지스터를 갖는 반도체 장치에서 고신뢰성화의 달성은 제품화를 위하여 중요한 사항이다.

[0008] 그러나, 반도체 장치는 복잡한 구조를 갖는 복수의 박막으로 구성되어 있고, 다양한 종류의 재료, 방법, 및 공정으로 제작된다. 따라서, 얻어지는 반도체 장치에서, 사용되는 제작 공정에 기인한 형상 불량이나 전기 특성의 저하가 생길 우려가 있다.

[0009] 이러한 문제를 감안하여 산화물 반도체를 사용한 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

**과제의 해결 수단**

[0010] 산화물 반도체막 위에 채널 보호막으로서 기능하는 절연층이 형성된 보텀 게이트 구조의 트랜지스터를 갖는 반도체 장치에서 산화물 반도체막 위에 접촉하여 형성된 절연층, 및/또는 소스 전극층 및 드레인 전극층을 형성할 때 사용되는 에칭 가스에 함유된 원소(예를 들어 염소, 붕소 등)가 산화물 반도체막 표면에 불순물로서 잔존하는 것을 방지한다. 더 구체적으로는 예를 들어 이하의 형태로 할 수 있다.

[0011] 본 발명의 일 형태는 절연 표면 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연막을 형성하고, 게이트 전극층 위에 섬 형상 산화물 반도체막을 형성하고, 게이트 전극층과 중첩되고 섬 형상 산화물 반도체막과 접촉된 절연층을 형성하고, 섬 형상 산화물 반도체막 및 절연층을 덮는 도전막을 형성하고, 할로젠 원소를 함유한 에칭 가스를 사용한 플라즈마 처리에 의하여 도전막을 가공하여 소스 전극층 및 드레인 전극층을 형성함으로써 산화물 반도체막의 일부를 노출시키고, 노출된 산화물 반도체막에 불순물 제거 처리를 하여 에칭 가스에 함유된 원소를 제거하는 반도체 장치의 제작 방법이다.

[0012] 또한, 본 발명의 일 형태는 절연 표면 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연막을 형성하고, 게이트 전극층 위에 섬 형상 산화물 반도체막을 형성하고, 섬 형상 산화물 반도체막을 덮는 절연층을 형성하고, 할로젠 원소를 함유한 에칭 가스를 사용한 플라즈마 처리에 의하여 절연층을 가공하여 게이트 전극층과 중첩된 위치에 채널 보호막으로서 기능하는 절연층을 형성하고, 산화물 반도체막에 불순물 제거 처리를 하여 에칭 가스에 함유된 원소를 제거하고, 섬 형상 산화물 반도체막 및 채널 보호막으로서 기능하는 절연층을 덮는 도전막을 형성하고, 도전막을 가공하여 채널 폭 방향에서의 산화물 반도체막의 단부를 덮는 소스 전극층 및 드레인 전극층을 형성하는 반도체 장치의 제작 방법이다.

[0013] 상기 반도체 장치의 제작 방법에서 불순물 제거 처리된 산화물 반도체막 표면의 염소의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 하는 것이 바람직하다.

[0014] 또한, 상기 반도체 장치의 제작 방법에서 불순물 제거 처리로서 산소 플라즈마 처리, 일산화 이질소 플라즈마 처리, 또는 희석된 불산 용액에 의한 처리를 할 수 있다.

[0015] 또한, 본 발명의 일 형태는 절연 표면 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연막을 형성하고, 게이트 전극층 위에 섬 형상 산화물 반도체막을 형성하고, 섬 형상 산화물 반도체막을 덮는 절연층을 형성하고, 할로젠 원소를 함유한 에칭 가스를 사용한 플라즈마 처리에 의하여 절연층을 가공하여 게이트 전극층

과 증착된 위치에 채널 보호막으로서 기능하는 절연층을 형성하고, 산화물 반도체막에 제 1 불순물 제거 처리를 하여 에칭 가스에 함유된 원소를 제거하고, 섬 형상 산화물 반도체막 및 채널 보호막으로서 기능하는 절연층을 덮는 도전막을 형성하고, 할로겐 원소를 함유한 에칭 가스를 사용한 플라즈마 처리에 의하여 도전막을 가공하여 소스 전극층 및 드레인 전극층을 형성함으로써 산화물 반도체막의 일부를 노출시키고, 노출된 산화물 반도체막에 제 2 불순물 제거 처리를 하여 에칭 가스에 함유된 원소를 제거하는 반도체 장치의 제작 방법이다.

[0016] 또한, 본 발명의 다른 일 형태는 절연 표면 위에 형성된 게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 섬 형상 산화물 반도체막과, 산화물 반도체막 위에 형성되고 게이트 전극층과 증착된 절연층과, 산화물 반도체막 및 절연층과 접촉된 소스 전극층 및 드레인 전극층을 갖고, 채널 폭 방향에서의 소스 전극층 및 드레인 전극층의 길이는 채널 폭 방향에서의 산화물 반도체막의 길이보다 짧고, 산화물 반도체막 표면의 염소 농도는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하인 반도체 장치다.

[0017] 또한, 상기 반도체 장치의 산화물 반도체막에서 절연층, 소스 전극층, 및 드레인 전극층 중 어느 것과 증착된 영역의 막 두께는 절연층, 소스 전극층, 및 드레인 전극층 중 어느 것보다도 증착되지 않은 영역의 막 두께보다 큰 경우가 있다.

[0018] 또는, 상기 반도체 장치에서 산화물 반도체막은 모든 영역에서 절연층, 소스 전극층, 및 드레인 전극층 중 어느 것과 증착되는 경우가 있다.

[0019] 또한, 본 발명의 다른 일 형태는 절연 표면 위에 형성된 게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 섬 형상 산화물 반도체막과, 산화물 반도체막 위에 형성되고 게이트 전극층과 증착된 절연층과, 산화물 반도체막 및 절연층과 접촉된 소스 전극층 및 드레인 전극층을 갖고, 소스 전극층 및 드레인 전극층은 채널 폭 방향에서의 산화물 반도체막의 단부를 덮고, 산화물 반도체막 표면에서의 염소 농도는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하인 반도체 장치다.

[0020] 또한, 상기 반도체 장치의 산화물 반도체막에서 절연층과 증착된 영역의 막 두께는 소스 전극층 또는 드레인 전극층과 증착된 영역의 막 두께보다 큰 경우가 있다.

[0021] 채널 보호막으로서 기능하는 절연층, 소스 전극층, 또는 드레인 전극층 등 산화물 반도체막 위에 접촉된 막의 패턴 형성에는 할로겐 원소를 함유한 에칭 가스를 사용한 플라즈마 처리가 적합하게 사용된다. 그러나, 할로겐 원소를 함유한 에칭 가스에 산화물 반도체막이 폭로되면 상기 에칭 가스에 함유된 할로겐 원소(예를 들어 염소나 불소)에 의하여 산화물 반도체막 내의 산소가 뽑아져 산화물 반도체막의 계면 근방에 산소 결손이 생길 우려가 있다. 산화물 반도체막에 산소 결손이 생기면, 산화물 반도체막의 백 채널이 저저항화(n형화)되어 기생 채널이 형성될 우려가 있다.

[0022] 예를 들어 산화물 반도체막의 재료로서 인듐을 함유한 산화물 반도체 재료를 사용하고, 산화물 반도체막과 접촉하여 형성되는 소스 전극층 및 드레인 전극층의 가공에 3염화 붕소( $\text{BCl}_3$ )를 함유한 에칭 가스를 사용한 경우에는, 산화물 반도체막 내의 In-O-In 결합과 에칭 가스에 함유된 Cl가 반응하여, In-Cl 결합과 산소가 탈리된 In 원소를 함유한 산화물 반도체막이 될 경우가 있다. 산소가 탈리된 In 원소는 미결합수를 갖기 때문에 산화물 반도체막 내에서 산소가 탈리된 개소에서는 산소 결손이 존재한다.

[0023] 또한, 할로겐 원소를 함유한 에칭 가스에 함유된 할로겐 외의 원소(예를 들어 붕소)도 산화물 반도체막의 백 채널이 저저항화(n형화)되는 요인의 하나가 될 수 있다.

[0024] 본 발명의 일 형태에서는 산화물 반도체막 위에 형성되는 절연층 및/또는 소스 전극층 및 드레인 전극층을 에칭 가공한 후 불순물 제거 처리를 함으로써, 산화물 반도체막의 저저항화를 일으킬 수 있는 염소나 붕소 등의 에칭 가스에 함유된 원소를 제거한다. 따라서, 반도체 장치의 고신뢰성을 도모할 수 있다.

### 발명의 효과

[0025] 산화물 반도체를 사용한 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공한다.

### 도면의 간단한 설명

[0026] 도 1(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 1(B) 및 도 1(C)는 단면도.

도 2(A) 내지 도 2(E)는 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 단면도.

도 3(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 3(B) 및 도 3(C)는 단면도.  
 도 4(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 4(B) 및 도 4(C)는 단면도.  
 도 5(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 5(B) 및 도 5(C)는 단면도.  
 도 6(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 6(B) 및 도 6(C)는 단면도.  
 도 7(A) 내지 도 7(E)는 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 단면도.  
 도 8(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 8(B) 및 도 8(C)는 단면도.  
 도 9(A) 내지 도 9(C)는 반도체 장치의 일 형태를 설명하기 위한 평면도.  
 도 10(A)는 반도체 장치의 일 형태를 설명하기 위한 평면도이고, 도 10(B)는 단면도.  
 도 11(A) 및 도 11(B)는 반도체 장치의 일 형태를 도시한 단면도.  
 도 12(A)는 반도체 장치의 일 형태를 도시한 등가 회로이고, 도 12(B)는 단면도.  
 도 13(A) 내지 도 13(C)는 전자 기기를 도시한 도면.  
 도 14(A) 내지 도 14(C)는 전자 기기를 도시한 도면.  
 도 15는 SIMS 측정 결과를 도시한 도면.  
 도 16은 회석된 불산을 사용한 처리의 유무와 저항률의 관계를 도시한 그래프.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 본 명세서에 기재된 발명의 실시형태 및 실시예에 대하여 도면을 사용하여 이하에 자세히 설명한다. 다만, 본 명세서에 기재된 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 명세서에 기재된 발명은 이하의 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 제 1, 제 2 등의 서수사는 편의상 사용하는 것이고, 공정 순서 및 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0028] (실시형태 1)
- [0029] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 도 1(A) 내지 도 5(C)를 사용하여 설명한다. 본 실시형태에서는 반도체 장치의 일례로서 산화물 반도체막을 갖는 트랜지스터를 나타낸다.
- [0030] 트랜지스터는 하나의 채널 형성 영역이 형성되는 싱글 게이트 구조이어도 좋고, 2개 형성되는 더블 게이트 구조이어도 좋고, 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 게이트 절연막을 개재(介在)하여 채널 형성 영역의 상하에 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이라도 좋다.
- [0031] 도 1(A) 내지 도 1(C)에 도시된 트랜지스터(440)는 보텀 게이트 구조의 하나이고, 역 스텝형 트랜지스터라고도 하는 트랜지스터의 일례다. 또한, 도 1(A)는 트랜지스터(440)의 평면도이고, 도 1(B)는 도 1(A)의 X1-Y1을 따라 절단한 단면도이고, 도 1(C)는 도 1(A)의 X2-Y2를 따라 절단한 단면도다.
- [0032] 도 1(A) 내지 도 1(C)에 도시된 트랜지스터(440)는 절연 표면을 갖는 기판(400) 위에 형성된 게이트 전극층(401), 게이트 전극층(401) 위에 형성된 게이트 절연막(402), 게이트 절연막(402) 위에 형성된 섬 형상 산화물 반도체막(403), 산화물 반도체막(403) 위에 형성되고 게이트 전극층(401)과 중첩된 절연층(413), 산화물 반도체막(403) 및 절연층(413)과 접촉된 소스 전극층(405a) 및 드레인 전극층(405b)을 갖는다. 또한, 기판(400) 위에 형성된 하지 절연막(436), 트랜지스터(440)를 덮는 층간 절연막(408) 및 평탄화 절연막(409)을 트랜지스터(440)의 구성 요소에 포함시켜도 좋다.
- [0033] 트랜지스터(440)에서 채널 폭 방향에서의 소스 전극층(405a) 및 드레인 전극층(405b)의 길이(w2)는 채널 폭 방향에서의 산화물 반도체막(403)의 길이(w1)보다 짧고, 산화물 반도체막(403) 표면의 일부는 층간 절연막(408)과 접촉되어 있다.
- [0034] 산화물 반도체막(403)은 트랜지스터(440)의 제작 공정에서 불순물 제거 처리된 것이고, 그 표면은 산화물 반도체막(403) 위에 접촉하여 형성되는 소스 전극층(405a) 및 드레인 전극층(405b) 등을 형성할 때 사용되는 에칭

가스에 함유된 원소의 잔존량이 매우 적다. 구체적으로는 산화물 반도체막(403) 표면의 염소 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이고, 붕소 농도는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이다.

[0035] 산화물 반도체막(403)에 사용하는 산화물 반도체로서 인듐(In)을 적어도 함유한다. 특히 인듐(In)과 아연(Zn)을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서 In과 Zn에 추가적으로 갈륨(Ga)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 함유하는 것이 바람직하다.

[0036] 또한, 다른 스테빌라이저로서 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수 종류를 가져도 좋다.

[0037] 예를 들어 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0038] 또한, 여기서는, 예를 들어 In-Ga-Zn계 산화물이란 In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 외의 금속 원소가 들어 있어도 좋다.

[0039] 또한, 산화물 반도체로서  $InMO_3(ZnO)_m$  ( $m > 0$  또  $m$ 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한,  $M$ 은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서  $In_2SnO_5(ZnO)_n$  ( $n > 0$  또  $n$ 은 정수임)으로 표기되는 재료를 사용하여도 좋다.

[0040] 예를 들어 원자수비가  $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ ,  $In:Ga:Zn=1:3:2(=1/6:1/2:1/3)$ , 또는  $In:Ga:Zn=3:1:2(=1/2:1/6:1/3)$ 인 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, 원자수비가  $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ , 또는  $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.

[0041] 예를 들어 In-Sn-Zn계 산화물을 사용한 경우에는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물을 사용한 경우에도 벌크 내 결함 밀도를 낮게 함으로써 이동도를 올릴 수 있다.

[0042] 또한, 예를 들어 In, Ga, 및 Zn의 원자수비가  $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이 원자수비가  $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성의 근방이라는 것은  $a, b, c$ 가  $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 말하며,  $r$ 는 예를 들어 0.05로 하면 좋다. 다른 산화물도 마찬가지다.

[0043] 그러나, 산화물 반도체는 상술한 것에 한정되지 않고, 필요로 하는 반도체 특성 및 전기 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여 캐리어 농도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다. 또한, 조성 등 상기 조건이 서로 다른 산화물 반도체막을 적층하는 구성으로 하여도 좋고, 조성 등 상기 조건이 서로 다른 산화물 반도체막으로 채널 형성 영역과 소스 영역 및 드레인 영역이 적절히 형성되는 구성으로 하여도 좋다.

[0044] 예를 들어 서로 조성이 다른 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막을 순차적으로 적층하여 산화물 반도체막(403)으로 하여도 좋다. 예를 들어 제 1 산화물 반도체막 및 제 3 산화물 반도체막에 3원계 금속의 산화물을 사용하고, 제 2 산화물 반도체막에 2원계 금속의 산화물을 사용하여도 좋다. 바람직하게는 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막에 동일 성분을 함유한 재료를 사용하는 것이 바람직하다. 동일 성분을 함유한 재료를 사용하는 경우에는, 제 1 산화물 반도체막의 결정층

을 종으로 하여 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성할 수 있기 때문에 제 2 산화물 반도체막이 결정 성장되기 쉽다. 또한, 제 3 산화물 반도체막도 마찬가지이다. 또한, 동일 성분을 함유한 재료를 사용하는 경우에는, 밀착성 등의 계면 물성이나 전기적 특성도 양호하다.

[0045] 또한, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막의 구성 원소를 동일하게 하고 조성을 다르게 하여도 좋다. 예를 들어 제 1 산화물 반도체막 및 제 3 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체막 및 제 3 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하고, 제 3 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하여도 좋다.

[0046] 산화물 반도체막(403)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 갖는다.

[0047] 바람직하게는 산화물 반도체막(403)을 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.

[0048] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의한 관찰상에서는 CAAC-OS막에 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0049] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향으로부터 볼 때 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부의 a축 및 b축의 방향이 서로 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재한 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재한 경우에는, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0050] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어 CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0051] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또한, 결정부의 c축 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 막 형성에 의하여 또는 막 형성 후의 가열 처리 등의 결정화 처리에 의하여 결정부가 형성된다.

[0052] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동을 저감시킬 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0053] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0054] 또한, CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서는 벌크 내 결함을 더 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.

[0055] 또한, Ra란 JIS B 0601:2001(ISO4287:1997)로 정의되는 산술 평균 거칠기를 곡면에 적용할 수 있도록 3차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현할 수 있고, 수학적 식으로 정의된다.

수학식 1

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0056]

[0057]

여기서 지정면이란 거칠기 계측 대상이 되는 면이고, 좌표( $x_1, y_1, f(x_1, y_1)$ ), ( $x_1, y_2, f(x_1, y_2)$ ), ( $x_2, y_1, f(x_2, y_1)$ ), ( $x_2, y_2, f(x_2, y_2)$ )의 4지점을 연결하여 이루어진 사각형의 영역으로 하고, 지정면을 xy 평면에 투영한 장방형의 면적을  $S_0$ , 기준면의 높이(지정면의 평균의 높이)를  $Z_0$ 으로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정할 수 있다.

[0058]

다만, 본 실시형태에서 설명하는 트랜지스터(440)는 보텀 게이트형이기 때문에 산화물 반도체막(403) 아래 쪽에 기판(400), 게이트 전극층(401), 및 게이트 절연막(402)이 존재한다. 따라서, 상기 평탄한 표면을 얻기 위해서는 게이트 전극층(401) 및 게이트 절연막(402)을 형성한 후, CMP 처리 등의 평탄화 처리를 하여도 좋다.

[0059]

산화물 반도체막(403)의 막 두께는 1nm 이상 30nm 이하(바람직하게는, 5nm 이상 10nm 이하)로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스레이저 퇴적법, ALD(Atomic Layer Deposition)법을 적절히 사용할 수 있다. 또한, 산화물 반도체막(403)은 스퍼터링 타깃 표면에 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막하는 스퍼터링 장치(Columner Plasma Sputtering system)를 사용하여 성막하여도 좋다.

[0060]

도 1(A) 내지 도 1(C)에 도시된 트랜지스터(440)의 제작 방법의 일례에 대하여 도 2(A) 내지 도 2(E)를 사용하여 설명한다.

[0061]

우선, 절연 표면을 갖는 기판(400) 위에 하지 절연막(436)을 형성한다.

[0062]

절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 이후의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들 기판 위에 반도체 소자가 제공된 것을 기판(400)으로서 사용하여도 좋다.

[0063]

또한, 기판(400)으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 제작하고, 그 후에 박리하고 가요성 기판으로 전치하여도 좋다. 또한, 제작 기판으로부터 박리하고 가요성 기판으로 전치하기 위하여 제작 기판과 산화물 반도체막을 포함하는 트랜지스터(440) 사이에 박리층을 제공하면 좋다.

[0064]

하지 절연막(436)으로서는 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 haf늄, 및 산화 갈륨 등의 산화물 절연 재료, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 및 질화 산화 알루미늄 등의 질화물 절연 재료, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다. 또한, 하지 절연막(436)은 반드시 형성하지 않아도 좋다.

[0065]

기판(400)(또는 기판(400) 및 하지 절연막(436))에 가열 처리하여도 좋다. 예를 들어 고온 가스를 사용하여 가열 처리하는 GRTA(Gas Rapid Thermal Anneal) 장치에 의하여 650℃로 1분 내지 5분간 동안 가열 처리하면 좋다. 또한, GRTA에서의 고온 가스에는 아르곤 등의 희가스, 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 전기로에 의하여 500℃로 30분 내지 1시간 동안 가열 처리하여도 좋다.

[0066]

다음에, 하지 절연막(436) 위에 도전막을 형성하고, 상기 도전막을 에칭하여 게이트 전극층(401)(이것과 같은 층으로 형성되는 배선을 포함함)을 형성한다. 도전막의 에칭은 드라이 에칭과 웨트 에칭의 어느 쪽을 사용하여도 좋고 양쪽 모두를 사용하여도 좋다.

[0067]

게이트 전극층(401)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재

료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극층(401)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극층(401)은 단층 구조와 적층 구조의 어느 쪽을 가져도 좋다.

- [0068] 또한, 게이트 전극층(401)의 재료로서 산화 인듐-산화 주석, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 산화 인듐-산화 아연, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.
- [0069] 또한, 게이트 절연막(402)과 접촉되는 게이트 전극층(401)으로서 질소를 함유한 금속 산화물, 구체적으로는 질소를 함유한 In-Ga-Zn-O막, 질소를 함유한 In-Sn-O막, 질소를 함유한 In-Ga-O막, 질소를 함유한 In-Zn-O막, 질소를 함유한 Sn-O막, 질소를 함유한 In-O막, 금속 질화막(InN, SnN 등)을 사용할 수 있다. 이들 막은 5eV, 바람직하게는 5.5eV 이상의 일 함수를 가지며 게이트 전극층으로서 사용한 경우에는, 트랜지스터의 전기 특성의 임계값 전압을 플러스로 할 수 있기 때문에 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다.
- [0070] 본 실시형태에서는 스퍼터링법에 의하여 막 두께가 100nm인 텅스텐막을 형성한다.
- [0071] 또한, 게이트 전극층(401)을 형성한 후에 기판(400) 및 게이트 전극층(401)에 가열 처리하여도 좋다. 예를 들어 GRTA 장치에 의하여 650℃로 1분 내지 5분 동안 가열 처리하면 좋다. 또한, 전기로에 의하여 500℃로 30분 내지 1시간 동안 가열 처리하여도 좋다.
- [0072] 다음에, 게이트 전극층(401) 위에 게이트 절연막(402)을 형성한다.
- [0073] 또한, 게이트 절연막(402)의 피복성을 향상시키기 위하여 게이트 전극층(401) 표면에 평탄화 처리하여도 좋다. 특히, 게이트 절연막(402)으로서 막 두께가 얇은 절연막을 사용하는 경우에는, 게이트 전극층(401) 표면의 평탄성이 양호한 것이 바람직하다.
- [0074] 게이트 절연막(402)의 막 두께는 1nm 이상 20nm 이하로 하고, 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용할 수 있다. 또한, 게이트 절연막(402)은 스퍼터링 타겟 표면에 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막하는 스퍼터링 장치를 사용하여 형성하여도 좋다.
- [0075] 게이트 절연막(402)은 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막을 재료로서 사용하여 형성할 수 있다.
- [0076] 또한, 게이트 절연막(402)의 재료로서 산화 하프늄, 산화 이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0)$ ), 하프늄 알루미늄네이트( $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ), 산화 란탄 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연막(402)은 단층 구조와 적층 구조의 어느 쪽이라도 좋다.
- [0077] 게이트 절연막(402)은 산화물 반도체막(403)과 접촉된 부분에 산소를 함유하는 것이 바람직하다. 특히, 게이트 절연막(402)은 막 내(벌크 내)에 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하고, 예를 들어 게이트 절연막(402)으로서 산화 실리콘막을 사용하는 경우에는,  $\text{SiO}_{2+\alpha}$  (다만,  $\alpha>0$ )로 한다.
- [0078] 산소의 공급원이 되는 산소를 많이(과잉으로) 함유한 게이트 절연막(402)을 산화물 반도체막(403)과 접촉되도록 형성함으로써, 상기 게이트 절연막(402)으로부터 산화물 반도체막(403)으로 산소를 공급할 수 있다. 산화물 반도체막(403)과 게이트 절연막(402)이 적어도 부분적으로 접촉된 상태에서 가열 처리함으로써 산화물 반도체막(403)에 산소를 공급하여도 좋다.
- [0079] 산화물 반도체막(403)에 산소를 공급함으로써, 막 내의 산소 결손을 보전할 수 있다. 또한, 제작하는 트랜지스터의 크기나 게이트 절연막(402)의 단차 피복성을 고려하여 게이트 절연막(402)을 형성하는 것이 바람직하다.
- [0080] 본 실시형태에서는 고밀도 플라즈마 CVD법에 의하여 막 두께가 200nm인 산화 질화 실리콘막을 형성한다.
- [0081] 또한, 게이트 절연막(402)을 형성한 후에 기판(400), 게이트 전극층(401), 및 게이트 절연막(402)에 가열 처리하여도 좋다. 예를 들어 GRTA 장치에 의하여 650℃로 1분 내지 5분 동안 가열 처리하면 좋다. 또한, 전기로에 의하여 500℃로 30분 내지 1시간 동안 가열 처리하여도 좋다.
- [0082] 다음에, 게이트 절연막(402) 위에 산화물 반도체막(403)을 형성한다.

- [0083] 산화물 반도체막(403)의 형성 공정에서 산화물 반도체막(403)에 수소 또는 물이 가능한 한 함유되지 않도록 하기 위하여, 산화물 반도체막(403)의 형성의 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 절연막(402)이 형성된 기판을 예비 가열함으로써, 기판 및 게이트 절연막(402)에 흡착된 수소나 수분 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프(cryo pump)가 바람직하다.
- [0084] 게이트 절연막(402)에서 산화물 반도체막(403)이 접촉하여 형성될 영역을 평탄화 처리하여도 좋다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어 화학적 기계 연마(Chemical Mechanical Polishing: CMP)법), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.
- [0085] 플라즈마 처리로서 예를 들어 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 할 수 있다. 역 스퍼터링이란 아르곤 분위기하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다. 역 스퍼터링에 의하여 게이트 절연막(402) 표면에 부착되어 있는 가루 상태의 물질(파티클, 먼지라고도 함)이 제거될 수 있다.
- [0086] 평탄화 처리로서 연마 처리, 드라이 에칭 처리, 및 플라즈마 처리는 여러 번 하여도 좋고, 이들을 조합하여 행하여도 좋다. 또한, 조합하여 행하는 경우에는, 공정 순서도 특별히 한정되지 않고, 게이트 절연막(402) 표면의 요철 상태에 따라 적절히 설정하면 좋다.
- [0087] 또한, 성막할 때에 산소가 많이 함유되는 조건(예를 들어 산소 비율이 100%인 분위기하에서 스퍼터링법에 의하여 막을 형성함)하에서 산화물 반도체막(403)을 형성함으로써 산소를 많이 함유한(바람직하게는 산화물 반도체가 결정 상태에서의 화학량론적 조성을 초과하는 양의 산소를 함유한 영역을 포함하는) 막으로 하는 것이 바람직하다.
- [0088] 또한, 본 실시형태에서 산화물 반도체막(403)으로서 AC 전원 장치를 갖는 스퍼터링 장치를 사용한 스퍼터링법을 사용하여 막 두께가 35nm인 In-Ga-Zn계 산화물막(IGZO막)을 형성한다. 본 실시형태에서 원자수비가 In:Ga:Zn=1:1:1(=1/3:1/3:1/3)인 In-Ga-Zn계 산화물 타깃을 사용한다. 또한, 성막 조건은 산소 및 아르곤 분위기하(산소 유량 비율이 50%), 압력 0.6Pa, 전원 전력 5kW, 기판 온도 170℃로 한다. 이 성막 조건하에서의 성막 속도는 16nm/min이다.
- [0089] 산화물 반도체막(403)을 형성할 때에 사용하는 스퍼터링 가스는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0090] 감압 상태로 유지된 성막실 내에 기판을 유지한다. 그리고, 성막실 내의 잔류 수분을 제거하면서, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 기판(400) 위에 산화물 반도체막(403)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서 터보 분자 펌프에 콜드 트랩(cold trap)이 장착된 것이어도 좋다. 크라이오 펌프를 사용하여 배기된 성막실은 예를 들어 수소 원자나 물(H<sub>2</sub>O) 등 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 배기되므로, 상기 성막실에서 형성된 산화물 반도체막(403)에 함유되는 불순물 농도를 저감시킬 수 있다.
- [0091] 또한, 게이트 절연막(402)을 대기에 개방시키지 않고 게이트 절연막(402)과 산화물 반도체막(403)을 연속적으로 형성하는 것이 바람직하다. 게이트 절연막(402)을 대기에 폭로시키지 않고 게이트 절연막(402)과 산화물 반도체막(403)을 연속적으로 형성하면, 게이트 절연막(402) 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다.
- [0092] 산화물 반도체막(403)으로서 CAAC-OS막을 사용하는 경우에는, CAAC-OS막은 예를 들어 다결정 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법에 의하여 형성된다. 상기 스퍼터링용 타깃에 이온이 충돌하면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면을 따라 벽개하고, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 경우에는, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, 스퍼터링용 타깃의 결정 상태가 기판에 전사되어 CAAC-OS막을 형성할 수 있다.
- [0093] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.
- [0094] 성막할 때 불순물이 혼입되는 것을 저감시킴으로써, 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)을 저감시키면 좋다. 또한,

성막 가스 중의 불순물의 농도를 저감시키면 좋다. 구체적으로는 노점이  $-80^{\circ}\text{C}$  이하, 바람직하게는  $-100^{\circ}\text{C}$  이하인 성막 가스를 사용한다.

- [0095] 또한, 막을 형성할 때 기판 가열 온도를 높임으로써, 기판에 도달한 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는 기판 가열 온도를  $100^{\circ}\text{C}$  이상  $740^{\circ}\text{C}$  이하, 바람직하게는  $200^{\circ}\text{C}$  이상  $500^{\circ}\text{C}$  이하로 하여 막을 형성한다. 막을 형성할 때 기판의 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우에는, 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0096] 또한, 성막 가스 중의 산소 비율을 높이고 전력을 최적화함으로써, 막을 형성할 때의 플라즈마 대미지를 경감시키는 것이 바람직하다. 성막 가스 중의 산소 비율은 30vol.% 이상, 바람직하게는 100vol.%로 한다.
- [0097] 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 기재한다.
- [0098]  $\text{InO}_x$  분말,  $\text{GaO}_y$  분말, 및  $\text{ZnO}_z$  분말을 소정의 비율로 혼합하고 가압 처리한 후,  $1000^{\circ}\text{C}$  이상  $1500^{\circ}\text{C}$  이하의 온도로 가열 처리함으로써 다결정 In-Ga-Zn-O 화합물 타겟으로 한다. 또한, X, Y, 및 Z는 임의의 양수다. 여기서, 소정의 비율은 예를 들어  $\text{InO}_x$  분말,  $\text{GaO}_y$  분말, 및  $\text{ZnO}_z$  분말의 몰수비가 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류 및 혼합 비율은 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.
- [0099] 막 형성 산화물 반도체막을 포토리소그래피 공정에 의하여 섬 형성 산화물 반도체막으로 가공함으로써 산화물 반도체막(403)을 형성할 수 있다.
- [0100] 또한, 섬 형성 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 저감시킬 수 있다.
- [0101] 또한, 산화물 반도체막의 에칭으로서 드라이 에칭 및 웨트 에칭 중 어느 쪽을 사용하여도 좋고, 양쪽 모두를 사용하여도 좋다. 예를 들어 산화물 반도체막의 웨트 에칭에 사용하는 에칭액으로서 인산, 초산, 및 질산을 혼합한 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC 제작)을 사용하여도 좋다. 또한, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용한 드라이 에칭에 의하여 에칭 가공하여도 좋다.
- [0102] 또한, 산화물 반도체막(403)에 과잉의 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 하여도 좋다. 가열 처리의 온도는  $300^{\circ}\text{C}$  이상  $700^{\circ}\text{C}$  이하 또는 기판의 변형점 미만으로 한다. 감압하 또는 질소 분위기하 등에서 가열 처리를 할 수 있다.
- [0103] 또한, 산화물 반도체막(403)으로서 결정성 산화물 반도체막을 사용하는 경우에는, 결정화를 위한 가열 처리를 하여도 좋다.
- [0104] 본 실시형태에서는 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막(403)에 질소 분위기하에서  $450^{\circ}\text{C}$ 로 1시간 동안의 가열 처리 및 질소 및 산소 분위기하에서  $450^{\circ}\text{C}$ 로 1시간 동안의 가열 처리를 한다.
- [0105] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치다. GRTA 장치는 고온 가스를 사용하여 가열 처리하는 장치다. 고온 가스로서 아르곤 등의 희가스, 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0106] 예를 들어 가열 처리로서  $650^{\circ}\text{C}$  내지  $700^{\circ}\text{C}$ 의 고온으로 가열한 불활성 가스 중에 기판을 넣고 수분간 가열한 후 기판을 불활성 가스 중에서 꺼내는 GRTA 처리를 하여도 좋다.
- [0107] 또한, 가열 처리에서 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0108] 또한, 가열 처리로 산화물 반도체막(403)을 가열한 후, 동일한 노에 고순도의 산소 가스, 고순도의 일산화 이질

소 가스, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기)를 도입하여도 좋다. 산소 가스 또는 일산화 이질소 가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N 이상 바람직하게는 7N 이상(즉 산소 가스 또는 일산화 이질소 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정을 거쳐 감소된 산화물 반도체를 구성하는 주성분 재료인 산소를 산소 가스 또는 일산화 이질소 가스의 작용에 의하여 공급함으로써, 산화물 반도체막(403)을 고순도화 및 i형(진성)화할 수 있다.

- [0109] 또한, 탈수화 또는 탈수소화를 위한 가열 처리의 타이밍은 막 형성 산화물 반도체막의 형성 후와 섬 형성 산화물 반도체막(403)을 형성한 후의 어느 쪽이라도 좋다.
- [0110] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는 여러 번 하여도 좋고 다른 가열 처리를 겹쳐도 좋다.
- [0111] 산화물 반도체막(403)으로서 섬 형상으로 가공되기 전에 막 형성 산화물 반도체막이 게이트 절연막(402)을 덮은 상태에서 탈수화 또는 탈수소화를 위한 가열 처리를 하면, 게이트 절연막(402)에 함유된 산소가 가열 처리에 의하여 방출되는 것을 방지할 수 있기 때문에 바람직하다.
- [0112] 또한, 탈수화 또는 탈수소화 처리된 산화물 반도체막(403)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 것을 포함함)를 도입하여 막 내에 산소를 공급하여도 좋다.
- [0113] 또한, 탈수화 또는 탈수소화 처리에 의하여 산화물 반도체를 구성하는 주성분 재료인 산소도 탈리하여 감소될 우려가 있다. 산화물 반도체막의 산소가 탈리된 개소에서는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 생긴다.
- [0114] 따라서, 탈수화 또는 탈수소화 처리된 산화물 반도체막에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 것을 포함함)를 공급하는 것이 바람직하다. 산화물 반도체막에 산소를 공급함으로써, 막 내의 산소 결손을 보전할 수 있다.
- [0115] 탈수화 또는 탈수소화 처리된 산화물 반도체막(403)에 산소를 도입하여 막 내에 산소를 공급함으로써 산화물 반도체막(403)을 고순도화 및 i형(진성)화할 수 있다. 고순도화되고 i형(진성)화된 산화물 반도체막(403)을 갖는 트랜지스터는 전기적 특성 변동이 억제되고 전기적으로 안정적이다.
- [0116] 산소를 도입하는 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 이머전 이온 임플랜테이션법, 플라즈마 처리 등을 사용할 수 있다.
- [0117] 산화물 반도체막(403)에 산소를 도입하는 경우에는, 산화물 반도체막(403)에 직접 산소를 도입하여도 좋고, 절연층(413) 등 다른 막을 통과시켜 산화물 반도체막(403)에 산소를 도입하여도 좋다. 다른 막을 통과시켜 산소를 도입하는 경우에는, 이온 주입법, 이온 도핑법, 플라즈마 이머전 이온 임플랜테이션법 등을 사용하면 좋지만, 폭로된 산화물 반도체막(403)에 산소를 직접 도입하는 경우에는 플라즈마 처리 등도 사용할 수 있다.
- [0118] 산화물 반도체막(403)으로의 산소 도입의 타이밍은 탈수화 또는 탈수소화 처리된 후이면 바람직하지만, 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리된 산화물 반도체막(403)으로의 산소 도입은 여러 번 하여도 좋다.
- [0119] 트랜지스터에 형성되는 산화물 반도체막을 결정 상태의 산화물 반도체의 화학량론적 조성을 초과하는 양의 산소를 함유한 영역이 포함되는 막으로 하면 바람직하다. 이 경우에 산소의 함유량은 산화물 반도체의 화학량론적 조성을 초과하는 정도로 한다. 또는, 산소의 함유량은 산화물 반도체가 단결정인 경우의 산소의 양을 초과할 정도로 한다. 산화물 반도체의 격자간에 산소가 존재하는 경우도 있다.
- [0120] 수소 또는 수분을 산화물 반도체로부터 제거하여 불순물이 가능한 한 함유되지 않도록 고순도화시키고 산소를 공급하여 산소 결손을 보전함으로써, i형(진성) 산화물 반도체 또는 i형(진성)에 매우 가까운 산화물 반도체로 할 수 있다. 이와 같이 함으로써, 산화물 반도체의 페르미 준위( $E_f$ )를 진성 페르미 준위( $E_i$ )와 같은 레벨로 할 수 있다. 따라서, 상기 산화물 반도체막을 트랜지스터에 사용함으로써 산소 결손에 기인한 트랜지스터의 임계값 전압  $V_{th}$ 의 편차 및 임계값 전압의 시프트  $\Delta V_{th}$ 를 저감시킬 수 있다.
- [0121] 다음에, 게이트 전극층(401)과 증착된 산화물 반도체막(403)의 채널 형성 영역 위에 절연층(413)을 형성한다(도 2(A) 참조).

- [0122] 플라즈마 CVD법 또는 스퍼터링법으로 형성한 절연막을 에칭하여 절연층(413)을 형성할 수 있다. 절연층(413)으로서 대표적으로 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 산화 하프늄막, 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등의 무기 절연막의 단층 또는 적층을 사용할 수 있다.
- [0123] 산화물 반도체막(403)과 접하는 절연층(413)(절연층(413)이 적층 구조인 경우, 산화물 반도체막(403)과 접하는 막)을 산소를 많이 포함한 상태로 하면, 산화물 반도체막(403)으로 산소를 공급하는 공급원으로서 적합하게 기능시킬 수 있다.
- [0124] 본 실시형태에서는 절연층(413)으로서 스퍼터링법에 의하여 막 두께가 200nm인 산화 실리콘막을 형성한다. 산화 실리콘막을 선택적으로 에칭함으로써, 단면 형상이 사다리꼴형 또는 삼각형이며 단면 형상의 하단부의 테이퍼 각이 60° 이하, 바람직하게는 45° 이하, 더 바람직하게는 30° 이하인 절연층(413)을 형성한다. 또한, 절연층(413)의 평면 형상은 직사각형이다. 또한, 본 실시형태에서는 포토리소그래피 공정에 의하여 산화 실리콘막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭함으로써 절연층(413)의 하단부의 테이퍼 각을 약 30° 로 한다.
- [0125] 절연층(413)을 형성한 후에 가열 처리하여도 좋다. 본 실시형태에서는 질소 분위기하에서 300℃로 1시간 동안 가열 처리한다.
- [0126] 다음에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 및 절연층(413) 위에 소스 전극층 및 드레인 전극층(이것과 같은 층으로 형성되는 배선을 포함함)이 되는 도전막(445)을 형성한다(도 2(B) 참조).
- [0127] 도전막(445)에는 이후의 가열 처리에 견딜 수 있는 재료를 사용한다. 소스 전극층 및 드레인 전극층에 사용하는 도전막(445)으로서 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소를 함유한 금속막 또는 상술한 원소를 성분으로서 함유한 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막 하층 및 상층 중 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속막, 또는 이들의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시키는 구성으로 하여도 좋다. 또한, 소스 전극층 및 드레인 전극층에 사용하는 도전막(445)은 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In<sub>2</sub>O<sub>3</sub>), 산화 주석(SnO<sub>2</sub>), 산화 아연(ZnO), 산화 인듐-산화 주석(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라고 약기함), 산화 인듐-산화 아연(In<sub>2</sub>O<sub>3</sub>-ZnO), 또는 이들의 금속 산화물 재료에 산화 실리콘을 함유시킨 것을 사용할 수 있다.
- [0128] 포토리소그래피 공정에 의하여 도전막(445) 위에 레지스트 마스크(448a) 및 레지스트 마스크(448b)를 형성하고, 선택적으로 에칭하여 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다(도 2c 참조). 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후, 레지스트 마스크를 제거한다.
- [0129] 도전막(445)의 에칭에는 할로젠 원소를 함유한 가스(442)를 사용한다. 할로젠 원소를 함유한 가스(442)로서는 예를 들어 6불화 황(SF<sub>6</sub>), 4불화 탄소(CF<sub>4</sub>), 염소(Cl<sub>2</sub>), 3염화 붓소(BCl<sub>3</sub>), 4염화 실리콘(SiCl<sub>4</sub>), 4염화 탄소(CCl<sub>4</sub>) 등을 함유한 가스를 사용할 수 있다.
- [0130] 에칭법으로서 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록 에칭 조건(코일형 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등)을 적절히 조절한다.
- [0131] 본 실시형태에서는 도전막(445)으로서 스퍼터링법에 의하여 형성한 막 두께가 100nm인 티타늄막, 막 두께가 400nm인 알루미늄막, 막 두께가 100nm인 티타늄막이 적층된 것을 사용한다. 도전막(445)의 에칭은 드라이 에칭법에 의하여 티타늄막, 알루미늄막, 티타늄막의 적층을 에칭하여, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다.
- [0132] 본 실시형태에서는 제 1 에칭 조건으로 상층의 티타늄막과 알루미늄막의 2층을 에칭한 후, 제 2 에칭 조건으로 하층의 티타늄막 단층을 제거한다. 또한, 제 1 에칭 조건에는 에칭 가스(BCl<sub>3</sub>:Cl<sub>2</sub>=750sccm:150sccm)를 사용하고, 바이어스 전력을 1500W로 하고, ICP 전원 전력을 0W로 하고, 압력을 2.0Pa로 한다. 제 2 에칭 조건에는 에칭 가스(BCl<sub>3</sub>:Cl<sub>2</sub>=700sccm:100sccm)를 사용하고, 바이어스 전력을 750W로 하고, ICP 전원 전력을 0W로 하고, 압력을 2.0Pa로 한다.

- [0133] 형성된 소스 전극층(405a)의 채널 길이 방향의 단부 중 하나는 절연층(413) 상면 또는 측면에 위치하고, 드레인 전극층(405b)의 채널 길이 방향의 단부 중 하나는 절연층(413)의 상면 또는 측면에 위치한다. 또한, 도 1(A) 및 도 1(C)에 도시한 바와 같이, 채널 폭 방향에서의 산화물 반도체막(403)의 길이(w1)는 채널 폭 방향에서의 소스 전극층(405a) 및 드레인 전극층(405b)의 길이(w2)보다 크다. 따라서, 채널 폭 방향에서의 소스 전극층(405a)의 단부는 산화물 반도체막(403) 위에 위치하고, 채널 폭 방향에서의 드레인 전극층(405b)의 단부는 산화물 반도체막(403) 위에 위치한다. 따라서, 산화물 반도체막(403)의 일부의 영역(소스 전극층(405a), 드레인 전극층(405b), 및 절연층(413) 중 어느 것이라도 중첩되지 않은 영역)은 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하기 위하여 도전막(445)을 에칭 가공할 때 노출되어 할로젠 원소를 함유한 가스(442)에 폭로된다.
- [0134] 할로젠 원소를 함유한 가스(442)에 산화물 반도체막(403)이 폭로되어 상기 에칭 가스에 함유된 할로젠 원소가 산화물 반도체막(403) 표면에 잔존하면, 할로젠 원소에 의하여 산화물 반도체막(403) 내의 산소가 뽑아져 산화물 반도체막(403)의 계면 근방에 산소 결손이 생길 경우가 있다. 또한, 할로젠 원소를 함유한 에칭 가스에 함유된 할로젠 외의 원소(예를 들어 붕소)도 산화물 반도체막(403)의 백 채널이 저저화(n형화)되는 요인 중 하나가 될 수 있다.
- [0135] 따라서, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후, 산화물 반도체막(403) 표면 및 표면 근방에서의 불순물(여기서는, 에칭 가스에 함유된 원소)을 제거하는 처리를 한다(도 2(D) 참조). 용액을 사용한 처리 또는 산소 또는 일산화 이질소를 사용한 플라즈마 처리에 의하여 불순물 제거 처리를 할 수 있다. 용액으로서 는 물, 알칼리성 용액(예를 들어 현상액, 암모니아 과수), 산성 용액(예를 들어 희석된 불산(1/100으로 희석된 불산(불산: 0.5%)), 바람직하게는  $1/10^3$  이상  $1/10^5$  이하로 희석된 불산))을 적합하게 사용할 수 있다. 또한, 불순물 제거 처리는 상기 처리를 조합하여도 좋고, 예를 들어 산소를 사용한 플라즈마 처리를 하여 그 후 희석된 불산을 사용한 처리를 하여도 좋다.
- [0136] 세정 처리하지 않고 제작된 트랜지스터에서의 산화물 반도체막 내의 염소의 농도를 측정된 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)의 측정 결과를 도 15에 도시하였다. 시료의 트랜지스터는 세정 처리하지 않는 것 이외는 본 실시형태의 트랜지스터(440)와 같은 구조이고, 같은 재료 및 방법으로 제작된 트랜지스터이다. 또한, 측정 범위는 채널 보호막으로서 기능하는 절연층이 형성되지 않은 영역이고, 보호 절연막인 산화 질화 실리콘막(막 두께 400nm), 산화물 반도체막인 IGZO막, 및 게이트 절연막인 산화 질화 실리콘막이 깊이 방향으로 적층되어 있는 영역이다. 보호 절연막으로부터 깊이 방향으로 측정하였다.
- [0137] 도 15에 도시된 바와 같이, 산화물 반도체막인 IGZO막 내의 염소 농도는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 보다 높고, 산화물 반도체막에 염소가 함유된 것을 알 수 있다.
- [0138] 본 실시형태에서는 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후에 에칭 가스에 폭로된 산화물 반도체막(403)에 불순물 제거 처리를 함으로써 에칭 가스에 함유된 원소(예를 들어 염소, 붕소)를 제거할 수 있다. 예를 들어 불순물 제거 처리 후의 산화물 반도체막(403) 표면에서의 염소의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 하고, 붕소의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수 있다.
- [0139] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(440)가 제작된다(도 2(E) 참조).
- [0140] 또한, 트랜지스터(440)를 덮는 층간 절연막(408), 트랜지스터(440)에 기인한 표면 요철을 저감시키기 위한 평탄화 절연막(409)을 형성하여도 좋다.
- [0141] 층간 절연막(408)은 절연층(413)과 같은 재료 및 방법을 사용하여 형성할 수 있다. 예를 들어 CVD법에 의하여 형성한 산화 질화 실리콘막을 막 두께 400nm로 형성한다. 또한, 층간 절연막(408)을 형성한 후에 가열 처리하여도 좋다. 예를 들어 질소 분위기하에서 300℃로 1시간 동안 가열 처리한다.
- [0142] 또한, 층간 절연막(408)으로서 치밀성이 높은 무기 절연막을 형성하여도 좋다. 예를 들어 층간 절연막(408)으로서 스퍼터링법에 의하여 산화 알루미늄막을 형성한다. 산화 알루미늄막을 고밀도(막 밀도  $3.2\text{g/cm}^3$  이상, 바람직하게는  $3.6\text{g/cm}^3$  이상)로 함으로써 트랜지스터(440)에 안정된 전기 특성을 부여할 수 있다. 막 밀도는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 X선 반사율 측정법(XRR: X-Ray Reflectometry)에 의하여 측정할 수 있다.

- [0143] 산화 알루미늄막은 트랜지스터(440)의 보호 절연막으로서 기능할 수 있고, 수소나 수분 등의 불순물 및 산소의 양쪽 모두가 막을 통과하지 않도록 차단하는 효과(블록 효과)가 높다.
- [0144] 따라서, 제작 공정 도중 및 제작 후에서 산화 알루미늄막은 변동 요인이 되는 수소나 수분 등의 불순물이 산화물 반도체막(403)으로 혼입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막(403)으로부터 방출되는 것을 방지한다.
- [0145] 또한, 평탄화 절연막(409)으로서는 폴리이미드, 아크릴, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성된 복수의 절연막을 적층시킴으로써 평탄화 절연막을 형성하여도 좋다.
- [0146] 예를 들어 평탄화 절연막(409)으로서는 막 두께가 1500nm인 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 의한 도포 후에 소성(燒成)(예를 들어 질소 분위기하에서 250℃로 1시간 동안)하여 형성할 수 있다.
- [0147] 평탄화 절연막(409)을 형성한 후에 가열 처리하여도 좋다. 예를 들어 질소 분위기하에서 250℃로 1시간 동안 가열 처리한다.
- [0148] 이와 같이 트랜지스터(440)를 형성한 후에 가열 처리하여도 좋다. 또한, 가열 처리는 여러 번 하여도 좋다.
- [0149] 상술한 바와 같이, 에칭 가스에 함유된 원소를 제거하는 불순물 제거 처리를 함으로써 에칭 가스에 함유된 할로겐 원소에 의하여 산화물 반도체막(403) 표면 및 표면 근방에서 산소가 뽑아지는 것 또는 에칭 가스에 함유된 할로겐 외의 원소에 의하여 산화물 반도체막(403)의 백 채널이 저저항화(n형화)되는 것을 방지할 수 있다. 따라서, 상기 산화물 반도체막(403)을 사용함으로써 안정된 전기 특성을 갖는 신뢰성이 높은 트랜지스터(440)로 할 수 있다.
- [0150] 도 3(A) 내지 도 3(C)에 본 실시형태에 따른 트랜지스터의 다른 구성을 도시하였다. 도 3(A)는 트랜지스터(450)의 평면도이고, 도 3(B)는 도 3(A)의 X3-Y3을 따라 절단한 단면도이고, 도 3(C)는 도 3(A)의 X4-Y4를 따라 절단한 단면도다.
- [0151] 도 3(A) 내지 도 3(C)에 도시한 트랜지스터(450)는 상술한 불순물 제거 처리에 의하여 소스 전극층(405a) 및 드레인 전극층(405b)에서 노출된 산화물 반도체막(403)의 영역이 에칭되어 상기 영역의 막 두께가 감소된 예다. 예를 들어  $1/10^3$ 으로 희석된 불산(불산: 0.05%)으로 IGZO막을 처리하면, 막 두께가 1초당 1nm 내지 3nm 감소되고,  $2/10^5$ 로 희석된 불산(불산: 0.0025%)으로 IGZO막을 처리하면, 막 두께가 1초당 0.1nm 정도 감소된다.
- [0152] 트랜지스터(450)에 포함되는 산화물 반도체막(403)에서 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것과 중첩된 영역의 막 두께는 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것보다도 중첩되지 않은 영역의 막 두께보다 크다. 트랜지스터(450)에서 산화물 반도체막(403)의 막 두께 이외의 구성은 트랜지스터(440)와 같은 구성으로 할 수 있다.
- [0153] 또한, 산화물 반도체막(403) 위에 형성되는 절연층(413)도 할로겐 원소를 함유한 에칭 가스를 사용한 플라즈마 처리에 의하여 가공하여도 좋다. 이 경우에는, 절연층(413)을 형성하기 위한 에칭 처리 후에 불순물 제거 처리를 하는 것이 바람직하다. 불순물 제거 처리는 상술한 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후의 불순물 제거 처리와 같은 방법을 적용할 수 있다.
- [0154] 절연층(413)을 형성한 후에 제 1 불순물 제거 처리를 하고, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후에 제 2 불순물 제거 처리를 하는 경우에는, 불순물 제거 처리의 조건에 따라서는 산화물 반도체막(403)의 일부가 에칭될 수도 있다.
- [0155] 도 4(A) 내지 도 4(C)에 도시된 트랜지스터(460)는 상술한 제 1 불순물 제거 처리 및 제 2 불순물 제거 처리에 의하여 산화물 반도체막(403)의 막 두께가 감소된 예다. 또한, 도 4(A)는 트랜지스터(460)의 평면도이고, 도 4(B)는 도 4(A)의 X5-Y5를 따라 절단한 단면도이고, 도 4(C)는 도 4(A)의 X6-Y6을 따라 절단한 단면도다.
- [0156] 트랜지스터(460)에 포함되는 산화물 반도체막(403)에서 절연층(413)과 중첩되지 않은 영역의 막 두께가 제 1 불순물 제거 처리에 의하여 감소되고, 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것보다도 중첩되지 않은 영역의 막 두께가 제 2 불순물 제거 처리에 의하여 감소된 예다. 따라서, 트랜지스터(460)에 포함되는 산화물 반도체막(403)에서 소스 전극층(405a) 및 드레인 전극층(405b)과 중첩된 영역의 막 두께는 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것보다도 중첩되지 않은 영역의 막 두께보다 크고,

절연층(413)과 증착된 영역의 막 두께는 소스 전극층(405a) 및 드레인 전극층(405b)과 증착된 영역의 막 두께보다 크다.

- [0157] 또한, 본 실시형태는 이것에 한정되지 않고 예를 들어 제 1 불순물 제거 처리에 의하여 산화물 반도체막(403)의 일부의 영역(절연층(413)과 증착되지 않은 영역)의 막 두께가 감소되고, 제 2 불순물 제거 처리에 의하여 산화물 반도체막(403)의 막 두께가 감소되지 않는 경우도 있다.
- [0158] 또한, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후의 불순물 처리에 의하여(또는, 절연층(413)을 형성한 후의 제 1 불순물 제거 처리와 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후의 제 2 불순물 제거 처리의 양쪽 모두에 의하여) 산화물 반도체막(403)에서 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것과도 증착되지 않은 영역이 제거되는 경우도 있다.
- [0159] 도 5(A) 내지 도 5(C)에 도시된 트랜지스터(470)는 산화물 반도체막(403)에서 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것과도 증착되지 않은 영역이 제거된 예다. 도 5(A)는 트랜지스터(470)의 평면도이고, 도 5(B)는 도 5(A)의 X7-Y7을 따라 절단한 단면도이고, 도 5(C)는 도 5(A)의 X8-Y8을 따라 절단한 단면도다.
- [0160] 트랜지스터(470)는 불순물 제거 처리에 의하여 산화물 반도체막(403)에서 절연층(413), 소스 전극층(405a) 및 드레인 전극층(405b) 중 어느 것과도 증착되지 않은 영역이 제거된 예다. 따라서, 트랜지스터(470)에 포함된 산화물 반도체막(403)은 모든 영역에서 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b) 중 어느 것과도 증착된다.
- [0161] 불순물 제거 처리된 산화물 반도체막(403)을 적용하여 반도체 장치를 제작함으로써 산화물 반도체막(403) 표면(산화물 반도체막(403)과, 절연층(413), 소스 전극층(405a), 또는 드레인 전극층(405b)의 계면 근방)에서의 할로젠 원소를 함유한 에칭 가스에 함유된 원소(예를 들어 염소, 불소, 붕소 등)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수 있다.
- [0162] 따라서, 산화물 반도체막(403)을 사용함으로써 안정된 전기 특성을 갖는 트랜지스터를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치가 좋은 수율로 제작되어 고생산화를 달성할 수 있다.
- [0163] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0164] (실시형태 2)
- [0165] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 실시형태 1과 다른 일 형태를 도 6(A) 내지 도 8(C)를 사용하여 설명한다. 본 실시형태에는 반도체 장치의 일례로서 산화물 반도체막을 갖는 트랜지스터를 기재한다.
- [0166] 트랜지스터는 하나의 채널 형성 영역이 형성되는 싱글 게이트 구조이어도 좋고, 2개 형성되는 더블 게이트 구조이어도 좋고, 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 채널 형성 영역의 상하에 게이트 절연막을 개재하여 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이라도 좋다.
- [0167] 도 6(A) 내지 도 6(C)에 도시된 트랜지스터(480)는 보텀 게이트 구조의 하나이고, 역 스택거형 트랜지스터라고도 하는 트랜지스터의 일례다. 또한, 도 6(A)는 트랜지스터(480)의 평면도이고, 도 6(B)는 도 6(A)의 X9-Y9를 따라 절단한 단면도이고, 도 6(C)는 도 6(A)의 X10-Y10을 따라 절단한 단면도다.
- [0168] 도 6(A) 내지 도 6(C)에 도시된 트랜지스터(480)는 절연 표면을 갖는 기판(400) 위에 형성된 게이트 전극층(401)과, 게이트 전극층(401) 위에 형성된 게이트 절연막(402)과, 게이트 절연막(402) 위에 형성된 섬 형상 산화물 반도체막(403)과, 산화물 반도체막(403) 위에 형성되고 게이트 전극층(401)과 증착된 절연층(413)과, 산화물 반도체막(403) 및 절연층(413)과 접촉된 소스 전극층(405a) 및 드레인 전극층(405b)을 갖는다. 또한, 기판(400) 위에 형성된 하지 절연막(436), 트랜지스터(480)를 덮는 층간 절연막(408) 및 평탄화 절연막(409)을 트랜지스터(480)의 구성 요소에 포함시켜도 좋다.
- [0169] 트랜지스터(480)에서 채널 폭 방향에서의 소스 전극층(405a) 및 드레인 전극층(405b)의 길이(w2)는 채널 폭 방향에서의 산화물 반도체막(403)의 길이(w1)보다 길고, 채널 폭 방향에서의 산화물 반도체막의 단부는 소스 전극층(405a) 및 드레인 전극층(405b)으로 덮인다. 즉 산화물 반도체막(403)의 절연층(413)과 증착되지 않은 영역

은 소스 전극층(405a) 및 드레인 전극층(405b)으로 덮인다.

- [0170] 트랜지스터(480)는 채널 폭 방향에서의 소스 전극층(405a) 및 드레인 전극층(405b)의 길이(w2)가 채널 폭 방향에서의 산화물 반도체막(403)의 길이(w1)보다 긴 점이 트랜지스터(440)와 다른 점이고, 이 외의 구성은 트랜지스터(440)와 같은 구성으로 할 수 있다.
- [0171] 여기서, 트랜지스터(480)의 제작 공정에서 산화물 반도체막(403) 표면에 불순물 제거 처리를 함으로써, 절연층(413)의 형성에 사용되는 할로젠 원소를 함유한 에칭 가스에 함유된 원소가 불순물로서 잔존하는 것을 방지할 수 있다. 이로써, 산화물 반도체막(403)의 표면(산화물 반도체막(403)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 계면 근방)에서의 할로젠 원소 등의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수 있고, 구체적으로는, 염소의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수 있다. 또한, 불소의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수도 있고, 붕소의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수도 있다. 이와 같이, 산화물 반도체막의 저저항화를 일으킬 수 있는 불순물이 제거되기 때문에, 상기 산화물 반도체막을 사용한 반도체 장치의 고신뢰성을 도모할 수 있다.
- [0172] 이러한 트랜지스터(480)의 제작 방법에 대하여 도 7(A) 내지 도 7(E)를 사용하여 설명한다.
- [0173] 우선, 기판(400) 위에 하지 절연막(436), 게이트 전극층(401), 게이트 절연막(402), 및 산화물 반도체막(403)을 형성하고, 산화물 반도체막(403)을 덮도록 절연막(443)을 형성한다(도 7(A) 참조). 여기서, 기판(400), 하지 절연막(436), 게이트 전극층(401), 게이트 절연막(402), 및 산화물 반도체막(403)의 재료나 제작 방법 등은 실시형태 1에 기재된 트랜지스터(440)와 같은 구성으로 하면 좋다. 또한, 절연막(443)의 재료나 제작 방법 등은 트랜지스터(440)의 절연층(413)의 재료 및 형성 방법을 참조할 수 있다.
- [0174] 다음에, 할로젠 원소를 함유한 에칭 가스(442)를 사용한 플라즈마 처리에 의하여 절연막(443)을 가공하여 게이트 전극층(401)과 중첩된 위치에 채널 보호막으로서 기능하는 절연층(413)을 형성한다(도 7(B) 참조). 상기 에칭 처리는 포토리소그래피 공정에 의하여 절연막(443) 위에 레지스트 마스크(444)를 형성하고, 선택적으로 에칭하여 절연층(413)을 형성한 후, 레지스트 마스크(444)를 제거한다. 결과적으로 게이트 전극층(401)과 중첩되고 또 산화물 반도체막(403)의 채널 형성 영역 위에 접촉되도록 절연층(413)이 형성된다.
- [0175] 여기서, 절연층(413)은 단면 형상이 사다리꼴 형상 또는 삼각 형상이고, 단면 형상의 하단부의 테이퍼 각이  $60^\circ$  이하, 바람직하게는  $45^\circ$  이하, 더 바람직하게는  $30^\circ$  이하로 하는 것이 바람직하다.
- [0176] 에칭법으로서는 드라이 에칭을 사용하는 것이 바람직하고 예를 들어 평행 평판형 RIE법이나 ICP 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록 에칭 조건(코일형 전극에 인가되는 전력량, 기판 측 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.
- [0177] 할로젠 원소를 함유한 에칭 가스(442)로서 불소를 함유한 가스 또는 염소를 함유한 가스 등을 사용할 수 있다. 불소를 함유한 가스로서 예를 들어 4불화 탄소( $\text{CF}_4$ ), 6불화 황( $\text{SF}_6$ ), 3불화 질소( $\text{NF}_3$ ), 트라이플루오로 메탄( $\text{CHF}_3$ ), 옥타플루오로 사이클로부탄( $\text{C}_4\text{F}_8$ ) 등을 들 수 있다. 절연막(443)으로서 산화 실리콘 등을 함유한 절연막을 사용하는 경우에는, 이러한 불소를 함유한 가스를 사용함으로써 용이하게 에칭할 수 있다. 또한, 염소를 함유한 가스로서 예를 들어 염소( $\text{Cl}_2$ ), 3염화 붕소( $\text{BCl}_3$ ), 4염화 실리콘( $\text{SiCl}_4$ ), 4염화 탄소( $\text{CCl}_4$ ) 등을 들 수 있다. 절연막(443)으로서 산화 알루미늄 등을 함유한 절연막을 사용하는 경우에는, 이러한 염소를 함유한 가스를 사용함으로써 용이하게 에칭할 수 있다.
- [0178] 또한, 본 실시형태에서는  $\text{CF}_4$ 를 사용하여 산화 실리콘으로 이루어진 절연막(443)을 선택적으로 에칭하여 절연층(413)의 하단부의 테이퍼 각을 약  $30^\circ$  로 한다.
- [0179] 이와 같이, 도 7(B)에 도시한 절연층(413)을 형성하는 에칭 공정에는 할로젠 원소를 함유한 에칭 가스(442)를 사용한다. 그러나, 할로젠 원소를 함유한 에칭 가스(442)에 산화물 반도체막(403)이 폭로되면, 할로젠 원소를 함유한 에칭 가스(442)에 의하여 산화물 반도체막(403) 내의 산소가 뽑아져 산화물 반도체막(403)의 표면(산화물 반도체막(403)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 계면 근방)에 산소 결손이 생길 우려가 있다. 산화물 반도체막(403)에 산소 결손이 생기면, 산화물 반도체막(403)의 백 채널 측이 저저항화(n형화)되어 기생 채널이 형성될 우려가 있다.

- [0180] 예를 들어 산화물 반도체막(403)으로서 인듐을 함유한 산화물 반도체 재료를 사용하고, 산화물 반도체막(403) 위에 접촉하여 형성되는 절연층(413)의 가공에 3염화 붕소( $BCl_3$ )를 함유한 에칭 가스를 사용한 경우에는, 산화물 반도체막 내의 In-O-In 결합과, 에칭 가스에 함유된 Cl가 반응하여, In-Cl 결합과, 산소가 탈리된 In 원소를 함유한 막이 될 경우가 있다. 산소가 탈리된 In 원소는 미결합수를 갖기 때문에 산화물 반도체막(403) 내의 산소가 탈리된 개소에서 산소 결손이 존재한다.
- [0181] 또한, 할로겐 원소를 함유한 에칭 가스에 함유된 할로겐 외의 원소(예를 들어 붕소)도 산화물 반도체막(403)의 백 채널 측이 저저항화(n형화)되는 요인의 하나가 될 수 있다.
- [0182] 따라서, 절연층(413)을 형성한 후, 절연층(413)의 표면 및 산화물 반도체막(403)의 표면(산화물 반도체막(403)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 계면 근방)에 할로겐 원소를 함유한 에칭 가스에 함유된 원소가 불순물로서 잔존하는 것을 방지하기 위하여 불순물 제거 처리를 한다(도 7(C) 참조). 여기서, 상기 불순물로서는 예를 들어 염소, 불소, 붕소 등을 들 수 있다.
- [0183] 플라즈마 처리 또는 용액에 의한 처리에 의하여 상기 불순물 제거 처리를 할 수 있다. 플라즈마 처리로서 산소 플라즈마 처리 또는 일산화 이질소 플라즈마 처리 등을 적합하게 사용할 수 있다. 또한, 플라즈마 처리로서 희가스(대표적으로는 아르곤)를 사용하여도 좋다. 또한, 용액에 의한 처리로서 희석된 불산 용액에 의한 세정 처리를 적합하게 사용할 수 있다. 예를 들어 희석된 불산 용액을 사용하는 경우에는, 희석된 불산을  $1/10^2$  내지  $1/10^5$  정도, 바람직하게는  $1/10^3$  내지  $1/10^5$  정도로 희석한다. 또한, 용액에 의한 처리로서 TMAH 용액 등의 알칼리성 용액에 의한 처리를 하여도 좋다. 또한, 용액 대신에 물을 사용하여 세정 처리하여도 좋다.
- [0184] 이와 같이, 불순물 제거 처리를 함으로써 산화물 반도체막(403) 표면(산화물 반도체막(403)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 계면 근방)에서 할로겐 원소를 함유한 에칭 가스에 함유된 원소(예를 들어 염소, 불소, 붕소 등)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수 있다. 이와 같이, 산화물 반도체막의 저저항화를 일으킬 수 있는 불순물이 제거되기 때문에, 상기 산화물 반도체막을 사용한 반도체 장치의 고신뢰성화를 도모할 수 있다.
- [0185] 또한, 절연층(413)을 형성한 후에 가열 처리하여도 좋다. 본 실시형태에서는 질소 분위기하에서 300℃로 1시간 동안 가열 처리한다.
- [0186] 다음에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 및 절연층(413) 위에 도전막을 형성하고, 상기 도전막을 선택적으로 에칭하여 소스 전극층(405a) 및 드레인 전극층(405b)(이것과 같은 층으로 형성되는 배선을 포함함)을 형성한다(도 7(D) 참조). 소스 전극층(405a) 및 드레인 전극층(405b)은 레지스트 마스크를 형성한 후, 포토리소그래피를 사용하여 형성하고, 그 후, 레지스트 마스크를 제거한다. 결과적으로, 드레인 전극층(405b)의 단부는 절연층(413)의 상면 또는 측면에 위치하고, 소스 전극층(405a)의 단부는 절연층(413)의 상면 또는 측면에 위치한다.
- [0187] 여기서, 소스 전극층(405a) 및 드레인 전극층(405b)은 산화물 반도체막(403)의 절연층(413)과 중첩되지 않은 영역을 덮도록 형성한다. 따라서, 도 6(C)에 도시된 바와 같이, 채널 폭 방향에서의 소스 전극층(405a) 및 드레인 전극층(405b)의 길이(w2)는 채널 폭 방향에서의 산화물 반도체막(403)의 길이(w1)보다 길고, 채널 폭 방향에서의 산화물 반도체막(403)의 단부는 소스 전극층(405a) 및 드레인 전극층(405b)으로 덮인다.
- [0188] 여기서, 소스 전극층(405a) 및 드레인 전극층(405b)의 재료나 제작 방법 등은 실시형태 1에 기재된 트랜지스터(440)와 같은 구성으로 하면 좋다.
- [0189] 본 실시형태에서는 도전막으로서 스퍼터링법에 의하여 형성한 막 두께가 100nm인 티타늄막, 막 두께가 400nm인 알루미늄막, 막 두께가 100nm인 티타늄막이 적층된 것을 사용한다.
- [0190] 본 실시형태에서는 에칭 가스로서  $Cl_2$ 와  $BCl_3$ 을 사용한 드라이 에칭법에 의하여 티타늄막, 알루미늄막, 및 티타늄막의 적층을 에칭함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다.
- [0191] 이와 같이 할로겐 원소를 함유한 에칭 가스를 사용하면, 상술한 바와 같이 상기 에칭 가스에 반도체 장치가 폭로된다. 그러나, 본 실시형태에서는 산화물 반도체막이 절연층(413), 소스 전극층(405a), 및 드레인 전극층(405b)으로 덮이도록 도전막을 에칭하기 때문에 산화물 반도체막이 할로겐 원소를 함유한 에칭 가스에 직접 폭로되는 것을 방지할 수 있다.

- [0192] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(480)가 제작된다(도 7(E) 참조).
- [0193] 또한, 도 7(E)에 도시된 바와 같이, 트랜지스터(480) 위에 층간 절연막(408) 및 평탄화 절연막(409)을 형성할 수도 있다. 여기서, 층간 절연막(408) 및 평탄화 절연막(409)의 재료나 제작 방법 등은 실시형태 1에 기재된 트랜지스터(440)와 같은 구성으로 하면 좋다.
- [0194] 또한, 트랜지스터(480)에서는 산화물 반도체막(403)의 막 두께가 전체적으로 대략 균일한 예를 나타냈지만, 본 실시형태는 이것에 한정되지 않는다. 트랜지스터(480)와 형태가 다른 트랜지스터(490)에 대하여 도 8(A) 내지 도 8(C)를 사용하여 설명한다.
- [0195] 도 8(A) 내지 도 8(C)에 도시된 트랜지스터(490)는 보텀 게이트 구조의 하나이고, 역 스택거형 트랜지스터라고도 하는 트랜지스터의 일례다. 도 8(A)는 트랜지스터(490)의 평면도이고, 도 8(B)는 도 8(A)의 X11-Y11을 따라 절단한 단면도이고, 도 8(C)는 도 8(A)의 X12-Y12를 따라 절단한 단면도다.
- [0196] 도 8(A) 내지 도 8(C)에 도시된 트랜지스터(490)는 상술한 불순물 제거 처리에 의하여 절연층(413)에서 노출된 산화물 반도체막(403)의 영역이 에칭되어 상기 영역의 막 두께가 감소된 예다.
- [0197] 트랜지스터(490)는 산화물 반도체막(403)에서 절연층(413)과 접촉하여 증착된 영역의 막 두께가 소스 전극층(405a) 또는 드레인 전극층(405b)과 접촉하여 증착된 영역의 막 두께보다 큰 점이 트랜지스터(480)와 다른 점이다. 또한, 트랜지스터(490)의 이 외의 부분의 구성은 트랜지스터(480)와 마찬가지로 각 구성의 상세한 내용은 트랜지스터(480)에 대한 기재를 참조할 수 있다.
- [0198] 트랜지스터(490)는 트랜지스터(480)와 같은 방법으로 제작할 수 있고, 도 7(C)에 도시된 바와 같이, 절연층(413) 표면 및 산화물 반도체막(403) 표면(산화물 반도체막(403)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 계면 근방)에 할로겐 원소를 함유한 에칭 가스에 함유된 원소가 불순물로서 잔존하는 것을 방지하기 위하여 불순물 제거 처리를 한다. 도 7(C)에 도시된 공정과 마찬가지로 플라즈마 처리 또는 용액에 의한 처리에 의하여 상기 불순물 제거 처리를 할 수 있다. 플라즈마 처리로서 산소 플라즈마 처리 또는 일산화 이질소 플라즈마 처리 등을 적합하게 사용할 수 있다. 또한, 플라즈마 처리로서 희가스(대표적으로는 아르곤)를 사용하여도 좋다. 또한, 용액에 의한 처리로서 희석된 불산 용액에 의한 세정 처리를 적합하게 사용할 수 있다. 예를 들어 희석된 불산 용액을 사용하는 경우에는, 희석된 불산을  $1/10^2$  내지  $1/10^5$  정도, 바람직하게는  $1/10^3$  내지  $1/10^5$  정도로 희석한다. 또한, 용액에 의한 처리로서 TMAH 용액 등의 알칼리성 용액에 의한 처리를 하여도 좋다. 또한, 용액 대신에 물을 사용하여 세정 처리하여도 좋다.
- [0199] 상술한 바와 같이 산화물 반도체막(403) 표면의 불순물 제거 처리로서 도 7(C)에 도시된 바와 같이 할로겐 원소를 함유한 에칭 가스에 폭로된 산화물 반도체막(403)의 표면에 플라즈마 처리 또는 용액에 의한 처리를 하여도 좋다. 즉 산화물 반도체막(403) 표면에 불순물로서 잔존한 할로겐 원소를 함유한 에칭 가스에 함유된 원소를 산화물 반도체막(403)의 일부와 함께 제거하여도 좋다. 이로써, 산화물 반도체막(403)에서 절연층(413)과 증착된 영역의 막 두께가 소스 전극층(405a) 및 드레인 전극층(405b)과 증착된 영역의 막 두께보다 크게 된다. 예를 들어  $1/10^3$ 으로 희석된 불산(불산: 0.05%)으로 IGZO막을 처리하면, 막 두께가 1초당 1nm 내지 3nm 감소되고,  $2/10^5$ 로 희석된 불산(불산: 0.0025%)으로 IGZO막을 처리하면, 막 두께가 1초당 0.1nm 정도 감소된다.
- [0200] 본 실시형태에 기재된 바와 같이 불순물 제거 처리된 산화물 반도체막을 적용하여 반도체 장치를 제작함으로써 산화물 반도체막 표면(산화물 반도체막과 소스 전극층 또는 드레인 전극층의 계면 근방)에서의 할로겐 원소를 함유한 에칭 가스에 함유된 원소(예를 들어 염소, 불소, 붕소 등)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수 있다.
- [0201] 따라서, 산화물 반도체막을 사용함으로써 안정된 전기 특성을 갖는 트랜지스터를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치가 좋은 수율로 제작되어 고생산화를 달성할 수 있다.
- [0202] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0203] (실시형태 3)

- [0204] 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부와 동일 기판 위에 일체로 형성하여 시스템 온 패널을 형성할 수 있다.
- [0205] 도 9(A)에서 제 1 기판(4001) 위에 형성된 화소부(4002)를 둘러싸도록 절재(4005)가 형성되고, 화소부(4002)는 제 2 기판(4006)에 의하여 밀봉되어 있다. 도 9(A)에서는 제 1 기판(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과 다른 영역에 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한, 별도 형성된 신호선 구동 회로(4003) 및 주사선 구동 회로(4004), 또는 화소부(4002)에는 FPC(Flexible printed circuit)(4018a, 4018b)로부터 각종 신호 및 전위가 공급된다.
- [0206] 도 9(B) 및 도 9(C)에서 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 절재(4005)가 형성되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001)과 절재(4005)와 제 2 기판(4006)에 의하여 표시 소자와 함께 밀봉되어 있다. 도 9(B) 및 도 9(C)에서는 제 1 기판(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과 다른 영역에 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 9(B) 및 도 9(C)에서는 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 FPC(4018)로부터 각종 신호 및 전위가 공급된다.
- [0207] 또한, 도 9(B) 및 도 9(C)에서는 신호선 구동 회로(4003)를 별도 형성하고 제 1 기판(4001)에 실장한 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하고 실장하여도 좋다.
- [0208] 또한, 별도 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다. 도 9(A)는 COG 방법에 의하여 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)를 실장한 예이며, 도 9(B)는 COG 방법에 의하여 신호선 구동 회로(4003)를 실장한 예이며, 도 9(C)는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장한 예이다.
- [0209] 또한, 표시 장치란 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함한 IC 등이 실장된 상태인 모듈을 포함한다.
- [0210] 즉 본 명세서의 표시 장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터 예를 들어 FPC, TAB 테이프, 또는 TCP가 장착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0211] 또한, 제 1 기판 위에 형성된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 갖고, 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 적용할 수 있다.
- [0212] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0213] 또한, 반도체 장치의 일 형태에 대하여 도 9(A) 내지 도 11(B)를 사용하여 설명한다. 도 11(A) 및 도 11(B)는 도 9(B)의 M-N을 따라 절단한 단면도에 상당한다.
- [0214] 도 9(A) 내지 도 11(B)에 도시된 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 갖고, 접속 단자 전극(4015) 및 단자 전극(4016)은 이방성 도전막(4019)을 통하여 FPC(4018) 및 FPC(4018b)가 갖는 단자와 전기적으로 접속되어 있다.
- [0215] 접속 단자 전극(4015)은 제 1 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010) 및 트랜지스터(4011)의 게이트 전극층과 같은 도전막으로 형성되어 있다.
- [0216] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002) 및 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖고, 도 11(A) 및 도 11(B)에는 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하였다. 도 11(A)에서는 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연막(4020)이 형성

되어 있고, 도 11(B)에서는 절연막(4020) 위에 절연막(4021)이 더 형성되어 있다.

- [0217] 트랜지스터(4010) 및 트랜지스터(4011)로서 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 기재한다. 트랜지스터(4010) 및 트랜지스터(4011)는 산화물 반도체막 위에 채널 보호막으로서 기능하는 절연층이 형성된 보텀 게이트 구조의 역 스택거형 트랜지스터다.
- [0218] 실시형태 1에 기재된 트랜지스터(440)와 같은 구조 및 제작 방법으로 얻어지는 트랜지스터(4010) 및 트랜지스터(4011)는 할로겐 플라즈마를 사용한 에칭 공정에 의하여 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 표면 근방의 불순물(구체적으로는 에칭 가스에 함유된 원소)을 제거하는 공정을 한다. 또한, 할로겐 플라즈마를 사용한 에칭 공정에 의하여 채널 보호막으로서 기능하는 절연층을 형성한 후에, 불순물 제거 처리를 하여도 좋다. 불순물 제거 처리로서는 예를 들어 희석된 불산을 사용한 처리 또는 산소나 일산화 이질소를 사용한 플라즈마 처리 등을 적합하게 사용할 수 있다.
- [0219] 산화물 반도체막 표면 및 표면 근방이 에칭 가스에 함유된 불순물로 오염되는 것을 방지할 수 있기 때문에 트랜지스터(4010) 및 트랜지스터(4011)는 산화물 반도체막 표면에서의 할로겐 원소를 함유한 에칭 가스에 함유된 원소(예를 들어 염소, 붕소 등)의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수 있다.
- [0220] 따라서, 도 9(A) 내지 도 9(C) 및 도 11(A) 및 도 11(B)에 도시된 본 실시형태의 산화물 반도체막을 사용함으로써 안정된 전기 특성을 갖는 트랜지스터(4010) 및 트랜지스터(4011)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 이러한 신뢰성이 높은 반도체 장치가 좋은 수율로 제작되어 고생산화를 달성할 수 있다.
- [0221] 또한, 구동 회로용 트랜지스터(4011)의 산화물 반도체막의 채널 형성 영역과 중첩된 위치에 도전층을 더 형성하여도 좋다. 도전층을 산화물 반도체막의 채널 형성 영역과 중첩된 위치에 형성함으로써, 바이어스-열 스트레스 시험(BT 시험) 전후에서의 트랜지스터(4011)의 임계값 전압의 변화량을 더 저감시킬 수 있다. 또한, 도전층은 전위가 트랜지스터(4011)의 게이트 전극층의 전위와 동일하여도 좋고 달라도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위는 GND, 0V, 또는 부유 상태라도 좋다.
- [0222] 또한, 상기 도전층은 외부의 전기장을 차폐하는 기능 즉 외부의 전기장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히, 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층의 차폐 기능에 의하여 정전기 등 외부의 전기장의 영향으로 트랜지스터의 전기적 특성이 변동하는 것을 방지할 수 있다.
- [0223] 화소부(4002)에 형성된 트랜지스터(4010)는 표시 소자와 전기적으로 접속되어 표시 패널을 구성한다. 표시 소자는 표시를 할 수 있는 것이면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.
- [0224] 도 11(A)에 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시하였다. 도 11(A)에서 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 배향막으로서 기능하는 절연막(4032) 및 절연막(4033)이 액정층(4008)을 협지하도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기관(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 적층되어 있다.
- [0225] 또한, 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위하여 제공되어 있다. 또한, 구(球) 형상의 스페이서를 사용하여도 좋다.
- [0226] 표시 소자로서 액정 소자를 사용하는 경우에는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료(액정 조성물)는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.
- [0227] 또한, 액정층(4008)에 배향막을 사용하지 않는 블루상을 발현하는 액정 조성물을 사용하여도 좋다. 이 경우에는, 액정층(4008)과, 제 1 전극층(4030) 및 제 2 전극층(4031)이 접속된 구조가 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 계속하여 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 액정 및 키랄제를 혼합시킨 액정 조성물을 사용하여 발현할 수 있다. 또한, 블루상이 발현되는 온도 범위를 넓히기 위하여 블루상을 발현하는 액정 조성물에 중합성 단량체 및 중합 개시제 등을 첨가하여 고분자 안정화시키는 처리를 하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은 응답 시간이 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한, 배향막을 제공할 필요가 없어 러빙 처리도 불필요하기 때문에 러빙 처리로 인한 정전 파괴를 방지할 수 있어 제작 공정 도중에 일어나는

액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다. 산화물 반도체막을 사용하는 트랜지스터는 정전기의 영향에 의하여 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 이탈할 우려가 있다. 따라서, 산화물 반도체막을 사용하는 트랜지스터를 갖는 액정 표시 장치에 블루상을 발현하는 액정 조성물을 사용하는 것은 더 효과적이다.

- [0228] 또한, 액정 재료의 고유 저항은  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이고, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상, 더 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한, 본 명세서에서의 고유 저항의 값은 20°C로 측정된 값으로 한다.
- [0229] 액정 표시 장치에 제공되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 명세서에 기재되는 산화물 반도체막을 갖는 트랜지스터를 사용함으로써, 각 화소의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하의 용량을 갖는 유지 용량을 제공하면 충분하다.
- [0230] 본 명세서에 기재되는 산화물 반도체막을 사용한 트랜지스터는 오프 상태에서의 전류값(오프 전류값)을 낮게 제어할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고 전원이 온 된 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있기 때문에 소비 전력을 억제하는 효과를 나타낸다.
- [0231] 또한, 본 명세서에 기재되는 산화물 반도체막을 사용한 트랜지스터는 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에 고속 구동이 가능하다. 예를 들어 이러한 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉 구동 회로로서 실리콘 웨이퍼 등으로 형성된 반도체 장치를 별도 사용할 필요가 없기 때문에, 반도체 장치의 부품 개수를 삭감할 수 있다. 또한, 화소부에서도 고속 구동이 가능한 트랜지스터를 사용함으로써 고화질 화상을 제공할 수 있다.
- [0232] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0233] 또한, 노멀리 블랙형 액정 표시 장치 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치로 하여도 좋다. 수직 배향 모드로서는 몇 가지 들 수 있지만, 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다. 또한, VA형 액정 표시 장치에 적용할 수도 있다. VA형 액정 표시 장치란 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 하나다. VA형 액정 표시 장치는 전압이 인가되지 않을 때 액정 분자가 패널 면에 대하여 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 각각 다른 방향으로 분자가 배향되도록 구성되는 멀티 도메인화 또는 멀티 도메인 설계라고 하는 방법을 사용할 수 있다.
- [0234] 또한, 표시 장치에서 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 형성한다. 예를 들어 편광 기관 및 위상차 기관에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서는 백 라이트나 사이드 라이트 등을 사용하여도 좋다.
- [0235] 또한, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시하는 경우에는, 화소에서 제어하는 색 요소는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어 RGBW(W는 백색을 나타냄) 또는 RGB에 옐로, 시안, 마젠타 등 중 하나 이상을 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 다만, 기재하는 발명은 컬러 표시의 표시 장치에 한정되지 않고, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0236] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되며, 일반적으로 전자는 유기 EL 소자라고 불리고 후자는 무기 EL 소자라고 불린다.
- [0237] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 함유한 층에 주입되어 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘 때문에 이러한 발광 소자는 전류 여기형 발광 소자라고 불린다. 본 실시형태에서는 발광 소자로서 유기 EL 소

자를 사용하는 예를 기재한다.

- [0238] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 개재하고 그것을 전극 사이에 개재한 구조를 갖고, 발광 메커니즘은 금속 이온의 내각 전자 전이(轉移)를 이용하는 국재형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0239] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 하나가 투광성을 가지면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출 구조나, 기판 측의 면으로부터 발광을 추출하는 하면 사출 구조나, 기판 측 및 기판과 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자나 적용할 수 있다.
- [0240] 도 10(A), 도 10(B), 및 도 11(B)에 표시 소자로서 발광 소자를 사용한 발광 장치의 예를 도시하였다.
- [0241] 도 10(A)는 발광 장치의 평면도이고, 도 10(A)의 1점 쇄선 V1-W1, V2-W2, 및 V3-W3을 따라 절단한 단면이 도 10(B)에 상당한다. 또한, 도 10(A)의 평면도에서는 전계 발광층(542) 및 제 2 전극층(543)은 생략하였다.
- [0242] 도 10(A) 및 도 10(B)에 도시된 발광 장치는 기판(500) 위에 트랜지스터(510), 용량 소자(520), 배선층 교차부(530)를 갖고, 트랜지스터(510)는 발광 소자(540)와 전기적으로 접속되어 있다. 또한, 도 10(A) 및 도 10(B)는 기판(500)을 통하여 발광 소자(540)로부터의 빛을 추출하는 하면 사출형 구조를 갖는 발광 장치다.
- [0243] 트랜지스터(510)로서 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 기재한다. 트랜지스터(510)는 산화물 반도체막 위에 채널 보호막으로서 기능하는 절연층이 형성된 보텀 게이트 구조의 역 스택거형 트랜지스터다.
- [0244] 트랜지스터(510)는 게이트 전극층(511a), 게이트 전극층(511b), 게이트 절연막(502), 산화물 반도체막(512), 절연층(503), 소스 전극층 또는 드레인 전극층으로서 기능하는 도전층(513a) 및 도전층(513b)을 포함한다.
- [0245] 실시형태 1에 기재된 트랜지스터(440)와 같은 구조 및 제작 방법으로 얻어지는 트랜지스터(510)는 할로겐 플라즈마를 사용한 에칭 공정에 의하여 도전층(513a) 및 도전층(513b)을 형성한 후, 산화물 반도체막 표면 및 표면 근방에서 에칭 가스에 함유된 불순물을 제거하는 처리를 한다. 또한, 할로겐 플라즈마를 사용한 에칭 공정에 의하여 채널 보호막으로서 기능하는 절연층을 형성한 후에 불순물 제거 처리를 하여도 좋다. 불순물 제거 처리는 예를 들어 희석된 불산을 사용한 처리, 또는 산소나 일산화 이질소를 사용한 플라즈마 처리 등을 적합하게 사용할 수 있다.
- [0246] 산화물 반도체막 표면 및 표면 근방이 에칭 가스에 함유된 불순물로 오염되는 것을 방지할 수 있기 때문에 트랜지스터(510)는 산화물 반도체막 표면에서의 할로겐 원소를 함유한 에칭 가스에 함유된 원소(예를 들어 염소, 붕소 등)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수 있다.
- [0247] 따라서, 도 10(A) 및 도 10(B)에 도시된 본 실시형태의 산화물 반도체막(512)을 사용함으로써 안정된 전기 특성을 갖는 트랜지스터(510)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 이러한 신뢰성이 높은 반도체 장치가 좋은 수율로 제작되어 고생산화를 달성할 수 있다.
- [0248] 용량 소자(520)는 도전층(521a), 도전층(521b), 게이트 절연막(502), 산화물 반도체막(522), 도전층(523)을 포함하고, 도전층(521a) 및 도전층(521b)과 도전층(523)으로 게이트 절연막(502) 및 산화물 반도체막(522)을 끼우는 구성으로 함으로써 용량을 형성한다.
- [0249] 배선층 교차부(530)는 게이트 전극층(511a) 및 게이트 전극층(511b)과 도전층(533)의 교차부이고, 게이트 전극층(511a) 및 게이트 전극층(511b)과 도전층(533)은 게이트 절연막(502) 및 절연층(503)과 같은 공정으로 형성되는 절연층(553)을 사이에 개재하여 교차한다. 본 실시형태에 기재되는 구조에서는 배선층 교차부(530)는 게이트 전극층(511a) 및 게이트 전극층(511b)과 도전층(533) 사이에 게이트 절연막(502)뿐만 아니라 절연층(553)도 배치할 수 있기 때문에 게이트 전극층(511a) 및 게이트 전극층(511b)과 도전층(533) 사이에 생기는 기생 용량을 저감시킬 수 있다.
- [0250] 본 실시형태에서는 게이트 전극층(511a) 및 도전층(521a)으로서 막 두께가 30nm인 티타늄막을 사용하고, 게이트 전극층(511b) 및 도전층(521b)으로서 막 두께가 200nm인 구리 박막을 사용한다. 따라서, 게이트 전극층은 티타

늄막과 구리 박막의 적층 구조가 된다.

- [0251] 산화물 반도체막(512), 산화물 반도체막(522)으로서는 막 두께가 25nm인 IGZO막을 사용한다.
- [0252] 트랜지스터(510), 용량 소자(520), 및 배선층 교차부(530) 위에는 층간 절연막(504)이 형성되고, 층간 절연막(504) 위에서 발광 소자(540)와 증착된 영역에 컬러 필터층(505)이 형성되어 있다. 층간 절연막(504) 및 컬러 필터층(505) 위에는 평탄화 절연막으로서 기능하는 절연막(506)이 형성되어 있다.
- [0253] 절연막(506) 위에 제 1 전극층(541), 전계 발광층(542), 제 2 전극층(543)의 순서로 적층한 적층 구조를 포함한 발광 소자(540)가 형성되어 있다. 도전층(513a)에 도달되는 절연막(506) 및 층간 절연막(504)에 형성된 개구에서 제 1 전극층(541) 및 도전층(513a)이 접촉됨으로써 발광 소자(540)와 트랜지스터(510)는 전기적으로 접속되어 있다. 또한, 제 1 전극층(541)의 일부 및 상기 개구를 덮도록 격벽(507)이 형성되어 있다.
- [0254] 층간 절연막(504)에는 플라즈마 CVD법에 의하여 형성된 막 두께가 200nm 이상 600nm 이하인 산화 질화 실리콘막을 사용할 수 있다. 또한, 절연막(506)에는 막 두께가 1500nm인 감광성 아크릴막을 사용할 수 있고, 격벽(507)에는 막 두께가 1500nm인 감광성 폴리이미드막을 사용할 수 있다.
- [0255] 컬러 필터층(505)으로서는 예를 들어 유채색의 투광성 수지를 사용할 수 있다. 유채색의 투광성 수지로서는 감광성 또는 비감광성 유기 수지를 사용할 수 있지만, 감광성 유기 수지층을 사용하면 레지스트 마스크의 개수를 삭감할 수 있기 때문에 공정이 간략화되어 바람직하다.
- [0256] 유채색은 흑색, 회색, 흰색 등의 무채색을 제외한 색이며, 컬러 필터층은 착색된 유채색의 빛만을 투과시키는 재료로 형성된다. 유채색으로서는 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 옐로(황색) 등을 사용하여도 좋다. 착색된 유채색의 빛만을 투과시킨다는 것은 컬러 필터층에서의 투과광이 그 유채색의 빛의 파장에 피크를 갖는다는 것이다. 컬러 필터층은 포함시킨 착색 재료의 농도와 빛의 투과율의 관계를 고려하여 최적의 막 두께를 적절히 제어하면 좋다. 예를 들어 컬러 필터층(505)의 막 두께는 1500nm 이상 2000nm 이하로 하면 좋다.
- [0257] 도 11(B)에 도시된 표시 장치에서는 표시 소자인 발광 소자(4513)는 화소부(4002)에 형성된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 발광 소자(4513)의 구성으로서 제 1 전극층(4030), 전계 발광층(4511), 및 제 2 전극층(4031)의 적층 구조가 도시되었지만, 이 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출하는 빛의 방향 등에 따라 발광 소자(4513)의 구성은 적절히 변경할 수 있다.
- [0258] 격벽(4510) 및 격벽(507)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 격벽(4510) 및 격벽(507)은 감광성 수지 재료를 사용하여 제 1 전극층(4030) 및 제 1 전극층(541) 위에 개구부를 갖도록 형성함으로써 그 개구부의 측벽이 연속된 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0259] 전계 발광층(4511) 및 전계 발광층(542)은 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되어 구성되어도 좋다.
- [0260] 발광 소자(4513) 및 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(4031), 제 2 전극층(543), 격벽(4510), 및 격벽(507) 위에 보호막을 형성하여도 좋다. 보호막으로서 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0261] 또한, 발광 소자(4513) 및 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않도록 발광 소자(4513) 및 발광 소자(540)를 덮는 유기 화합물을 함유한 층을 증착법에 의하여 형성하여도 좋다.
- [0262] 또한, 제 1 기판(4001), 제 2 기판(4006), 및 절재(4005)에 의하여 밀봉된 공간에는 충전재(4514)가 형성되어 밀봉되어 있다. 이와 같이 외기에 폭로되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0263] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 예를 들어 충전재로서 질소를 사용하면 좋다.
- [0264] 또한, 필요하면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어 표면의 요철에 의하여 반사광을 확산시키고, 비침(glare)을 저감시킬 수 있는 안티글레어 처리를 할 수 있다.

- [0265] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공할 수도 있다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽고, 다른 표시 장치보다 저소비 전력이고, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0266] 전기 영동 표시 장치는 다양한 형태를 가질 수 있지만, 양전하를 갖는 제 1 입자와 음전하를 갖는 제 2 입자를 포함하는 복수의 마이크로 캡슐이 용매 또는 용질에 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽 측에 모인 입자의 색깔만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 인가되지 않을 때는 이동하지 않는다. 또한, 제 1 입자의 색깔과 제 2 입자의 색깔은 서로 다른 것(무색을 포함함)으로 한다.
- [0267] 이와 같이, 전기 영동 표시 장치는 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는 소위 유전 영동적 효과를 이용한 디스플레이이다.
- [0268] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.
- [0269] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선트 재료, 일렉트로크로믹 재료, 자기 영동 재료 중에서 선택된 하나의 재료 또는 이들의 복합 재료를 사용하면 좋다.
- [0270] 또한, 전자 페이퍼로서 트위스트 볼 표시 방식을 사용하는 표시 장치도 적용할 수 있다. 트위스트 볼 표시 방식이란 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층 사이에 백색과 흑색으로 구분하여 형성된 구형 입자를 배치하고, 제 1 전극층과 제 2 전극층 사이에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써 표시하는 방법이다.
- [0271] 또한, 도 9(A) 내지 도 11(B)에서 제 1 기관(4001), 기관(500), 및 제 2 기관(4006)으로서는 유리 기관 외 가요성을 갖는 기관을 사용할 수도 있고, 예를 들어 투광성을 갖는 플라스틱 기관 등을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics) 판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 투광성이 필요하지 않으면, 알루미늄이나 스테인리스 등의 금속 기관(금속 필름)을 사용하여도 좋다. 예를 들어 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름 사이에 개재한 구조의 시트를 사용할 수도 있다.
- [0272] 본 실시형태에서는 절연막(4020)으로서 산화 알루미늄막을 사용한다. 절연막(4020)은 스퍼터링법이나 플라즈마 CVD법으로 형성할 수 있다.
- [0273] 산화물 반도체막 위에 절연막(4020)으로서 형성된 산화 알루미늄막은 수소나 수분 등의 불순물 및 산소의 양쪽 모두가 막을 통과하지 않도록 차단 효과(블록 효과)가 높다.
- [0274] 따라서, 산화 알루미늄막은 제작 공정 도중 및 제작 후에서 변동 요인이 되는 수소나 물 등의 불순물의 산화물 반도체막으로 혼입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.
- [0275] 또한, 평탄화 절연막으로서 기능하는 절연막(4021) 및 절연막(506)은 아크릴, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 복수의 절연막을 적층하여 절연막을 형성하여도 좋다.
- [0276] 절연막(4021) 및 절연막(506)의 형성법은 특별히 한정되지 않으며, 그 재료에 따라 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 도출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용할 수 있다.
- [0277] 표시 장치는 광원 또는 표시 소자로부터의 빛을 투과시켜 표시한다. 따라서, 빛이 투과하는 화소부에 형성되는 기관, 절연막, 및 도전막 등의 박막은 모두 가시광의 파장 영역의 빛에 대하여 투광성을 갖는 것으로 한다.
- [0278] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)은 추출하는 빛의 방향, 전극층이 형성되는 위치, 및 전극층의 패턴 구조에 따라 투광성을 가질 수도 있고 반사성을 가질 수도 있다.

- [0279] 제 1 전극층(4030), 제 1 전극층(541), 제 2 전극층(4031), 제 2 전극층(543)은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 기재함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물, 그래핀 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0280] 또한, 제 1 전극층(4030), 제 1 전극층(541), 제 2 전극층(4031), 제 2 전극층(543)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), hafnium(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물 중에서 하나 또는 복수 종류를 사용하여 형성할 수 있다.
- [0281] 본 실시형태에서는 도 10(A) 및 도 10(B)에 도시된 발광 장치는 하면 사출형이기 때문에 제 1 전극층(541)은 투광성을 갖고, 제 2 전극층(543)은 반사성을 갖는다. 따라서, 제 1 전극층(541)에 금속막을 사용하는 경우에는, 투광성을 유지할 수 있을 정도로 막 두께를 얇게 하고, 제 2 전극층(543)에 투광성을 갖는 도전막을 사용하는 경우에는 반사성을 갖는 도전막을 투광성을 갖는 도전막에 적층시키면 좋다.
- [0282] 또한, 제 1 전극층(4030), 제 1 전극층(541), 제 2 전극층(4031), 및 제 2 전극층(543)으로서 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는 소위  $\pi$  전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 티오펜 중 2종류 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.
- [0283] 또한, 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에 구동 회로 보호용의 보호 회로를 형성하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0284] 상술한 바와 같이 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 적용함으로써 다양한 기능을 갖는 반도체 장치를 제공할 수 있다.
- [0285] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0286] (실시형태 4)
- [0287] 실시형태 1 또는 실시형태 2에 기재된 트랜지스터를 사용하여 대상물의 정보를 관독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.
- [0288] 도 12(A)는 이미지 센서 기능을 갖는 반도체 장치의 일례를 도시한 것이다. 도 12(A)는 포토센서의 등가 회로를 도시한 것이고, 도 12(B)는 포토센서의 일부를 도시한 단면도이다.
- [0289] 포토 다이오드(602)의 전극 중 하나는 포토 다이오드 리셋 신호선(658)과 전기적으로 접속되어 있고, 전극 중 다른 하나가 트랜지스터(640)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(640)는 소스 또는 드레인 중 하나가 포토 센서 기준 신호선(672)과 전기적으로 접속되어 있고, 소스 또는 드레인 중 다른 하나가 트랜지스터(656)의 소스 또는 드레인 중 하나와 전기적으로 접속되어 있다. 트랜지스터(656)는 게이트가 게이트 신호선(659)과 전기적으로 접속되어 있고, 소스 또는 드레인 중 다른 하나가 포토 센서 출력 신호선(671)과 전기적으로 접속되어 있다.
- [0290] 또한, 본 명세서의 회로도에서 산화물 반도체막을 사용한 트랜지스터인 것을 명확하게 판별할 수 있도록 산화물 반도체막을 사용한 트랜지스터의 기호에는 "OS"라고 기재하였다. 도 12(A)에서 트랜지스터(640) 및 트랜지스터(656)에는 실시형태 1 또는 실시형태 2에 기재된 산화물 반도체막을 사용한 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 기재한다. 트랜지스터(640)는 산화물 반도체막 위에 채널 보호막으로서 기능하는 절연층이 형성된 보텀 게이트 구조의 역 스택형 트랜지스터다.
- [0291] 도 12(B)는 포토센서의 포토 다이오드(602) 및 트랜지스터(640)의 단면도이며, 절연 표면을 갖는 기판(601)(TFT 기판) 위에 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토 다이오드(602), 트랜지스터(640) 위에는 접촉층(608)을 사용하여 기판(613)이 제공되어 있다.
- [0292] 트랜지스터(640) 위에는 절연막(631), 층간 절연막(633), 및 층간 절연막(634)이 제공되어 있다. 포토 다이오드(602)는 층간 절연막(633) 위에 제공되어 있고, 층간 절연막(633) 위에 형성된 전극층(641a) 및 전극층(641

b)과, 층간 절연막(634) 위에 제공된 전극층(642) 사이에 층간 절연막(633) 측에서 순차적으로 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)이 적층된 구조를 갖는다.

- [0293] 전극층(641b)은 층간 절연막(634)에 형성된 도전층(643)과 전기적으로 접속되어 있고, 전극층(642)은 전극층(641a)을 통하여 도전층(645)과 전기적으로 접속되어 있다. 도전층(645)은 트랜지스터(640)의 게이트 전극층과 전기적으로 접속되어 있고, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속되어 있다.
- [0294] 여기서는, 제 1 반도체막(606a)으로서 p형 도전형을 갖는 반도체막, 제 2 반도체막(606b)으로서 고저항의 반도체막(i형 반도체막), 및 제 3 반도체막(606c)으로서 n형 도전형을 갖는 반도체막이 적층된 pin형 포토 다이오드를 예시한다.
- [0295] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성할 수 있다. 제 1 반도체막(606a)은 13족의 불순물 원소(예를 들어 붕소(B))를 함유한 반도체 재료 가스를 사용하여 플라즈마 CVD법에 의하여 형성된다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용하면 좋다. 또는,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않은 비정질 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 사용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 함으로써 불순물 원소를 확산시키면 좋다. 이 경우에는, 비정질 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 사용하면 좋다. 제 1 반도체막(606a)의 막 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.
- [0296] 제 2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 비정질 실리콘막으로 형성한다. 제 2 반도체막(606b)은 반도체 재료 가스를 사용하여 비정질 실리콘막을 플라즈마 CVD법에 의하여 형성된다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용하면 좋다. 또는,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용하여도 좋다. 제 2 반도체막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의하여 형성하여도 좋다. 제 2 반도체막(606b)의 막 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.
- [0297] 제 3 반도체막(606c)은 n형 반도체막이며, n형을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성한다. 제 3 반도체막(606c)은 15족의 불순물 원소(예를 들어 인(P))를 함유한 반도체 재료 가스를 사용하여 플라즈마 CVD법에 의하여 형성된다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용하면 좋다. 또는,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않은 비정질 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 사용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 함으로써 불순물 원소를 확산시키면 좋다. 이 경우에는, 비정질 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 사용하면 좋다. 제 3 반도체막(606c)의 막 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.
- [0298] 또한, 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 비정질 반도체가 아니라 다결정 반도체를 사용하여 형성하여도 좋고, 미결정 반도체(세미 비정질 반도체(Semi Amorphous Semiconductor: SAS))를 사용하여 형성하여도 좋다.
- [0299] 또한, 광전 효과에 의하여 발생한 정공의 이동도는 전자의 이동도보다 작기 때문에 pin형 포토 다이오드는 p형 반도체막 측을 수광면으로 하면 더 좋은 특성을 나타낸다. 여기서는, pin형 포토 다이오드가 형성된 기판(601)면으로부터 포토 다이오드(602)가 받은 빛을 전기 신호로 변환하는 예를 나타낸다. 또한, 수광면으로 한 반도체막 측과 반대의 도전형을 갖는 반도체막 측으로부터의 빛은 외란광이 되기 때문에 전극층은 차광성을 갖는 도전막을 사용하여 형성하면 좋다. 또한, n형 반도체막 측을 수광면으로서 사용할 수도 있다.
- [0300] 절연막(631), 층간 절연막(633), 층간 절연막(634)의 형성에는 절연성 재료를 사용할 수 있고, 그 재료에 따라 스퍼터링법, 플라즈마 CVD법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등을 사용할 수 있다.
- [0301] 절연막(631)은 무기 절연 재료를 사용하여 형성할 수 있고, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 및 산화 질화 알루미늄층 등의 산화물 절연막, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 및 질화 산화 알루미늄층 등의 질화물 절연막의 단층 또는 적층을 사용할 수 있다.
- [0302] 본 실시형태에서는 절연막(631)으로서 산화 알루미늄막을 사용한다. 절연막(631)은 스퍼터링법이나 플라즈마 CVD법으로 형성할 수 있다.

- [0303] 산화물 반도체막 위에 절연막(631)으로서 제공된 산화 알루미늄막은 수소나 수분 등의 불순물 및 산소의 양쪽 모두가 막을 투과하지 않도록 차단하는 효과(블록 효과)가 높다.
- [0304] 따라서, 산화 알루미늄막은 제작 공정 도중 및 제작 후에서 변동 요인이 되는 수소나 수분 등의 불순물이 산화물 반도체막으로 혼입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.
- [0305] 층간 절연막(633) 및 층간 절연막(634)은 표면 요철을 저감시키기 위하여 평탄화 절연막으로서 기능하는 절연막인 것이 바람직하다. 층간 절연막(633) 및 층간 절연막(634)으로서는 예를 들어 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 또한, 상기 유기 절연 재료 외 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등의 단층 또는 적층을 사용할 수 있다.
- [0306] 포토 다이오드(602)에 입사되는 빛(622)을 검출함으로써 피검출물의 정보를 판독할 수 있다. 또한, 피검출물의 정보를 판독할 때 백 라이트 등의 광원을 사용할 수 있다.
- [0307] 실시형태 1에 기재된 트랜지스터(440)와 같은 구조 및 제작 방법으로 얻어지는 트랜지스터(640)는 할로젠 플라즈마를 사용한 에칭 공정에 의하여 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 표면 근방에서 에칭 가스에 함유된 불순물을 제거하는 처리를 한다. 또한, 할로젠 플라즈마를 사용한 에칭 공정에 의하여 채널 보호막으로서 기능하는 절연층을 형성한 후에 불순물 제거 처리를 하여도 좋다. 불순물 제거 처리는 예를 들어 희석된 불산을 사용한 처리 또는 산소나 일산화 이질소를 사용한 플라즈마 처리 등을 적합하게 사용할 수 있다.
- [0308] 산화물 반도체막 표면 및 표면 근방이 에칭 가스에 함유된 불순물로 오염되는 것을 방지할 수 있기 때문에 트랜지스터(640)는 산화물 반도체막 표면에서의 할로젠 원소의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수 있다.
- [0309] 따라서, 본 실시형태의 산화물 반도체막을 사용함으로써 안정된 전기 특성을 갖는 트랜지스터(640)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치가 좋은 수율로 제작되어 고생산화를 달성할 수 있다.
- [0310] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0311] (실시형태 5)
- [0312] 본 명세서에 기재된 반도체 장치는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 게임기(파친코(pachinko)기나 슬롯 머신 등), 게임기의 하우징을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 13(A) 내지 도 13(C)에 도시하였다.
- [0313] 도 13(A)는 표시부를 갖는 테이블(9000)을 도시한 것이다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 내장되어 있고, 표시부(9003)에 영상을 표시할 수 있다. 또한, 4개의 다리부(9002)에 의하여 하우징(9001)이 지지된 구성을 도시하였다. 또한, 전력을 공급하기 위한 전원 코드(9005)를 하우징(9001)에 갖는다.
- [0314] 실시형태 1 내지 실시형태 4에 기재된 어느 반도체 장치를 표시부(9003)에 사용할 수 있고, 전자 기기에 높은 신뢰성을 부여할 수 있다.
- [0315] 표시부(9003)는 터치 입력 기능을 갖고, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써 화면을 조작하거나 정보를 입력할 수 있고, 또한, 다른 가전 제품과 통신하거나 또는 다른 가전 제품을 제어할 수 있게 함으로써 화면을 조작함으로써 다른 가전 제품을 제어하는 제어 장치로 하여도 좋다. 예를 들어 실시형태 4에 기재된 이미지 센서 기능을 갖는 반도체 장치를 사용하면, 표시부(9003)에 터치 입력 기능을 가지게 할 수 있다.
- [0316] 또한, 하우징(9001)에 형성된 힌지에 의하여 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있어 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서 큰 화면의 텔레비전 장치를 설치하면 자유 공간이

좁아지지만, 테이블에 표시부가 내장되어 있으면 방의 공간을 유효하게 이용할 수 있다.

- [0317] 도 13(B)는 텔레비전 장치(9100)를 도시한 것이다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 내장되어 있고, 표시부(9103)에 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9105)에 의하여 하우징(9101)이 지지된 구성을 도시하였다.
- [0318] 텔레비전 장치(9100)는 하우징(9101)이 구비한 조작 스위치나 별체의 리모트 컨트롤 조작기(9110)에 의하여 조작할 수 있다. 리모트 컨트롤 조작기(9110)가 구비한 조작 키(9109)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤 조작기(9110)에 상기 리모트 컨트롤 조작기(9110)로부터 출력되는 정보를 표시하는 표시부(9107)를 설치하는 구성으로 하여도 좋다.
- [0319] 도 13(B)에 도시된 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비한다. 텔레비전 장치(9100)는 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자간끼리 등)의 정보 통신을 할 수도 있다.
- [0320] 실시형태 1 내지 실시형태 4에 기재된 어느 반도체 장치를 표시부(9103) 및 표시부(9107)에 사용할 수 있어 텔레비전 장치 및 리모컨 조작기에 높은 신뢰성을 부여할 수 있다.
- [0321] 도 13(C)는 컴퓨터이며, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 및 포인팅 디바이스(9206) 등을 포함한다.
- [0322] 실시형태 1 내지 실시형태 4에 기재된 어느 반도체 장치를 표시부(9203)에 사용할 수 있어 컴퓨터에 높은 신뢰성을 부여할 수 있다.
- [0323] 도 14(A) 및 도 14(B)는 폴더형 태블릿 단말이다. 도 14(A)는 태블릿 단말이 펼쳐진 상태이며, 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 후크(9033), 및 조작 스위치(9038)를 갖는다.
- [0324] 실시형태 1 내지 실시형태 4에 기재된 어느 반도체 장치를 표시부(9631a) 및 표시부(9631b)에 사용할 수 있어 신뢰성이 높은 태블릿 단말로 할 수 있다.
- [0325] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작 키(9638)를 터치함으로써 데이터를 입력할 수 있다. 또한, 표시부(9631a)에서는 일례로서 절반의 영역을 표시 기능만을 갖는 구성으로 하고, 나머지 절반의 영역을 터치 패널의 기능을 갖는 구성으로 하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역을 터치 패널의 기능을 갖는 구성으로 하여도 좋다. 예를 들어 표시부(9631a)의 전체 면에 키보드 버튼을 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0326] 또한, 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0327] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)으로의 터치 입력을 동시에 할 수도 있다.
- [0328] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시 방향을 전환하며, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿 단말에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 최적의 표시 휘도로 할 수 있다. 태블릿 단말은 광 센서뿐만 아니라 자이로스코프나 가속도 센서 등 기울기를 검출하는 센서 등 다른 검출 장치를 내장하여도 좋다.
- [0329] 또한, 도 14(A)에서는 표시부(9631a)와 표시부(9631b)의 표시 면적이 같은 예를 도시하였지만 이 구성에 특별히 한정되지 않고, 한쪽 표시부의 크기와 다른 쪽 표시부의 크기가 달라도 좋고 표시 품질이 달라도 좋다. 예를 들어 한쪽 표시부를 다른 쪽 표시부보다 고정세(高精細)한 표시를 할 수 있는 표시 패널로 하여도 좋다.
- [0330] 도 14(B)는 태블릿 단말이 닫혀진 상태이며, 하우징(9630), 태양 전지(9633), 충전 제어 회로(9634), 배터리(9635), 및 DCDC 컨버터(9636)를 갖는다. 또한, 도 14(B)에는 충전 제어 회로(9634)의 일례로서 배터리(9635) 및 DCDC 컨버터(9636)를 갖는 구성을 도시하였다.
- [0331] 또한, 태블릿 단말은 접을 수 있기 때문에 사용하지 않을 때는 하우징(9630)을 닫혀진 상태로 할 수 있다. 따라서, 표시부(9631a) 및 표시부(9631b)를 보호할 수 있기 때문에 내구성이 우수하며 장기 사용의 관점에서 봐도

신뢰성이 우수한 태블릿 단말을 제공할 수 있다.

- [0332] 또한, 도 14(A) 및 도 14(B)에 도시된 태블릿 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작하거나 편집하는 터치 입력 기능, 각종 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.
- [0333] 태블릿 단말의 표면에 장착된 태양 전지(9633)에 의하여 터치 패널, 표시부, 또는 영상 신호 처리부 등에 전력을 공급할 수 있다. 또한, 태양 전지(9633)를 하우스(9630)의 한쪽 면 또는 양쪽 면에 설치할 수 있고, 배터리(9635)를 효율적으로 충전할 수 있는 구성으로 할 수 있다. 또한, 배터리(9635)로서 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 장점이 있다.
- [0334] 또한, 도 14(B)에 도시한 충전제어 회로(9634)의 구성 및 동작에 대하여 도 14(C)의 블록도를 사용하여 설명한다. 도 14(C)는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 및 표시부(9631)를 도시한 것이며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)는 도 14(B)에 도시된 충전제어 회로(9634)에 대응한다.
- [0335] 우선, 외광을 이용하여 태양 전지(9633)로 발전되는 경우의 동작 예에 대하여 설명한다. 태양 전지(9633)로 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에 의하여 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치(SW1)를 온 상태로 하여 컨버터(9637)에 의하여 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에 표시하지 않을 때는 스위치(SW1)를 오프 상태로 하고 스위치(SW2)를 온 상태로 함으로써 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0336] 또한, 태양 전지(9633)는 발전 수단의 일례로서 도시하였지만, 특별히 한정되지 않고 압전 소자(피에조 소자)나 열전 변환 소자(펠티어 소자) 등의 다른 발전 수단에 의하여 배터리(9635)를 충전하는 구성이라도 좋다. 예를 들어 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나 다른 충전 수단을 조합하여 충전하는 구성으로 하여도 좋다.
- [0337] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0338] (실시에 1)
- [0339] 본 실시예에서는 산화물 반도체막 위에 접촉되도록 금속막을 형성하고, 그 후의 금속막 제거를 위한 드라이 에칭시에 생긴 불순물을 제거하는 불순물 제거 처리의 유무와 저항률의 관계를 측정하기 위하여 이하의 실험을 실시하였다.
- [0340] 우선, 비교예의 샘플로서 스퍼터링법을 사용한 성막 장치를 사용하여 유리 기판 위에 막 두께가 95nm인 IGZO막을 형성하고 저항률을 측정하였다. 측정 결과는  $4.8 \times 10^9 \Omega \cdot \text{cm}$ 이었다. IGZO막의 저항률은 상면 형상이 사형형상인 전극(막 두께가 100nm인 티타늄막, 막 두께가 400nm인 알루미늄막, 및 막 두께가 100nm인 티타늄막의 적층)을 형성하고, 전압-전류의 2단자 측정에 의하여 저항을 산출하였다.
- [0341] IGZO막의 성막 조건으로서 원자수비가 In:Ga:Zn=1:1:1인 산화물 타깃을 사용하고, 분위기를 산소 및 아르곤 분위기(산소 유량비 50%)로 하고, 압력을 0.6Pa로 하고, AC 전원 전력을 5kW로 하고, 기판 온도를 170°C로 하였다.
- [0342] 스퍼터링법을 사용한 성막 장치는 진공 펌프 등 진공 배기 수단(크라이오 펌프, 터보 분자 펌프 등)에 의하여 감압할 수 있는 스퍼터링 챔버와, 피처리 기판을 고정하는 기판 홀더와, 스퍼터링 타깃을 유지하는 타깃 홀더와, 타깃 홀더에 유지된 스퍼터링 타깃에 대응하는 전극과, 스퍼터링용 AC전압(또는 DC 전압)을 그 전극에 인가하는 전력 공급 수단과, 스퍼터링 챔버 내에 가스를 공급하는 가스 공급 수단을 갖는다. 또한, 샘플을 제작할 때는 불순물이 가능한 한 혼입되지 않도록 스퍼터링 챔버 내를 고진공으로 하고, 수분에 대해서는 노점 -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소 분위기로 하여 성막한다.
- [0343] 또한, 샘플 1로서 유리 기판 위에 막 두께가 95nm인 IGZO막을 형성하고 제 1 드라이 에칭 조건으로 180초 동안 에칭한 후 순수에 담금으로써 전극을 형성하고, 저항률을 측정하였다. 샘플 1의 결과는  $130 \Omega \cdot \text{cm}$ 이었다. 또한, 샘플 2로서 제 1 드라이 에칭 조건 후 희석된 불산(1/100으로 희석된 불산)에 30초 동안 담금으로써 전극을 형성하고, 저항률을 측정하였다. 샘플 2의 결과는  $3.9 \times 10^9 \Omega \cdot \text{cm}$ 이었다.

- [0344] 상기 결과에 의거하여, 할로겐 원소를 함유한 가스를 사용한 드라이 에칭에 의하여 불순물이 부착 또는 혼입됨으로써 IGZO막의 저항률이 저하되고, 회석된 불산을 사용한 표면 처리를 함으로써 불순물이 제거되어 IGZO막이 드라이 에칭되기 전의 상태에 가깝게 된 것을 확인할 수 있다.
- [0345] 또한, 샘플 3으로서 유리 기판 위에 막 두께가 95nm인 IGZO막을 형성하고 제 2 드라이 에칭 조건으로 180초 동안 에칭한 후 순수에 담금으로써 전극을 형성하고, 저항률을 측정하였다. 또한, 샘플 4로서 제 2 드라이 에칭 조건 후 회석된 불산(1/100으로 회석된 불산)에 30초 동안 담금으로써 전극을 형성하고, 저항률을 측정하였다.
- [0346] 또한, 샘플 5로서 유리 기판 위에 막 두께가 95nm인 IGZO막을 형성하고 제 3 드라이 에칭 조건으로 180초 동안 에칭한 후 순수에 담금으로써 전극을 형성하고, 저항률을 측정하였다. 또한, 샘플 6으로서 제 3 드라이 에칭 조건 후 회석된 불산(1/100으로 회석된 불산)에 30초 동안 담금으로써 전극을 형성하고, 저항률을 측정하였다.
- [0347] 또한, 샘플 7로서 유리 기판 위에 막 두께가 95nm인 IGZO막을 형성하고 제 4 드라이 에칭 조건으로 180초 동안 에칭한 후 순수에 담금으로써 전극을 형성하고, 저항률을 측정하였다. 또한, 샘플 8로서 제 4 드라이 에칭 조건 후 회석된 불산(1/100으로 회석된 불산)에 30초 동안 담금으로써 전극을 형성하고, 저항률을 측정하였다.
- [0348] 표 1은 제 1 드라이 에칭 조건, 제 2 드라이 에칭 조건, 제 3 드라이 에칭 조건, 및 제 4 드라이 에칭 조건을 기재한 것이다. 또한, 드라이 에칭하는 장치로서 ICP 에칭 장치를 사용하였다.

**표 1**

[0349]	ICP	바이어스	압력	Cl <sub>2</sub>	BCl <sub>3</sub>	SF <sub>6</sub>	O <sub>2</sub>	시간
	(W)	(W)	(Pa)	(sccm)	(sccm)	(sccm)	(sccm)	(sec)
제 1 에칭 조건	2000	200	2.0	-	-	900	100	180
제 2 에칭 조건	2000	1000	2.5	540	-	540	-	
제 3 에칭 조건	0	1500	2.0	150	750	-	-	
제 4 에칭 조건	2000	1000	2.5	-	380	700	-	

- [0350] 또한, 도 16은 저항률을 세로 축으로 하고, 비교예의 저항률과 샘플 1 내지 샘플 8의 저항률을 각각 나타낸 그래프다. 상기 결과에 의거하여 드라이 에칭의 조건에 상관없이 회석된 불산을 사용한 표면 처리를 함으로써 IGZO막을 드라이 에칭 전의 상태에 가깝게 하거나 바람직하게는 드라이 에칭 전과 같은 상태로 할 수 있는 것을 확인할 수 있다.

**부호의 설명**

- [0351] 400: 기판
- 401: 게이트 전극층
- 402: 게이트 절연막
- 403: 산화물 반도체막
- 405a: 소스 전극층
- 405b: 드레인 전극층
- 408: 층간 절연막
- 409: 평탄화 절연막
- 413: 절연층
- 436: 하지 절연막
- 440: 트랜지스터

442: 가스  
443: 절연막  
444: 레지스트 마스크  
445: 도전막  
448a: 레지스트 마스크  
450: 트랜지스터  
460: 트랜지스터  
470: 트랜지스터  
480: 트랜지스터  
490: 트랜지스터  
500: 기판  
502: 게이트 절연막  
503: 절연층  
504: 층간 절연막  
505: 컬러 필터층  
506: 절연막  
507: 격벽  
510: 트랜지스터  
511a: 게이트 전극층  
511b: 게이트 전극층  
512: 산화물 반도체막  
513a: 도전층  
513b: 도전층  
520: 용량 소자  
521a: 도전층  
521b: 도전층  
522: 산화물 반도체막  
523: 도전층  
530: 배선층 교차부  
533: 도전층  
540: 발광 소자  
541: 전극층  
542: 전계 발광층  
543: 전극층  
553: 절연층  
601: 기판

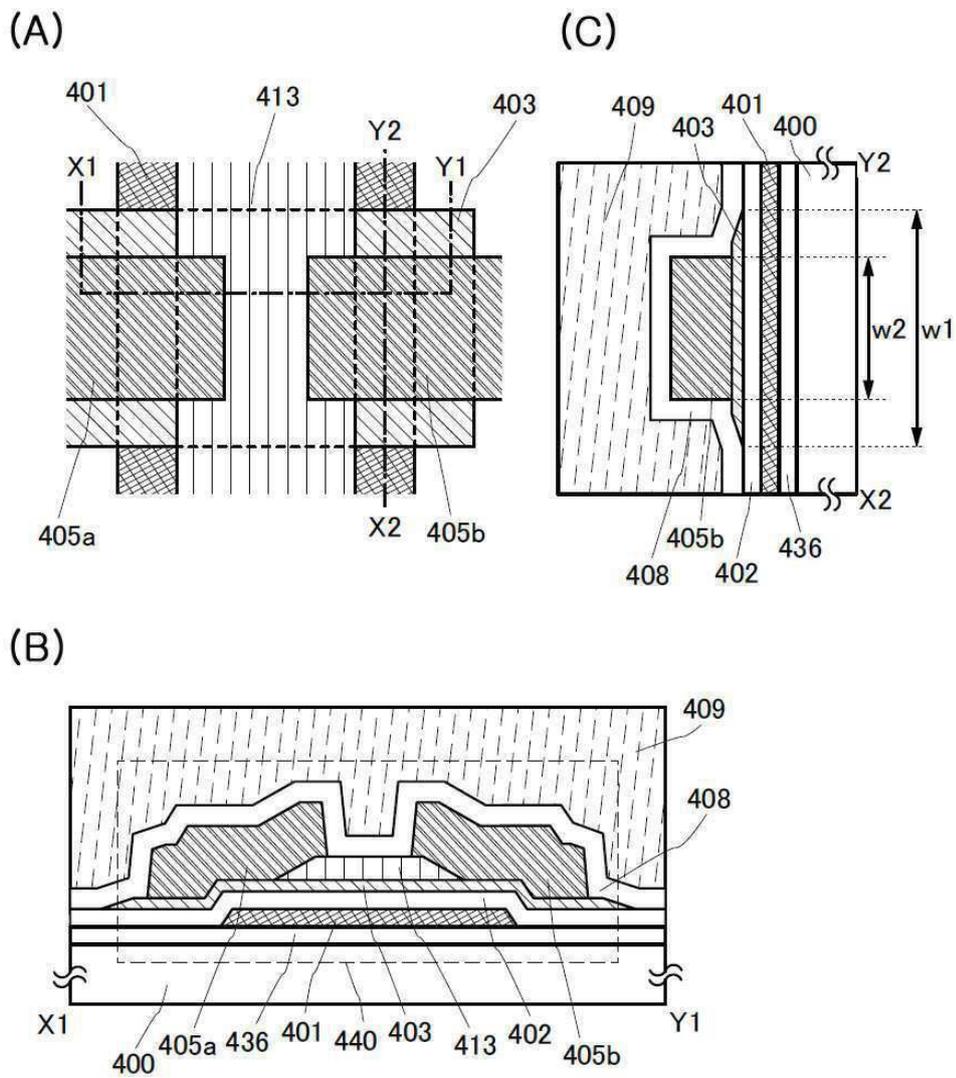
602: 포토다이오드  
606a: 반도체막  
606b: 반도체막  
606c: 반도체막  
608: 접착층  
613: 기판  
631: 절연막  
633: 층간 절연막  
634: 층간 절연막  
640: 트랜지스터  
641a: 전극층  
641b: 전극층  
642: 전극층  
643: 도전층  
645: 도전층  
656: 트랜지스터  
658: 포토다이오드 리셋 신호선  
659: 게이트 신호선  
671: 포토센서 출력 신호선  
672: 포토센서 기준 신호선  
4001: 기판  
4002: 화소부  
4003: 신호선 구동 회로  
4004: 주사선 구동 회로  
4005: 쉘재  
4006: 기판  
4008: 액정층  
4010: 트랜지스터  
4011: 트랜지스터  
4013: 액정 소자  
4015: 접속 단자 전극  
4016: 단자 전극  
4019: 이방성 도전막  
4020: 절연막  
4021: 절연막  
4030: 전극층

4031: 전극층  
4032: 절연막  
4033: 절연막  
4035: 스페이서  
4510: 격벽  
4511: 전계 발광층  
4513: 발광 소자  
4514: 충전재  
9000: 테이블  
9001: 하우징  
9002: 다리부  
9003: 표시부  
9004: 표시 버튼  
9005: 전원 코드  
9033: 후크  
9034: 스위치  
9035: 전원 스위치  
9036: 스위치  
9038: 조작 스위치  
9100: 텔레비전 장치  
9101: 하우징  
9103: 표시부  
9105: 스탠드  
9107: 표시부  
9109: 조작 키  
9110: 리모트 컨트롤 조작기  
9201: 본체  
9202: 하우징  
9203: 표시부  
9204: 키보드  
9205: 외부 접속 포트  
9206: 포인팅 디바이스  
9630: 하우징  
9631: 표시부  
9631a: 표시부  
9631b: 표시부

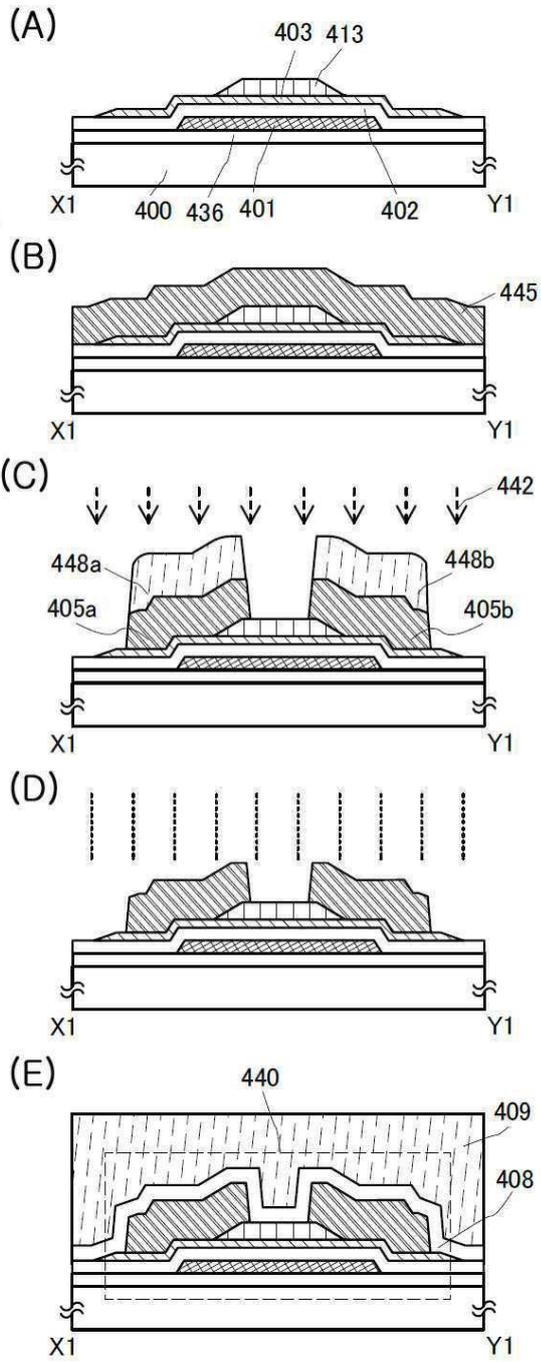
- 9632a: 영역
- 9632b: 영역
- 9633: 태양 전지
- 9634: 충방전 제어 회로
- 9635: 배터리
- 9636: DCDC 컨버터
- 9637: 컨버터
- 9638: 조작 키
- 9639: 버튼

도면

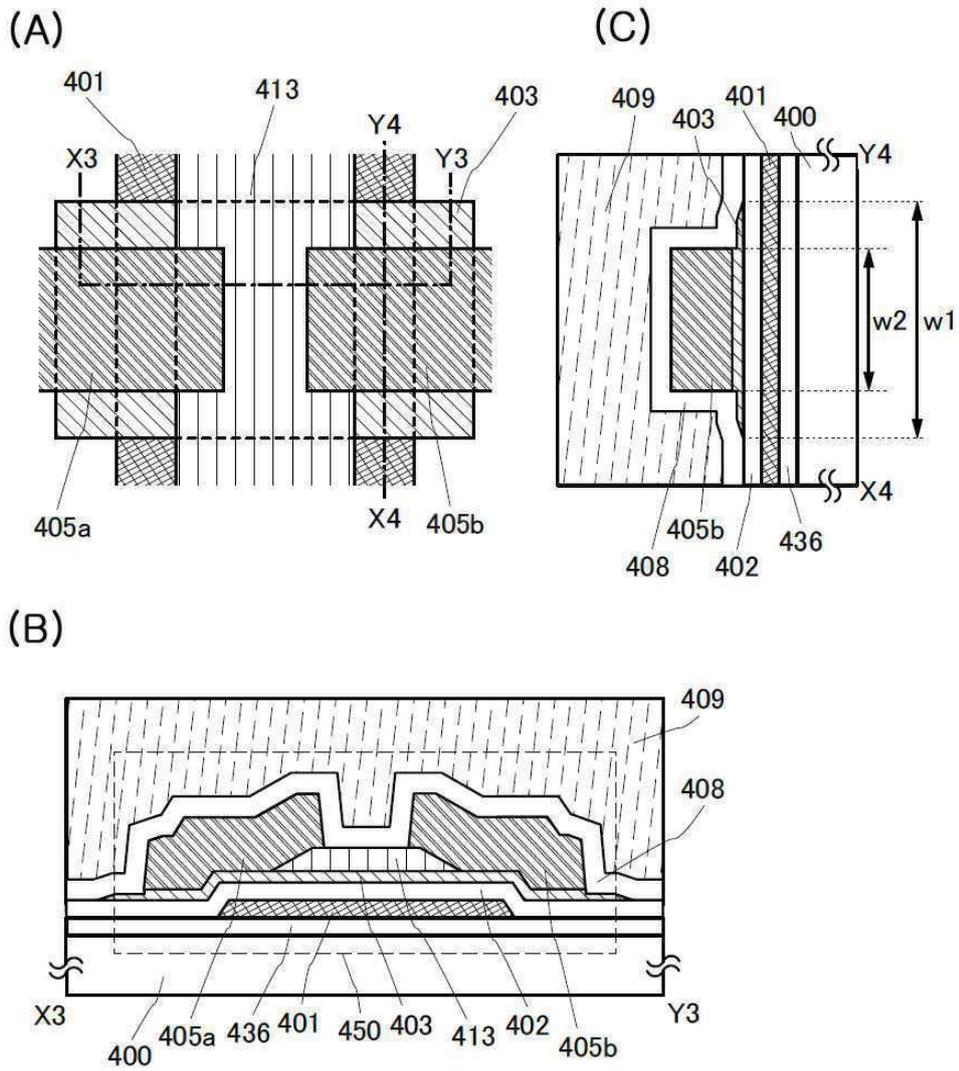
도면1



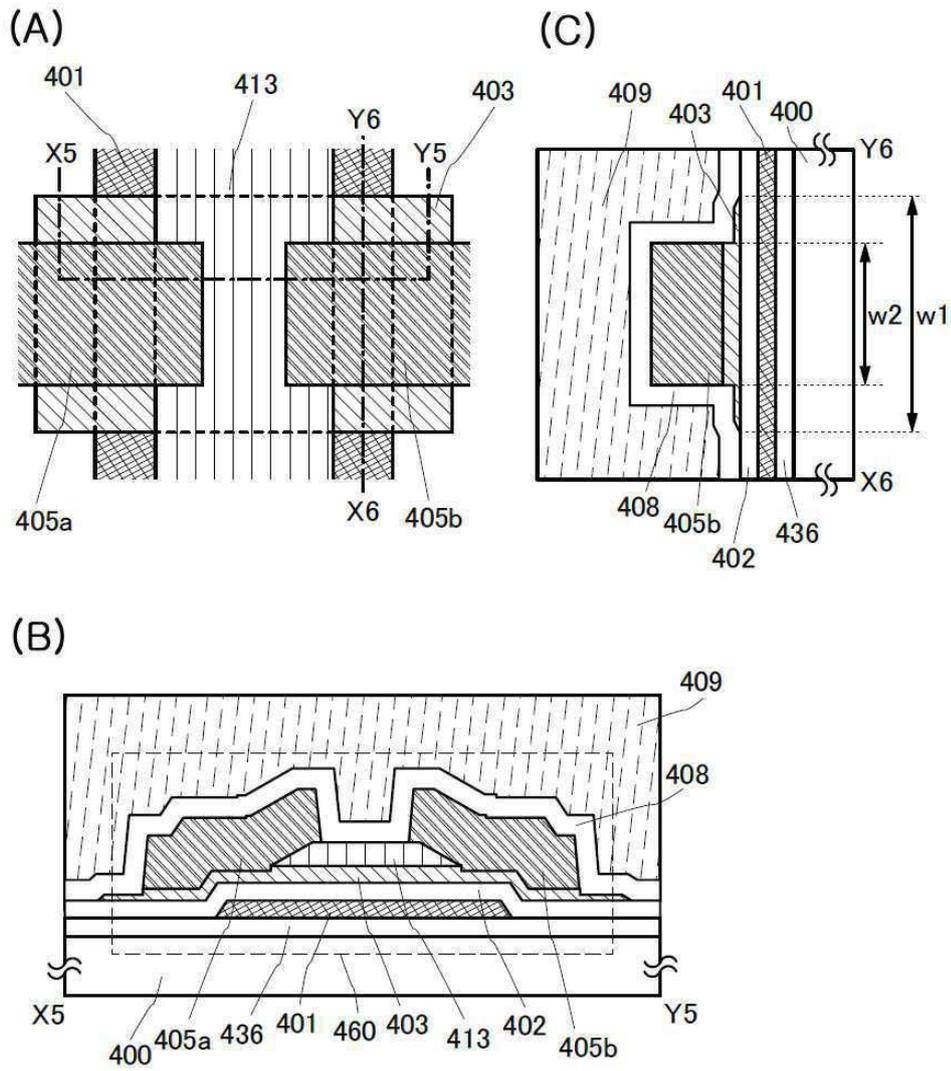
도면2



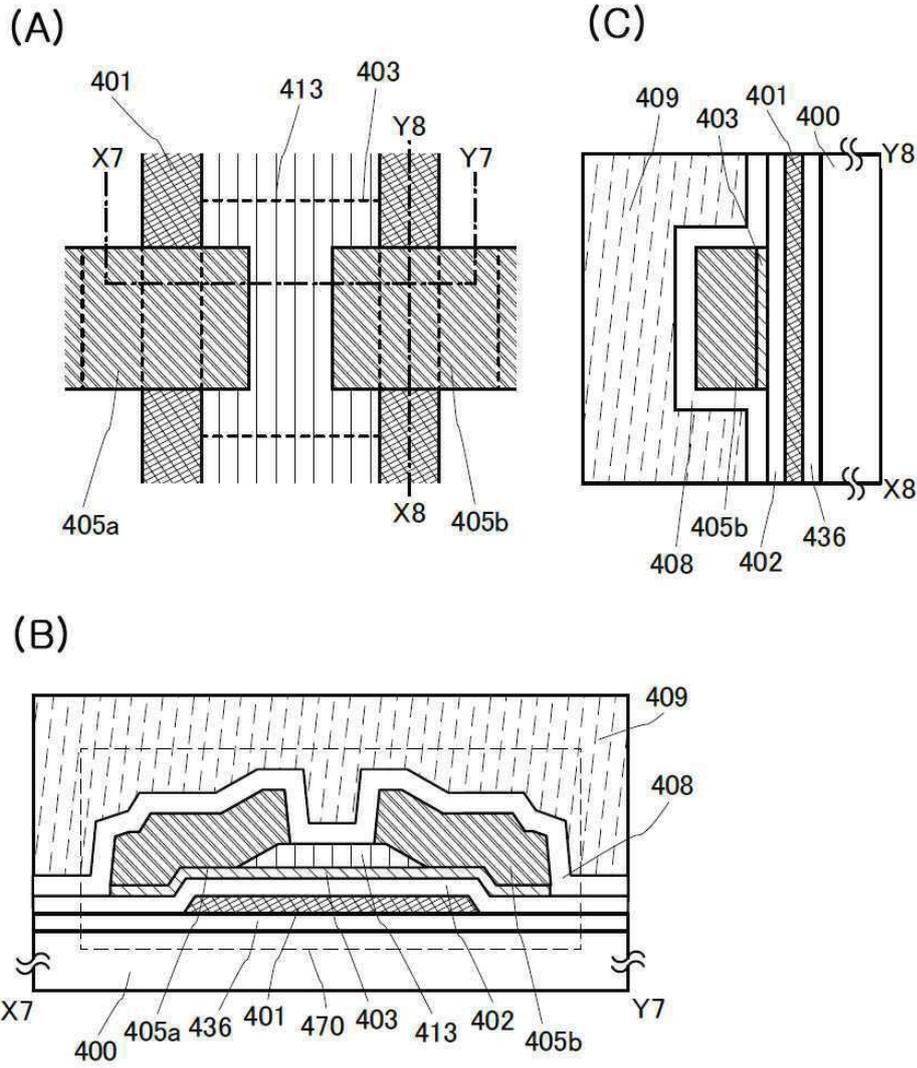
도면3



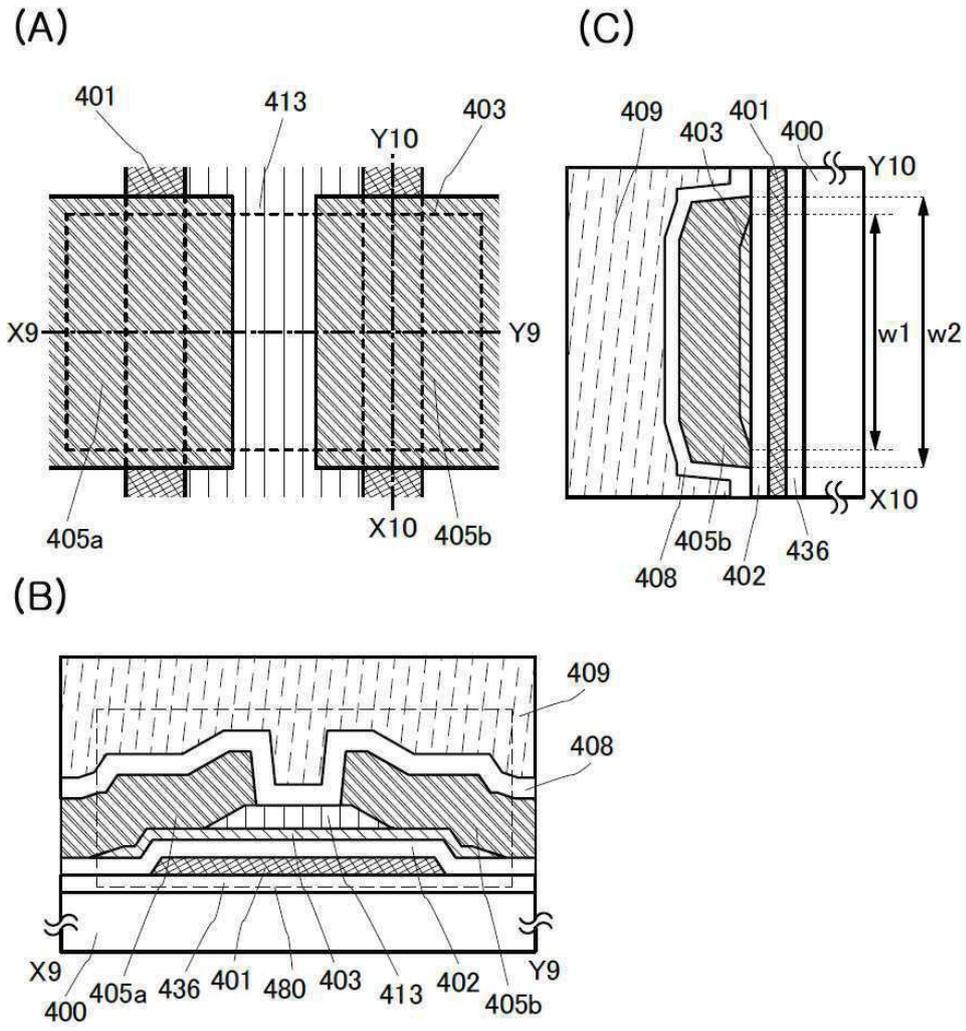
도면4



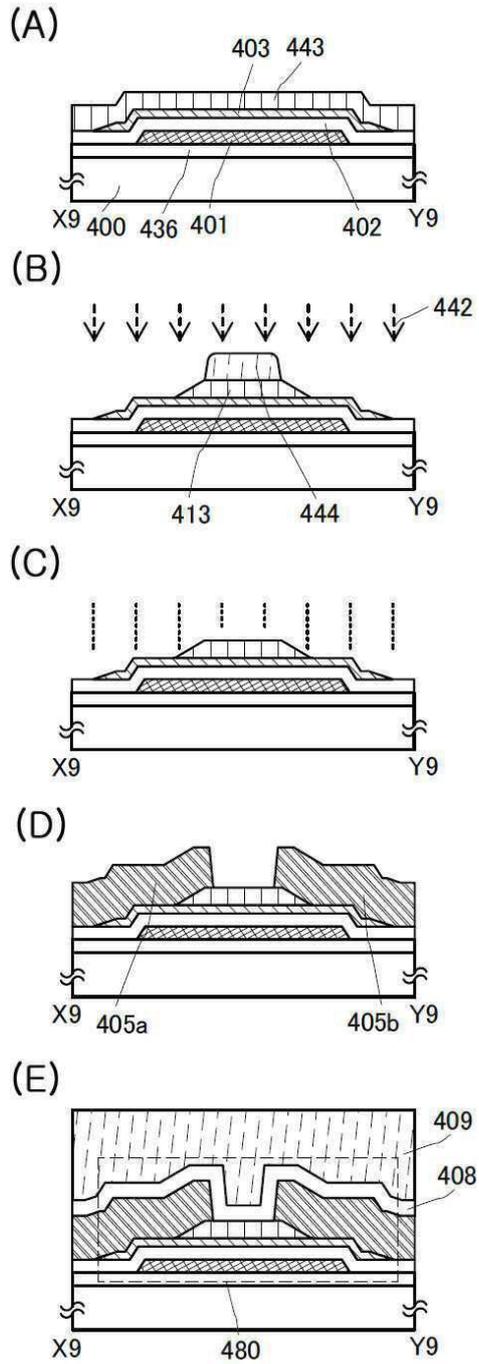
도면5



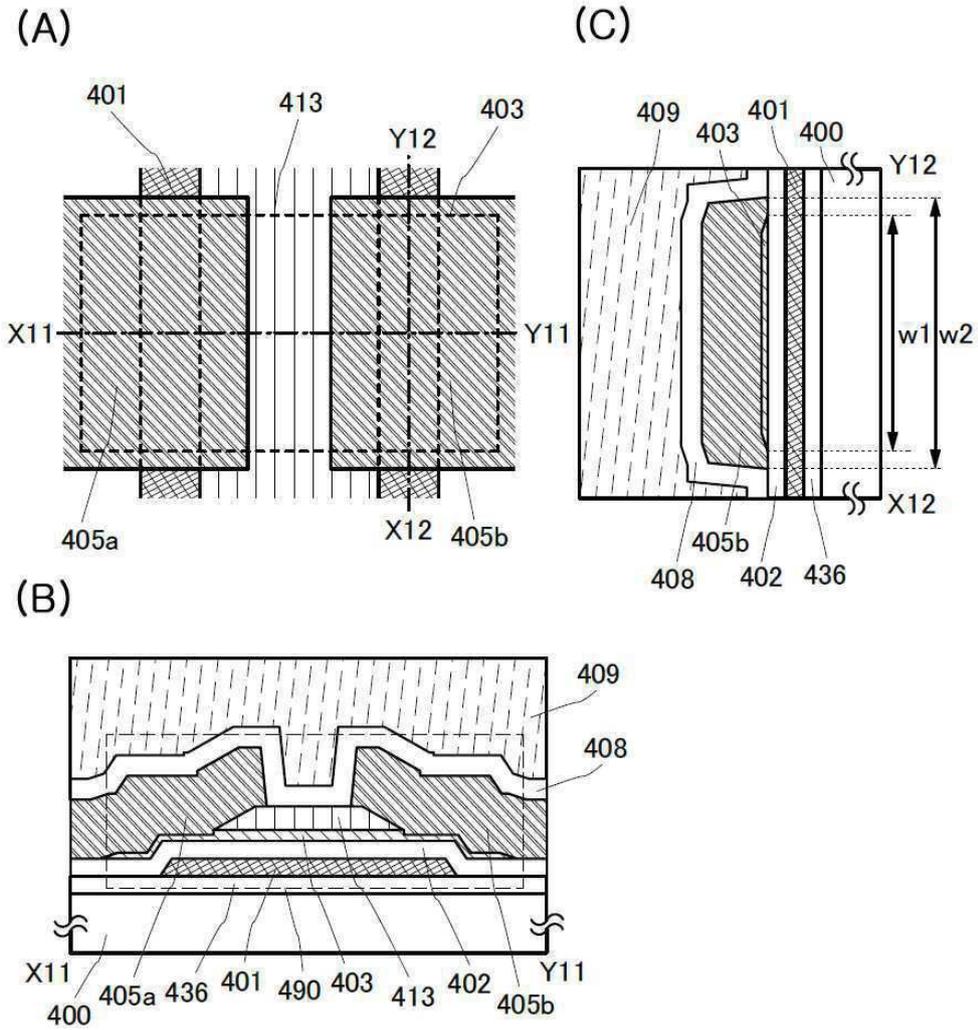
도면6



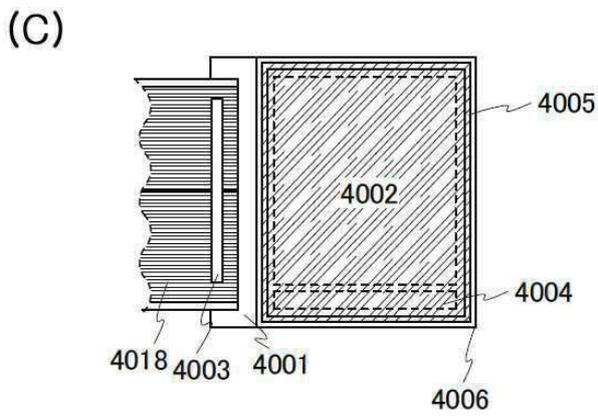
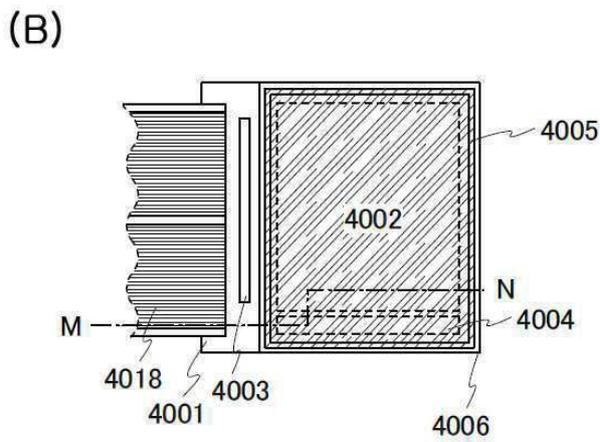
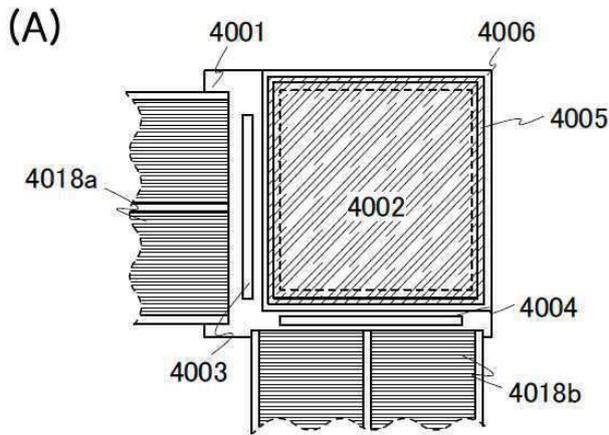
도면7



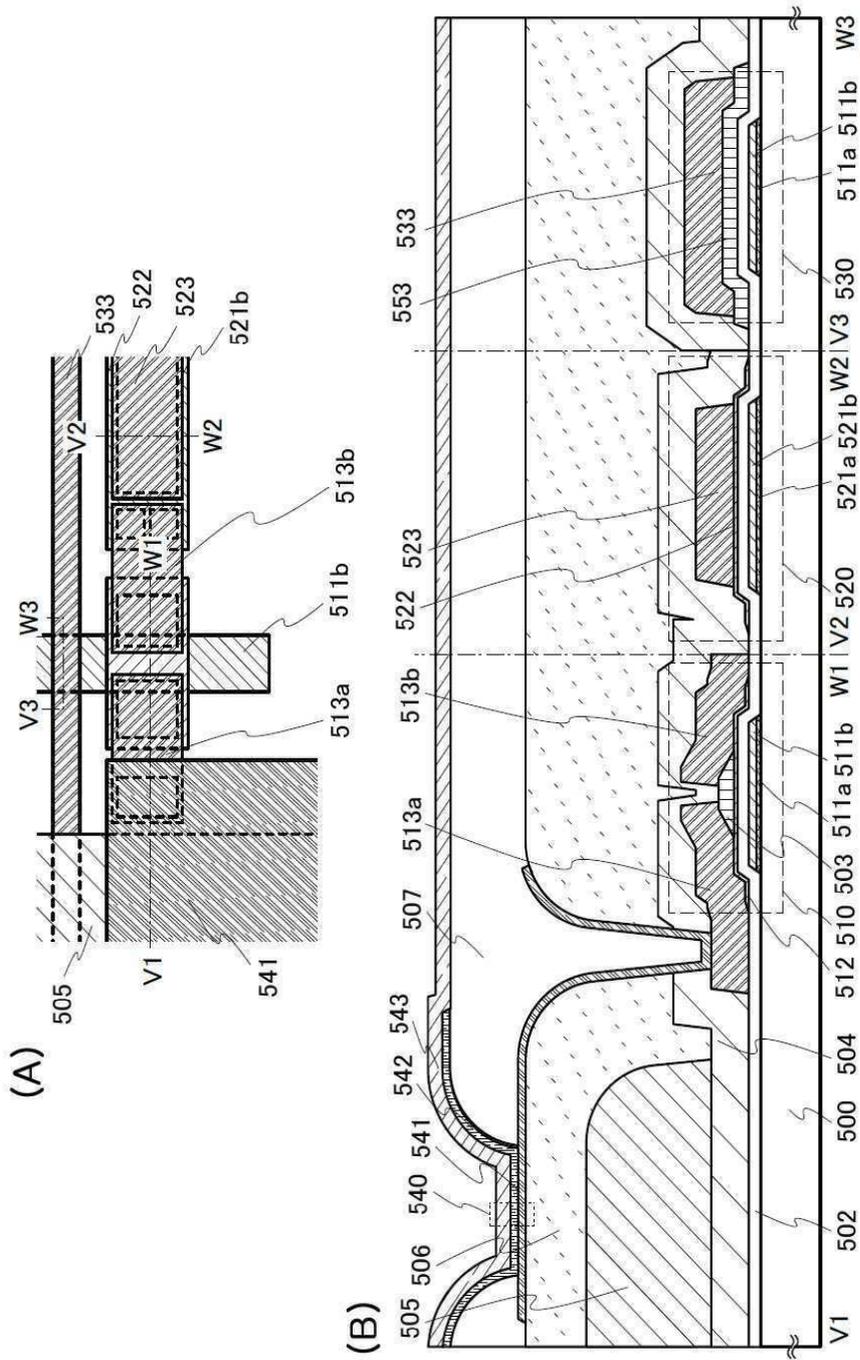
도면8



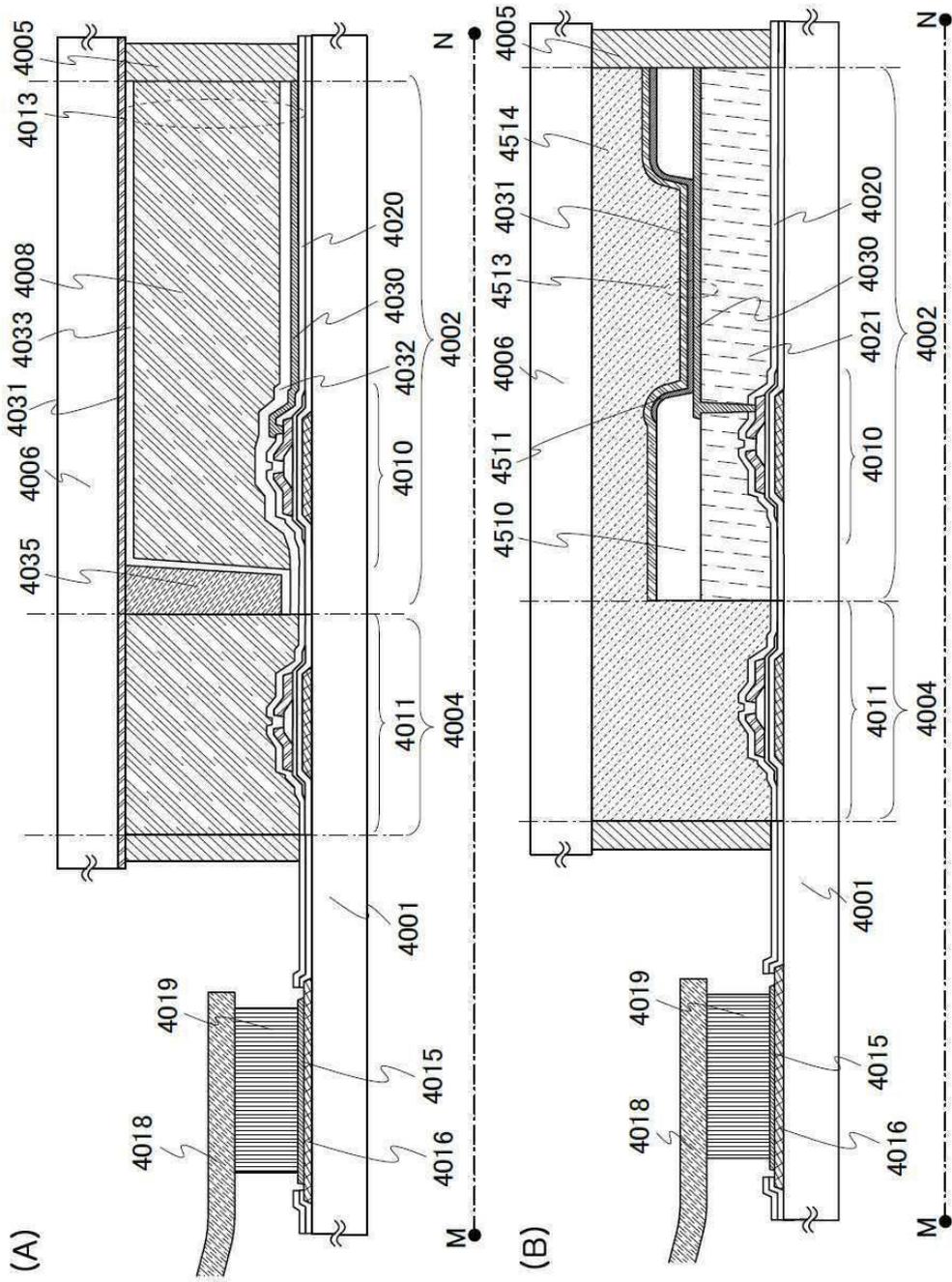
도면9



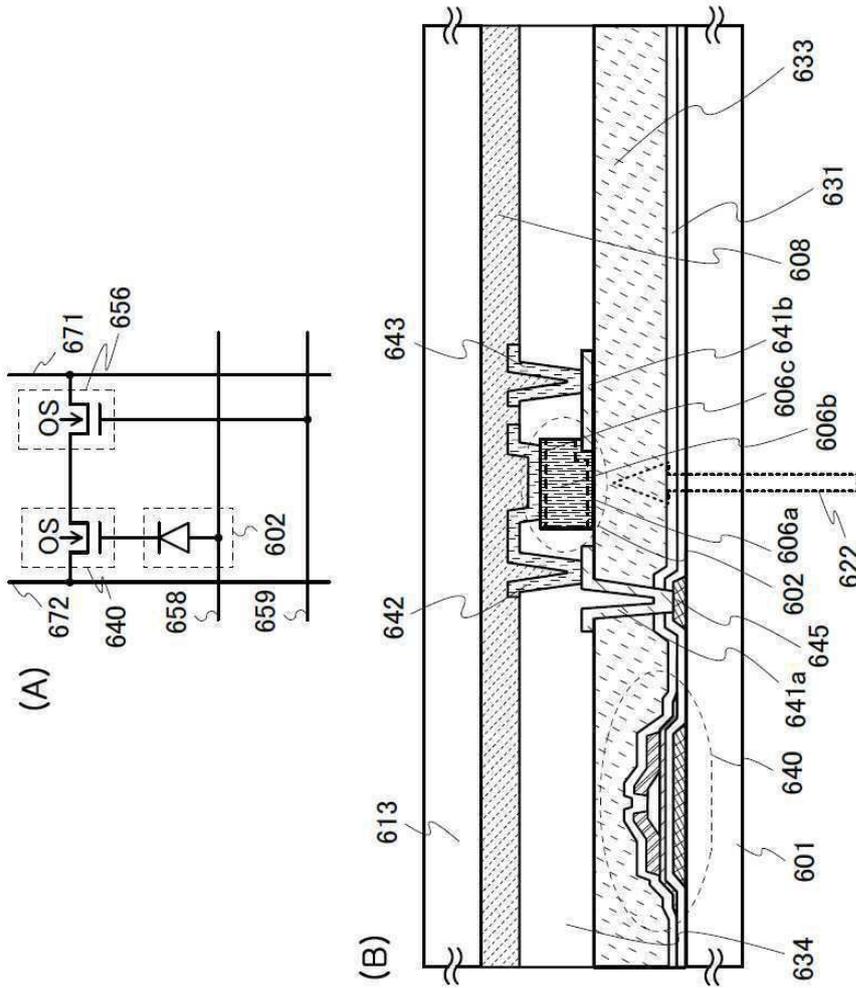
도면10



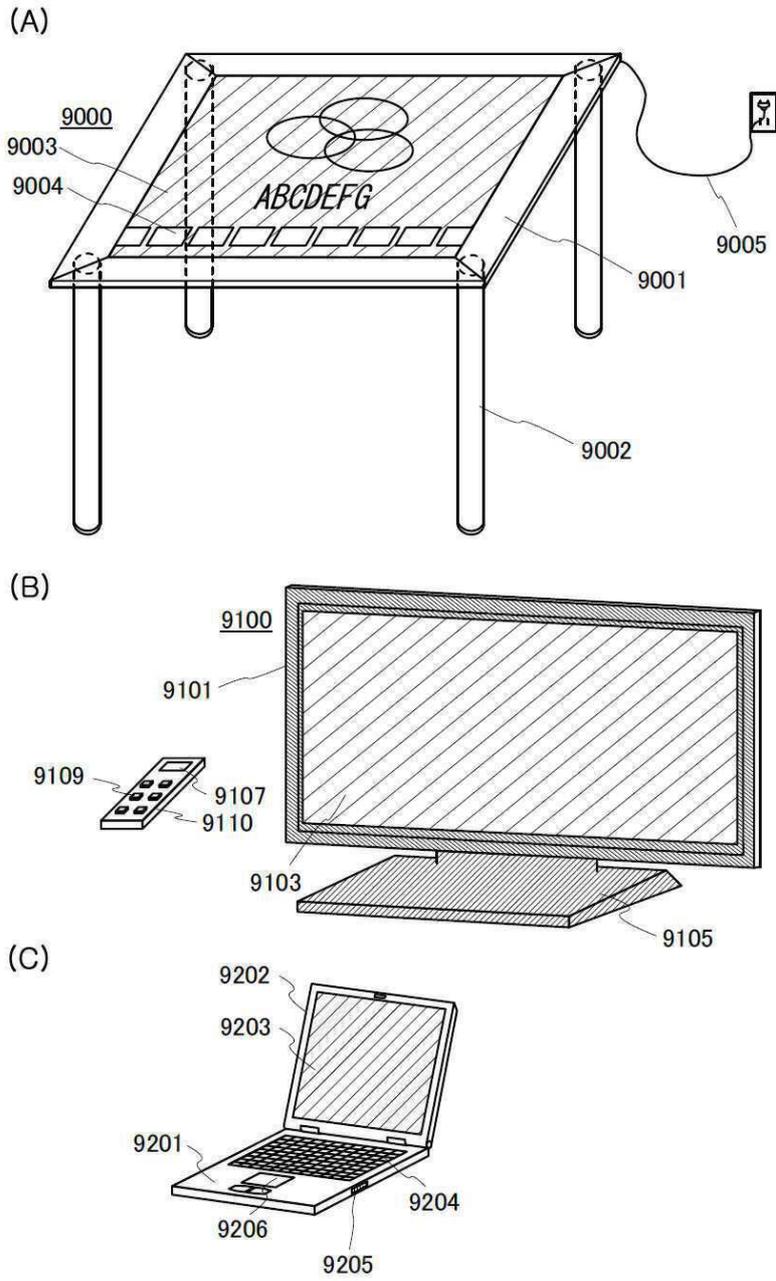
도면11



도면12

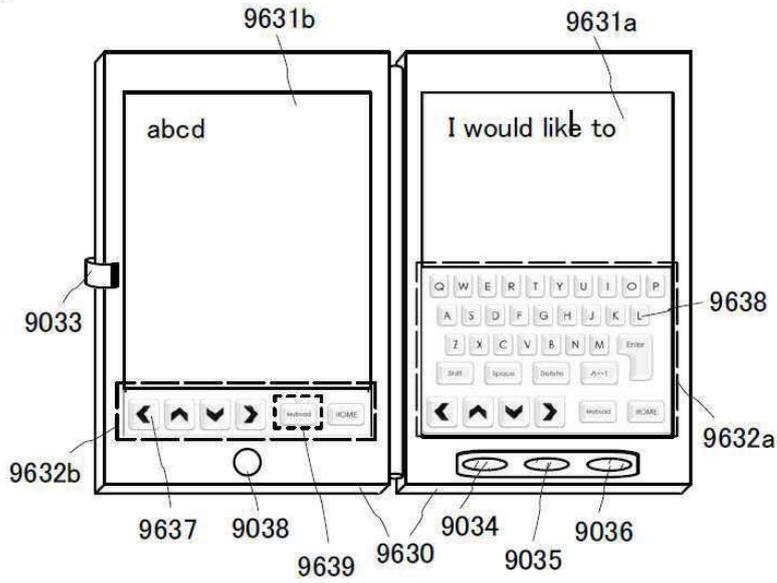


도면13

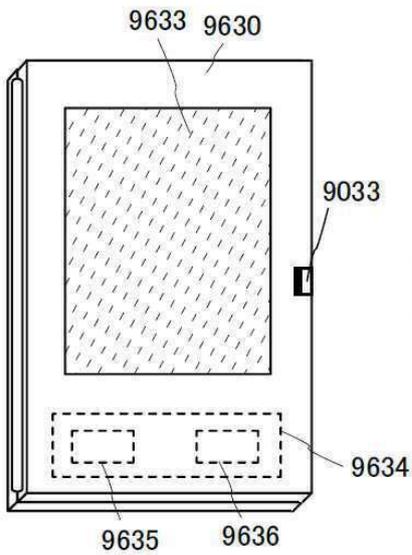


도면14

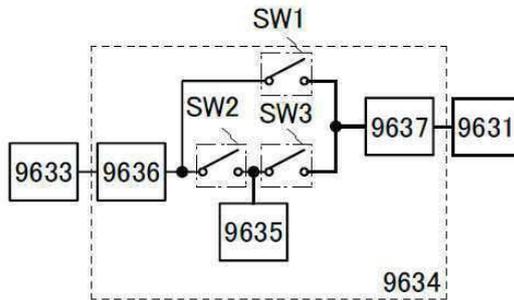
(A)



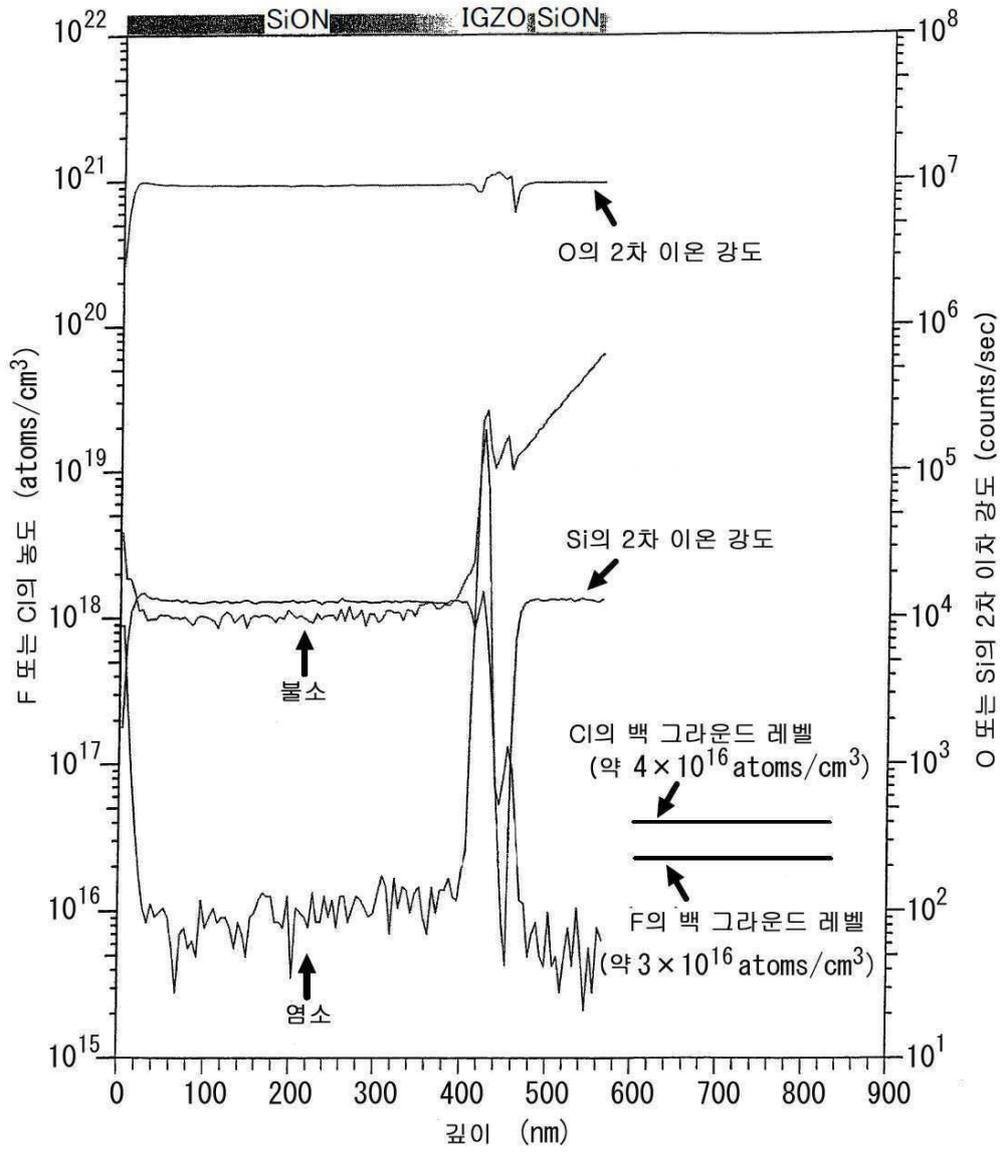
(B)



(C)



도면15



도면16

