

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G06T 1/60

G06F 12/08



# [12] 发明专利说明书

[21] ZL 专利号 98120325.6

[45] 授权公告日 2004 年 2 月 25 日

[11] 授权公告号 CN 1139897C

[22] 申请日 1998.7.30 [21] 申请号 98120325.6

[30] 优先权

[32] 1997. 7.30 [33] JP [31] 204372/1997

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 近藤哲二郎

审查员 韩 岳

[74] 专利代理机构 北京市柳沈律师事务所

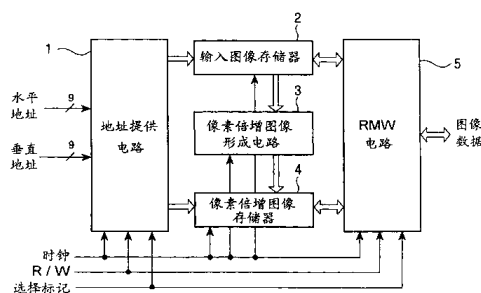
代理人 马 莹

权利要求书 3 页 说明书 22 页 附图 11 页

[54] 发明名称 存储装置和存储方法

[57] 摘要

一种存储输入图像数据的装置和方法，可以立即获得通过放大输入图像而形成的图像。在输入图像存储器 2 中，利用由分别相应于在垂直和水平方向的像素位置的水平和垂直地址指定的地址输入图像被按顺序地存储。在形成其像素数大于输入图像的像素倍增图像所需的输入图像的像素被存储在输入图像存储器中之后，这些像素被读出到像素倍增图像形成电路，并被用于形成像素倍增图像的像素。该像素倍增图像被存储在像素倍增图像存储器中。



ISSN 1008-4274

1. 一种用于存储图像的存储装置，包括：

5 第一存储部分，其具有由第一和第二地址信号在其中指定的地址，用于存储输入图像数据；

形成部分，用于由所述输入图像数据形成像素倍增图像数据，该像素倍增图像数据表示由多个像素形成的像素倍增图像，该多个像素的数量大于形成由所述输入图像像素数据所表示的图像的像素数量；

10 第二存储部分，其具有由同样的第一和第二地址信号指定的地址，用于存储所述像素倍增图像数据；以及

用于选择性地~~进行~~读取和输出的电路，该电路从所述存储装置选择性地读取并输出存储在所述第一存储部分中的所述输入图像数据或存储在所述第二存储部分中的倍增像素图像数据。

2. 如权利要求1所述的存储装置，

15 其中，所述第二存储部分具有通过第一和第二地址信号并通过在第一和第二地址信号上附加的附加地址信号而在其中存储的地址，

其中，所述形成部分通过使用在形成输入图像的像素中的多个像素进行加权附加而形成构成像素倍增图像的像素，

20 其中，所述输入图像数据和所述像素倍增图像数据与一个共用时钟信号同步地被存储在相应的第一和第二存储部分中。

3. 如权利要求1所述的存储装置，其中所述倍增像素图像数据被存储的操作与所述输入图像数据被存储在所述第一存储部分中的存储操作同时进行。

25 4. 如权利要求1所述的存储装置，还包括一个延迟电路，用于延迟所述第一和第二地址信号，从而提供延迟后的地址信号，延迟后的地址信号提供给所述第二存储部分，所述像素倍增图像数据存储在所述第二存储部分中的位置对应于所述延迟后的地址信号，并且，其中所述第一和第二地址信号无延迟地提供给所述第一存储部分。

30 5. 如权利要求1所述的存储装置，其中所述用于选择性地~~进行~~读取和输出的电路包括一个读改写电路，所述选择性地读取并输出所述输

入图像数据或所述像素倍增图像数据的操作是按照提供给所述读改写电路的一个选择标记进行的。

5 6. 如权利要求1所述的存储装置，其中所述第一和第二存储部分、所述形成部分和所述用于选择性地进行读取和输出的电路被制作在单一的芯片上。

7. 一种存储方法，包括以下步骤：

在第一存储部分中存储输入图像数据，所述第一存储部分具有由第一和第二地址信号在其中指定的地址；

10 由所述输入图像数据形成像素倍增图像，该像素倍增图像数据表示由多个像素形成的像素倍增图像，该多个像素的数量大于形成由所述输入图像像素数据所表示的图像的像素数量；

在第二存储部分中存储所述像素倍增图像数据，所述第二存储部分具有由同样的第一和第二地址信号在其中指定的地址；以及

15 选择性地读取并输出存储在所述第一存储部分中的所述输入图像数据或存储在所述第二存储部分中的倍增像素图像数据。

8. 如权利要求7所述的存储方法，

其中，在所述使用第二存储部分的存储步骤中，所述第二存储部分具有通过第一和第二地址信号并通过在第一和第二地址信号上附加的附加地址信号而在其中存储的地址，

20 其中，在所述形成步骤中，通过使用在形成输入图像的像素中的多个像素进行加权附加而形成构成像素倍增图像的像素，

其中，所述输入图像数据和所述像素倍增图像数据与一个共用时钟信号同步地被存储在相应的第一和第二存储部分中。

25 9. 如权利要求7所述的存储方法，还包括步骤：对所述第一和第二地址信号进行延迟，从而提供延迟后的地址信号，并将延迟后的地址信号提供给所述第二存储部分，所述像素倍增图像数据存储在该第二存储部分中的位置对应于所述延迟后的地址信号，并且，其中所述第一和第二地址信号无延迟地提供给所述第一存储部分。

30 10. 如权利要求7所述的存储方法，其中所述倍增像素图像数据被存储的操作与所述输入图像数据被存储在所述第一存储部分中的存储操作同时进行。

11. 一种用于存储图像的存储装置, 包括:

第一存储部分, 其具有由第一和第二地址信号在其中指定的地址, 用于存储输入的图像;

形成部分, 用于由输入的图像形成像素倍增图像, 该图像是由大于形成输入图像的像素数的像素数形成的图像; 以及

第二存储部分, 其具有由第一和第二地址信号指定的地址, 用于存储像素倍增图像,

其中, 所述形成部分通过使用用于计算构成像素倍增图像的像素的预测值的预测系数, 通过线性组合形成输入图像的一些像素而形成像素倍增图像。

12. 一种存储方法, 包括以下步骤:

利用第一存储部分存储输入图像, 所述第一存储部分具有由第一和第二地址信号在其中指定的地址;

由输入图像形成像素倍增图像, 该图像是由大于形成输入图像的像素数的像素数形成的图像; 以及

利用第二存储部分存储像素倍增图像, 所述第二存储部分具有由第一和第二地址信号在其中指定的地址,

其中, 在所述形成步骤中, 所述形成部分通过使用用于计算构成像素倍增图像的像素的预测值的预测系数, 通过线性组合形成输入图像的一些像素而形成像素倍增图像。

## 存储装置和存储方法

5

### 技术领域

本发明涉及一种存储装置和存储方法，尤其涉及一种适用于例如存储放大的图像的存储装置和存储方法。

10

### 背景技术

已知一种编码方法，其中高清晰度图像数据被设置作为最底层或第一层图像数据，然后形成较少像素数的第二层图像数据，接着形成图像数更少的第三层图像数据，最后形成最外层即第四层图像数据。这种编码被称为分层编码，在每层中的图像数据在具有和该层相应的清晰度(像素数)的监视器上显示。因而，用户可以选择和其监视器的清晰度相应的分层编码图像数据中的图像数据，以便观看相应的图像。

然而，在常规的分层编码中，原始的图像数据被设置作为第一层图像数据，并且只形成关于较少的像素数的高层中的图像数据。即，利用常规的分层编码，不能形成像素数大于原始图像数据的像素数的图像。

在分层编码中，例如当进行电子放大时，使用形成像素数大于原始图像数据的像素数的图像(下面按照惯例称为像素倍增图像)的方法是方便的。

即，如果制备像素数小于原始图像数据的像素数，则图像的尺寸可以立即缩小，并且，如果制备像素倍增图像，则图像尺寸可以立即增加。

一般地说，在电子放大中，和图像缩小功能相比，更通常使用图像放大功能。即，例如在用户正在观看被发送的或从记录介质重放的图像的情况下，很可能想要放大观看的图像的一部分或者全部。

30

### 发明内容

从这些情况看来，本发明的目的在于，例如，提供一种存储装置和存储方法，用于存储图像的数据，使得图像可以直接地被放大。

为实现上述目的，

按照本发明的一个方面，提供了一种用于存储图像的存储装置，其包括：第一存储部分，其具有由第一和第二地址信号在其中指定的地址，用于存储输入图像数据；形成部分，用于由所述输入图像数据形成像素倍增图像数据，该像素倍增图像数据表示由多个像素形成的像素倍增图像，该  
5 多个像素的数量大于形成由所述输入图像像素数据所表示的图像的像素数量；第二存储部分，其具有由同样的第一和第二地址信号指定的地址，用于存储所述像素倍增图像数据；以及用于选择性地读取和输出的电路，该电路从所述存储装置选择性地读取并输出存储在所述第一存储部分中的所述输入图像数据或存储在所述第二存储部分中的倍增像素图像数据。

10 按照本发明的一个方面，提供了一种存储方法，包括以下步骤：在第一存储部分中存储输入图像数据，所述第一存储部分具有由第一和第二地址信号在其中指定的地址；由所述输入图像数据形成像素倍增图像，该像素倍增图像数据表示由多个像素形成的像素倍增图像，该多个像素的数量大于形成由所述输入图像像素数据所表示的图像的像素数量；在第二存储  
15 部分中存储所述像素倍增图像数据，所述第二存储部分具有由同样的第一和第二地址信号在其中指定的地址；以及选择性地读取并输出存储在所述第一存储部分中的所述输入图像数据或存储在所述第二存储部分中的倍增像素图像数据。

按照本发明的再一个方面，提供了一种用于存储图像的存储装置，其  
20 包括：第一存储部分，其具有由第一和第二地址信号在其中指定的地址，用于存储输入的图像；形成部分，用于由输入的图像形成像素倍增图像，该图像是由大于形成输入图像的像素数的像素数形成的图像；以及第二存储部分，其具有由第一和第二地址信号指定的地址，用于存储像素倍增图像，其中，所述形成部分通过使用用于计算构成像素倍增图像的像素的预  
25 测值的预测系数，通过线性组合形成输入图像的一些像素而形成像素倍增图像。

按照本发明的再一个方面，提供了一种存储方法，包括以下步骤：利用第一存储部分存储输入图像，所述第一存储部分具有由第一和第二地址  
30 信号在其中指定的地址；由输入图像形成像素倍增图像，该图像是由大于形成输入图像的像素数的像素数形成的图像；以及利用第二存储部分存储像素倍增图像，所述第二存储部分具有由第一和第二地址信号在其中指定的地址，其中，在所述形成步骤中，所述形成部分通过使用用于计算构成像素倍增图像的像素的预测值的预测系数，通过线性组合形成输入图像的一些像素而形成像素倍增图像。

### 附图说明

- 图 1 是应用本发明的存储装置的实施例的结构方块图；
- 5 图 2 表示输入给图 1 所示的存储装置的输入图像；
- 图 3 说明在图 1 所示的像素倍增图像形成电路中进行的处理；
- 图 4 表示像素倍增图像；
- 图 5 是图 1 所示的存储装置第一种详细结构的方块图；
- 图 6 是图 1 所示的存储装置第二种详细结构的方块图；
- 10 图 7 是图 1 所示的像素倍增图像形成电路 3 的详细结构的方块图；
- 图 8 用于说明在图 7 所示的分级块形成电路 41 和预测值计算块形成电路 42 中进行的处理；
- 图 9A 和 9B 说明分级处理；
- 图 10A 和 10B 说明 ADRC 处理；以及
- 15 图 11 是进行学习以便获得预测系数的图像处理器的结构方块图。

### 具体实施方式

- 图 1 表示应用本发明而得到的存储装置的实施例的结构。
- 20 该存储装置例如由呈一个芯片或其类似物的形式的互补金属氧化物半导体(CMOS)构成，其被设置用于存储对其输入的图像，并进行分层编码，以便形成并存储像素倍增图像，即其像素数大于输入图像的像素数的图像。
- 地址提供电路 1 被供给水平地址和垂直地址，这些地址是相应于构成输入给存储装置的图像(输入图像)的像素的水平方向或垂直方向的位置的地址。
- 25 本实施例将针对这样的情况进行说明，其中图像的一帧由水平方向的 512 个像素和垂直方向 512 线构成。因而每组水平地址和每组垂直地址由 9 位( $\log_2 512$ )表示。
- 设置地址提供电路 1 用于根据需要处理对其提供的水平和垂直地址，并向输入图像存储器 2 和像素倍增图像存储器 4 提供地址。地址提供电路 1 除去水平和垂直地址之外，还具有时钟(在图 5-图 7 中未示出)，读写(R/W)信号和选择标记。地址提供电路 1 被设置用于利用时钟同步向输入图像存储器 2 和像素倍增图像存储器 4 提供地址。地址提供电路 1 还用于按照读写信号和选择标记处理对其提供的水平和垂直地址。
- 30

读写信号是用于指定从存储装置读取图像数据或向存储装置写入图像数据的信号,选择标记是例如一位的标记,用于指定读取输入图像存储器2中存储的图像或读取像素倍增图像存储器4中存储的图像。只有在读写信号指定读取图像数据时,选择标记才是有效的(有效)。即如下所述,因为向  
5 输入图像存储器2写入图像数据和向像素倍增图像存储器4写入图像数据是相互并行地(基本上彼此同时地)进行的,所以在写时选择标记被忽略。

输入图像存储器2(第一存储装置)被设置用于利用来自地址提供电路1的地址存储来自读改写(RMW)电路5的图像数据,并向RMW电路5读出并输出在所述地址中存储的图像数据。输入图像存储器2存储输入给存储  
10 装置的图像(按照惯例称为原始图像)而不改变该图像。此外,输入图像存储器2可以存储至少一帧原始图像,即 $512 \times 512$ 个像素的图像数据,如图2所示。此外,构成输入图像存储器2的存储单元至少具有相应于例如对形成原始图像的每个像素规定的位数的数据长度。即,如果构成原始图像的一个像素例如由8位表示,则构成输入图像存储器2的存储单元至少具有8  
15 位的数据长度。

像素倍增图像形成电路3(形成装置)被设置用于由存储在输入图像存储器2中的原始图像形成像素倍增图像,并把像素倍增图像提供给像素倍增图像存储器4。即,对于构成原始图像的一个观测像素,例如图3所示的像素  
20  $A_1$ ,像素倍增图像形成电路3在观测像素 $A_1$ 和位于观测像素 $A_1$ 的右侧附近的像素 $A_2$ 之间新形成像素 $a_{12}$ ,在观测像素 $A_1$ 和位于其下方附近的像素 $A_3$ 之间形成像素 $a_{13}$ ,并在观测像素 $A_1$ 和位于观测像素 $A_1$ 的右下方附近的像素 $A_4$ 之间(像素 $A_2$ 和 $A_3$ 之间)形成像素 $a_{1234}$ 。像素倍增图像形成电路5对每个从所有形成原始图像的像素中连续地选择的观测像素进行这种处  
25 理,借以形成在水平方向和垂直方向的像素数为原始图像的两倍的图像,即形成具有 $1024 \times 1024$ 个像素的图像(列数 $\times$ 行数),如图4所示。

关于在像素倍增图像形成电路3中形成像素倍增图像的方法,有一种方法可以使用,其中通过使用构成原始图像的多个像素进行加权附加并和一个像素相关而形成构成像素倍增图像的一个像素。即,在这种情况下,参看图3,像素倍增图像的像素 $a_{12}$ 例如可以是在水平方向和 $a_{12}$ 相邻的原始  
30 图像的一对像素 $A_1$ 和 $A_2$ 的平均(将 $A_1$ 和 $A_2$ 的加权设为1,通过 $A_1$ 和 $A_2$ 的加权附加获得)。此外,像素倍增图像的像素 $a_{13}$ 例如可以是在垂直方向和 $a_{13}$ 相邻的原始图像的一对像素 $A_1$ 和 $A_3$ 的平均。此外,像素倍增图像的像素 $a_{1234}$ 例如可以是在对角线方向和 $a_{1234}$ 相邻的原始图像的像素对 $A_1, A_2, A_3, A_4$ 的平均。此外,在这种情况下,原始图像的像素 $A_1$ 例如可以不加改变地



用作像素倍增图像的相应位置的像素。

5 像素倍增图像存储器4(第二存储装置)被设置用于利用来自地址提供电路1的地址存储来自像素倍增图像形成电路3的图像数据,即在本实施例中的像素倍增图像,并读出并向RMW电路5输出利用这些地址存储的图像数据。像素倍增图像存储器4具有用于存储至少一帧的像素倍增图像的存储容量,即由 $1024 \times 1024$ 个像素形成的图像,在本例中如图4所示。构成像素倍增图像存储器4的存储单元具有至少为例如能够存储由像素倍增图像形成电路3提供的构成像素倍增图像的像素的数据长度,而不会丢失任何数据。此外,构成像素倍增图像存储器4的存储单元可以被设置为例  
10 如8位,即和输入图像存储器2的数据长度相同。

时钟被供给输入图像存储器2,像素倍增图像形成电路3和像素倍增图像存储器4。和该时钟同步,进行在输入图像存储器2和像素倍增图像存储器4中的数据的数据的读写操作,并在像素倍增图像形成电路3中形成像素倍增图像。

15 RMW电路5被设置用于向输入图像存储器2写入作为原始数据向存储装置提供的图像数据,还用于读出并输出在输入图像存储器2中存储的图像数据或在像素倍增图像存储器4中存储的图像数据。时钟,读写信号和选择标记被提供给RMW电路5。RMW电路5被设置用于和时钟同步地并根据读写信号和选择标记进行各种处理。

20 图5是图1所示的存储装置的第一种详细结构。

下面针对这种情况对存储装置进行说明,即图像数据作为原始图像被提供给图2所示的存储装置,其中 $512 \times 512$ 个像素的每一个由8位表示,并且其中以逐行扫描的方式通过扫描提供图像数据。

此外,为了说明方便,构成原始图像的像素将以这种方式表示,使得  
25 最左和最上的像素是 $p(0,0)$ ,并且在离开最左位置第 $(x+1)$ 个位置离开最上位置第 $(y+1)$ 个位置的像素是 $p(x,y)$ ,用于表示其它像素。因为原始图像如上所述由 $512 \times 512$ 个像素构成,所以 $x$ 和 $y$ 具有范围为 $0-511(=2^9-1)$ 的整数。

在本例中,如图4所示的由 $1024 \times 1024$ 个像素构成的像素倍增图像在  
30 像素倍增图像形成电路3中由原始图像形成。为了说明方便,形成这种像素倍增图像的像素将用这种方式表示,使得最左和最上的像素是 $q(0,0)$ ,并且在离开最左位置第 $(m+1)$ 个位置离开最上位置第 $(n+1)$ 个位置的像素是 $q(m,n)$ ,用于表示其它像素。因为像素倍增图像由 $1024 \times 1024$ 个像素构成,所以 $m$ 和 $n$ 具有范围为 $0-1023(=2^{10}-1)$ 的整数。

此外，假定在每个数据写和数据读周期中，水平地址 HA 和垂直地址 VA 的组合(HA, VA)按以下顺序和时钟同步地提供：

(0, 0), (1, 0), ..., (511,0)

(0,1), (1,1),..., (511,1),

5 (511,0), (511,1),..., (511,511), 即相应于逐行扫描的顺序。

当图像数据被写入存储装置中时，通过和时钟同步进行逐行扫描向 RMW 电路 5 提供原始图像。与此同时，水平地址 HA 和垂直地址 VA 被提供给地址提供电路 1，如上所述。

10 在图 5 所示的实施例中，地址电路 1 由包括在其中的延迟电路 11a,11b,11c, 和 11d 构成。延迟电路 11a,11b,11c,和 11d 被设置用于根据所需的时间间隔延迟提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA，并把延迟的地址提供给构成像素倍增图像存储器 4 的存储器 13a,13b,13c, 和 13d 的地址端(AD)。地址提供电路 1 还用于向输入图像存储器 2 的地址端直接地提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA。

15 像素倍增图像形成电路 3 由图像形成电路 12a,12b,12c,和 12d 构成。这些电路中的每一个表示设置用于读出存储在输入图像存储器 2 中的构成原始图像的一个或几个像素，从而由读出的这些像素连续地形成构成像素倍增图像的一个或几个像素，并分别把形成的像素提供给构成像素倍增图像存储器 4 的存储器 13a,13b,13c,和 13d。

20 像素倍增图像形成电路 3 由 4 个像素形成电路 12a-12d 构成的原因如下。即，虽然一帧原始图像由  $512 \times 512$  个像素构成，但一帧像素倍增图像由  $1024 \times 1024$  个像素构成。因而，只要简单地考虑这种关系，一个原始图像的像素对应于 4 个像素倍增图像的像素。那么，为了形成关于原始图像的一个像素的像素倍增图像的 4 个像素，像素倍增图像形成电路 3 就要由 4  
25 个

像素形成电路 12a - 12d 构成, 分别用于形成 4 个像素。

此处假定像素倍增图像得到 4 个像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$  与原始图像的一个像素  $p(x, y)$  相关(例如, 在图 3 的情况下, 原始图像的像素  $A_1$  是一个观测像素, 在附近形成有像素倍增图像的像素  $a_{12}$ ,  $a_{13}$ , 和  $a_{1234}$ ), 并假定像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$  是分别在像素形成电路 12a - 12d 中产生的。

像素倍增图像存储器 4 由 4 个存储器 13a - 13d 构成, 如上所述。存储器 13a - 13d 被设置用于利用由延迟电路 11a - 11d 提供的地址分别存储由像素形成电路 12a - 12d 提供的像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ 。因而每个存储器 13a - 13d 具有能够存储  $512 \times 512$  个像素的容量。

存储器 13a - 13d 还被设置用于利用由延迟电路 11a - 11d 提供的地址读出其中存储的像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ , 并把像素输出到 RMW 电路 5。

下面说明这种存储装置的操作。

首先, 当图像数据被写入时, 即当读写信号指定写时, 地址提供电路 1 直接对输入图像存储器 2 提供被输入给地址提供电路 1 的水平地址 HA 和垂直地址 VA。在另一方面, RMW 电路 5 写入对其提供的原始图像数据。RMW 电路 5 在由水平地址 HA 和垂直地址 VA 指定的输入图像存储器 2 的存储单元(未示出)中写入原始图像数据。重复同样的处理, 以便在输入存储器 2 中存储由  $512 \times 512$  个像素构成的一帧原始图像。即, 用这种方式, 第一层像素(像素值):

$p(0,0), p(1,0), \dots, p(511,0),$   
 $p(0,1), p(1,1), \dots, p(511,1),$   
 ...

$p(511,0), p(511,1), \dots, p(511,511)$  被分别存储在输入图像存储器 2 中, 其地址是:

$(0,0), (1,0), \dots, (511,0),$   
 $(0,1), (1,1), \dots, (511,1),$   
 ...

(511,0), (511,1),..., (511,511)。

当用于产生形成像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$  所需的原始图像的像素被存储在输入图像存储器 2 中时, 原始图像的像素(像素值)被读出到像素倍增图像形成电路 3 的图像形成电路 12a - 12d, 像素形成电路 12a - 12d 分别产生像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ , 并把这些像素分别提供给存储器 13a - 13d。

即, 在原始图像的像素  $A_1$  的位置像素倍增图像的像素例如是  $A_1$ , 如上面参看图 3 所述。因而, 当像素  $A_1$  被存储在输入图像存储器 2 中时, 像素形成电路 12a 直接读出像素  $A_1$ , 并将其提供给存储器 13a 作为像素倍增图像的像素  $q(2x, 2y)$ 。

再参看图 3, 像素倍增图像的像素  $a_{12}$  是原始图像的像素  $A_1$  和  $A_2$  的平均。因而, 在存储完像素  $A_1$  又在输入图像存储器 2 中存储像素  $A_2$  之后, 像素形成电路 12b 读出像素  $A_1$  和  $A_2$ 。然后, 像素形成电路 12b 计算像素  $A_1$  和  $A_2$  的平均, 并输出计算结果到存储器 13b 作为像素倍增图像的像素  $q(2x + 1, 2y)$ 。

再参看图 3, 像素倍增图像的像素  $a_{13}$  是原始图像的像素  $A_1$  和  $A_3$  的平均。因而, 在输入图像存储器 2 中在存储完像素  $A_1$  接着存储相应于一行的像素(相应于一行的原始图像的像素)又存储完像素  $A_3$  之后, 像素形成电路 12c 读出像素  $A_1$  和  $A_3$ 。然后, 像素形成电路 12c 计算像素  $A_1$  和  $A_3$  的平均, 并输出计算结果到存储器 13c 作为像素倍增图像的像素  $q(2x,2y + 1)$ 。

再参看图 3, 像素倍增图像的像素  $a_{1234}$  是原始图像的像素  $A_1$  到  $A_4$  的平均。因而, 在存储完这些像素之后, 像素形成电路 12d 读出像素  $A_1$  到  $A_4$ 。然后, 像素形成电路 12d 计算像素  $A_1$  到  $A_4$  的平均, 并输出计算结果到存储器 13d 作为像素倍增图像的像素  $q(2x + 1, 2y + 1)$ 。

在另一方面, 在地址提供电路 1 的延迟电路 11a - 11d 中, 水平地址 HA 和垂直地址 VA 分别被延迟由像素形成电路 12a - 12d 所需的时间间隔, 以便产生像素倍增图像的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ , 并然后被分别提供给存储器 13a - 13d。

结果, 在存储器 13a - 13d 中, 由像素形成电路 12a - 12d 提供的像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$  被分别利用同

一个地址(x,y)存储。

接着，在读出时，即，当读写信号指定读出时，并且当选择标记指定原始图像时，地址提供电路 1 直接向输入图像存储器 2 的地址端提供被提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA。然后，RMW 电路 5 按顺序读出在由水平地址 HA 和垂直地址 VA 指定的输入图像存储器 2 的存储单元中存储的原始图像的像素。

由  $512 \times 512$  个像素构成的一帧原始图像按上述方式从输入图像存储器 2 中读出，这样便输出逐行扫描的原始图像。

在另一方面，当选择标记指定像素倍增图像同时读写信号指定读出时，地址提供电路 1 在延迟电路 11a - 11d 中延迟对其提供的水平地址 HA 和垂直地址 VA，延迟的数量使得像素倍增图像可以按照逐行扫描的顺序被输出，并把延迟的地址输出到存储器 13a - 13d 的地址端。

即，存储器 13a - 13d 具有用同一个地址(x,y)在其中存储的像素  $q(2x,2y)$ ， $q(2x + 1,2y)$ ， $q(2x,2y + 1)$ ，和  $q(2x + 1,2y + 1)$ 。因此，为了从存储器 13a - 13d 中按照逐行扫描的顺序读出像素  $q(2x,2y)$ ， $q(2x + 1,2y)$ ， $q(2x,2y + 1)$ ，和  $q(2x + 1,2y + 1)$ ，对于像素  $q(2x,2y)$ ，需要对存储器 13b 的地址(x,y)提供一个从该地址(x,y)被提供给存储器 13a 的时刻起相应于一个像素(像素倍增图像的一个像素)的延迟。还需要对存储器 13c 的地址(x,y)提供一个从地址(x,y)被提供给存储器 13a 的时刻起相应于一行的(在本例中像素倍增图像的 1024 个像素)的延迟。此外，需要对存储器 13d 的地址(x,y)提供一个从地址(x,y)被提供给存储器 13a 的时刻起相应于一行和一个像素的延迟(在本例中为 1025 个像素)。

因此，在延迟电路 11a - 11d 中，水平地址 HA 和垂直地址 VA 的每一个组合(HA, VA)在被提供给存储器 13a - 13d 的地址端之前被延迟上述的时间间隔。

此后，RMW 电路 5 按顺序读出由来自延迟电路 11a - 11d 的地址指定的存储在存储器 13a - 13d 的存储单元中的像素倍增图像的像素。

因而，由  $1024 \times 1024$  个像素构成的一帧像素倍增图像被从像素倍增图像存储器 4(存储器 13a - 13d)中读出，借以输出逐行扫描的像素倍增图像。

如果原始图像和像素倍增图像具有相同的一帧间隔，则形成像素倍增图像的一帧的像素数是形成原始图像的一帧的像素数的 4 倍。因此，在读像素

倍增图像时, 需要使延迟电路 11a - 11d 和 RMW 电路 5 利用一个时钟同步操作, 所述时钟的频率为正常时钟频率的 4 倍(以后按照惯例称为“4 倍时钟”)。例如, 4 倍时钟可以根据正常时钟由包括在地址提供电路 1 或 RMW 电路 5 中的 PLL(锁相环)电路产生。

5 如上所述, 在通过增加原始图像的像素数而形成像素倍增图像时, 像素倍增图像被形成并和原始图像并行地被存储。因此, 在需要放大原始图像的情况下, 例如在电子放大等过程中, 作为由放大原始图像形成图像而获得的像素倍增图像可以借助于从像素倍增图像存储器 4 中读出而立即得到。

10 图 6 表示图 1 所示的存储装置的第二种详细结构。在图 6 中, 相应于图 5 所示的部分用相同的标号表示。

在本例中, 地址提供电路 1 由延迟电路 11 和包括在其中的计数器 21 构成。延迟电路 11 被设置用于延迟对其提供的地址一个所需时间间隔, 并在此之后, 把延迟的地址提供给构成像素倍增图像存储器 4 的存储器 22 的地址端(AD)。计数器 21 例如是 2 位的计数器, 被设置用于例如计数 4 倍时钟,  
15 并输出 2 位的计数值。

此外, 地址提供电路 1 被设置用于通过把从计数器 21 输出的 2 位计数值中的最低有效位(附加的地址信号)加到被提供给地址提供电路 1 的 9 位水平地址 HA 中而形成 10 位水平地址 HA', 该附加的位被设置为水平地址的最低有效位, 并通过延迟电路 11 把水平地址 HA' 提供给存储器 22 的地址端  
20 (AD)。此外, 地址提供电路 1 被设置用于通过把从计数器 21 输出的 2 位计数值中的最高有效位(附加的地址信号)加到被提供给地址提供电路 1 的 9 位垂直地址 VA 中而形成 10 位垂直地址 VA', 该附加的位被设置为垂直地址的最低有效位, 并通过延迟电路 11 把垂直地址 VA' 提供给存储器 22 的地址端  
(AD)。

25 因此, 在图 6 所示的实施例中, 当地址(x,y)被提供给输入图像存储器 2 时, 地址提供电路 1 通过延迟电路 11 把地址(2x,2y), (2x + 1,2y), (2x,2y + 1), 和(2x + 1,2y + 1)提供给存储器 22。

如上所述, 像素倍增图像存储器 4 由存储器 22 构成, 并且存储器 22 被设置用于利用由延迟电路 11 提供的地址(2x,2y), (2x + 1,2y), (2x,2y + 1),  
30 和(2x + 1,2y + 1)存储由像素形成电路 12a - 12d 提供的像素倍增图像的像素 q(2x,2y), q(2x + 1,2y), q(2x,2y + 1), 和 q(2x + 1,2y + 1)。因而, 存

存储器 22 具有用于存储形成一帧像素倍增图像的  $1024 \times 1024$  个像素的容量。

存储器 22 还被设置用于从由延迟电路 11 提供的地址  $(2x, 2y)$ ,  $(2x + 1, 2y)$ ,  $(2x, 2y + 1)$ , 和  $(2x + 1, 2y + 1)$  中读出利用这些地址存储的像素倍增图像的像素  $q(2x, 2y)$ ,  $q(2x + 1, 2y)$ ,  $q(2x, 2y + 1)$ , 和  $q(2x + 1, 2y + 1)$ ,  
5 并把这些像素提供给 RMW 电路 5。

下面说明本实施例的操作。

首先, 当图像数据被写入时, 即当读写信号指示写时, 以和图 5 所示的实施例相同的方式把原始图像写入输入图像存储器 2 中。

当为产生形成像素倍增图像的像素  $q(2x, 2y)$ ,  $q(2x + 1, 2y)$ ,  $q(2x, 2y + 1)$ , 和  $q(2x + 1, 2y + 1)$  所需的原始图像的像素被存储在输入图像存储器 2  
10 中时, 像素倍增图像形成电路 3 的像素形成电路 12a - 12d 便以和图 5 所示的结构相同的方式分别产生像素倍增图像的像素  $q(2x, 2y)$ ,  $q(2x + 1, 2y)$ ,  $q(2x, 2y + 1)$ , 和  $q(2x + 1, 2y + 1)$ , 并把这些像素提供给存储器 22。

在另一方面, 在地址提供电路 1 中, 在由计数器 21 输出的 2 位计数值  
15 中的最低有效位或最高有效位被加到提供给地址提供电路 1 的 9 为的水平地址 HA 或垂直地址 VA, 附加的位被设置为水平地址或垂直地址的最低有效位。借以形成 10 位的水平地址 HA' 和 10 位的垂直地址 VA'。即, 当  $(x, y)$  作为水平地址 HA 和垂直地址 VA 的组合 (HA, VA) 被提供给地址提供电路 1 时, 便产生 4 个地址  $(2x, 2y)$ ,  $(2x + 1, 2y)$ ,  $(2x, 2y + 1)$ , 和  $(2x + 1, 2y + 1)$ 。  
20 这些地址  $(2x, 2y)$ ,  $(2x + 1, 2y)$ ,  $(2x, 2y + 1)$ , 和  $(2x + 1, 2y + 1)$  在延迟电路 11 中被分别延迟一个时间间隔, 所述时间间隔是在原始图像的像素  $p(x, y)$  被存储在输入图像存储器 2 中之后, 像素形成电路 12a - 12d 为产生像素倍增图像的像素  $q(2x, 2y)$ ,  $q(2x + 1, 2y)$ ,  $q(2x, 2y + 1)$ , 和  $q(2x + 1, 2y + 1)$  所需的。延迟的地址被提供给存储器 22。

25 因而, 在存储器 2 中, 由像素形成电路 12a - 12d 提供的像素  $q(2x, 2y)$ ,  $q(2x + 1, 2y)$ ,  $q(2x, 2y + 1)$ , 和  $q(2x + 1, 2y + 1)$  被分别利用地址  $(2x, 2y)$ ,  $(2x + 1, 2y)$ ,  $(2x, 2y + 1)$ , 和  $(2x + 1, 2y + 1)$  进行存储。

接着, 在读出时, 即当读写信号指定读时, 并当选择标记指定原始图像时, 原始图像以和图 5 所示的结构相同的方式从输入图像存储器 2 中读出,  
30 并且把逐行扫描的原始图像从 RMW 电路 5 中输出。

当选择标记指定像素倍增图像同时读写信号指示读时, 地址提供电路 1

以上述方式形成 10 位水平地址 HA'和 10 位垂直地址 VA', 即地址 $(2x,2y)$ ,  $(2x + 1,2y)$ ,  $(2x,2y + 1)$ , 和 $(2x + 1,2y + 1)$ , 并把这些地址输出到延迟电路 11。在延迟电路 11 中, 地址 $(2x,2y)$ ,  $(2x + 1,2y)$ ,  $(2x,2y + 1)$ , 和 $(2x + 1,2y + 1)$ 被延迟, 使得像素倍增图像可以按照逐行扫描的顺序被输出, 并且然后被提供给存储器 22 的地址端。

即, 当地址 $(2x,2y)$ ,  $(2x + 1,2y)$ ,  $(2x,2y + 1)$ , 和 $(2x + 1,2y + 1)$ 被提供给存储器 22 时, 像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ 被读出。为了按照逐行扫描的方式读出这些像素  $q(2x,2y)$ ,  $q(2x + 1,2y)$ ,  $q(2x,2y + 1)$ , 和  $q(2x + 1,2y + 1)$ , 对于用地址 $(2x,2y)$ 存储的像素  $q(2x,2y)$ , 需要对地址 $(2x + 1,2y)$ 提供一个从该地址 $(2x,2y)$ 被提供的时刻起相应于一个像素(像素倍增图像的一个像素)的延迟。还需要对地址 $(2x,2y)$ 提供一个从地址 $(2x,2y)$ 被提供的时刻起相应于一行的(在本例中像素倍增图像的 1024 个像素)的延迟。此外, 需要对地址 $(2x + 1,2y + 1)$ 提供一个从地址 $(2x,2y)$ 被提供的时刻起相应于一行和一个像素的延迟(在本例中为 1025 个像素)。

因此, 在延迟电路 11 中, 每个地址 $(2x,2y)$ ,  $(2x + 1,2y)$ ,  $(2x,2y + 1)$ , 和 $(2x + 1,2y + 1)$ 相对于地址 $(2x,2y)$ 被输出的时刻被延迟上述的时间间隔之后, 被提供给存储器 22 的地址端。

RMW 电路 5 读出存储在由来自延迟电路 11 的地址指定的存储器 22 的存储单元中的像素倍增图像的像素。

即, 由  $1024 \times 1024$  个像素形成的一帧像素倍增图像被从像素倍增图像存储器 4(存储器 22)中读出, 借以输出逐行扫描的像素倍增图像。

在图 6 所示的实施例, 如果原始图像和像素倍增图像具有相同的一帧时间间隔, 则需要读出像素倍增图像时, 使延迟电路 11 和 RMW 电路 5 在 4 倍时钟的同步下操作。

如上所述, 在图 6 所示的实施例, 也形成像素倍增图像并和原始图像并行地存储, 其中像素倍增图像是通过增加原始图像的像素数而形成的。因此, 在需要放大原始图像的情况下, 例如在电子放大等过程中, 作为由放大原始图像形成图像而获得的像素倍增图像可以借助于从像素倍增图像存储器 4 中读出而立即得到。

在像素倍增图像形成电路 3 中, 在上述的情况下, 像素倍增图像通过使用原始图像进行加权相加而形成。不过, 像素倍增图像也可以使用其它方法



形成。例如，可以通过分类和适应处理等而形成。

图 7 表示在一种情况下像素倍增图像形成电路 3(每个像素形成电路 12a - 12d)的结构例子，其中像素倍增图像借助于分类和适应处理而形成。

5 每个分类块形成电路 41 和预测值计算块形成电路 42 接收存储在输入图像存储器 2 中的原始图像的图像数据(原始图像数据)。分类块形成电路 41 被设置用于由原始图像数据形成关于一个观测的原始图像数据项(观测的原始图像数据项)的分类块，这是用于按照原始图像数据的特征对原始图像数据进行分类使之成为预定的类的单位。

10 即，参见图 8，在从最上位置起第  $i$  个位置并且从最左位置起第  $j$  个位置的原始图像数据(构成原始图像的像素(像素值))(在图中由符号  $\circ$  表示的位置)是  $X_{ij}$ ，分类块形成电路 41 例如形成观测的原始图像数据  $X_{ij}$  和 8 个像素  $X_{(i-1),(j-1)}$ 、 $X_{(i-1),j}$ 、 $X_{(i-1),(j+1)}$ 、 $X_{i,(j-1)}$ 、 $X_{i,j}$ 、 $X_{i,(j+1)}$ 、 $X_{(i+1),(j-1)}$  和  $X_{(i+1),j}$  的分类块，其中的每一个位于观测的像素的左上方，正上方，右上方，左侧，右侧，左下方，正下方，右下方，共 9 个像素。这个分类块  
15 被提供给分类和适应处理电路 43。

在这种情况下，分类块构成一个  $3 \times 3$ (列数  $\times$  行数)个像素的方块。不过，不一定把分类块限制为正方形。也可以呈其它的形状，例如矩形或十字形。此外，构成分类块的像素的数量也不限于  $3 \times 3$  阵列的 9 个像素。

20 观测值计算块形成电路 42 被设置用于根据原始图像数据形成预测值计算块，每个预测值计算块围绕原始图像数据项被确定，作为计算构成像素倍增图像像素(像素值)的单元。即，参见图 8，在  $3 \times 3$  阵列中围绕原始图像数据项  $X_{ij}$ (图中用  $\circ$  表示)的 9 个像素(图中用  $\times$  表示)自左至右自上而下用  $Y_{ij}(1)$ 、 $Y_{ij}(2)$ 、 $Y_{ij}(3)$ 、 $Y_{ij}(4)$ 、 $Y_{ij}(5)$ 、 $Y_{ij}(6)$ 、 $Y_{ij}(7)$ 、 $Y_{ij}(8)$ 、 $Y_{ij}(9)$  表示，然后，预测值计算块形成电路 42 例如形成围绕观测原始图像数据项  $X_{ij}$  的  $5 \times 5$  正方形的  
25 预测值计算块，用于计算像素  $Y_{ij}(1)$  到  $Y_{ij}(9)$  的预测值，即由 25 个像素  $X_{(i-2),(j-2)}$ 、 $X_{(i-2),(j-1)}$ 、 $X_{(i-2),j}$ 、 $X_{(i-2),(j+1)}$ 、 $X_{(i-2),(j+2)}$ 、 $X_{(i-1),(i-2)}$ 、 $X_{(i-1),(j-1)}$ 、 $X_{(i-1),j}$ 、 $X_{(i-1),(j+1)}$ 、 $X_{(i-1),(j+2)}$ 、 $X_{i,(j-2)}$ 、 $X_{i,(j-1)}$ 、 $X_{ij}$ 、 $X_{i,(j+1)}$ 、 $X_{i,(j+2)}$ 、 $X_{(i+1),(j-2)}$ 、 $X_{(i+1),(j-1)}$ 、 $X_{(i+1),j}$ 、 $X_{(i+1),(j+1)}$ 、 $X_{(i+1),(j+2)}$ 、 $X_{(i+2),(j-2)}$ 、 $X_{(i+2),(j-1)}$ 、 $X_{(i+2),j}$ 、 $X_{(i+2),(j+1)}$  和  $X_{(i+2),(j+2)}$  构成的块。

30 更具体地说，例如为了计算由图 8 的正方形围成的像素倍增图像中的 9 个像素  $Y_{33}(1)$ - $Y_{33}(9)$ ，形成由像素  $X_{11}$ 、 $X_{12}$ 、 $X_{13}$ 、 $X_{14}$ 、 $X_{15}$ 、 $X_{21}$ 、 $X_{22}$ 、 $X_{23}$ 、 $X_{24}$ 、 $X_{25}$ 、

$X_{31}, X_{32}, X_{33}, X_{34}, X_{35}, X_{41}, X_{42}, X_{43}, X_{44}, X_{45}, X_{51}, X_{52}, X_{53}, X_{54}, X_{55}$  构成的块(在这种情况下  $X_{33}$  是观测的原始图像数据)。

由预测值计算块形成电路 42 获得的预测值计算块被输入到分类和适应处理电路 43。

- 5 预测值计算块的像素的数量和形状不限于上述的这些, 它们和分类块的像素数量和形状有关。不过, 最好形成预测值计算块的像素数量大于形成分类块的像素数量。

10 在按照上述方式进行处理的形成块(对于形成块可以有不同的处理)中, 在图像的框架边缘可能没有整合的像素。在这种情况下, 则通过假定在框架边缘外部具有和形成框架边缘的像素相同的像素。

分类和适应处理电路 43 包括自适应动态范围编码(ADRC)处理电路, 分类电路 45, 预测系数 ROM 46, 和预测电路 47, 并被设置用于进行分类和适应处理。

- 15 进行分类和适应处理用于把输入信号按照其特征将其分为几类, 并对于每一类进行合适的适应处理, 其中主要包括分类处理和适应处理。

下面简要说明分类处理和适应处理。

首先说明分类处理。

- 20 例如如图 9A 所示, 观测像素以及与其相邻的 3 个像素形成  $2 \times 2$  个像素的块(分类块), 每个像素用一位表示(具有 0 和 1 两种电平)。在这种情况下, 相对于像素电平的分布, 对于由含有观测像素的  $2 \times 2$  阵列中的 4 个像素构成的块具有  $16(= (2^1)^4)$  个图形, 如图 9B 所示。在本例中, 观测像素可被分类而成为 16 种图形之一。在分类电路 45 中使用这种图形进行分类处理。

分类处理还可以按照图像(块中的图像)的活性(activity)(图像的复杂性)(变化强度)等进行。

- 25 在本例中, 对形成原始图像的每个像素分配 8 位。此外, 在本例中, 使用上述的  $3 \times 3$  阵列中的 9 个像素构成的分类块。如果对这种分类块进行分类处理, 则使用极大的分类量, 即  $(2^8)^9$ 。

因此, 在本例中, 对于分类块在 ADRC 处理电路中进行 ADRC 处理, 使得减少构成分类块的像素数, 借以减少分类量。

- 30 即, 为了说明方便, 下面讨论如图 10A 所示的由沿着行排列的 4 个像素构成的块的处理。在这块的 ADRC 处理中, 检测像素值的最大值 MAX 和最

小值 MIN。然后，设置  $DR = MAX - MIN$  作为该块的动态范围，并把构成该块的每个像素的像素值根据其动态范围 DR 被重新量化为 K 位。

即，从该块中的每个像素值中减去最小值 MIN，减得的差值除以  $DR/2^K$ 。像素值被转换为相应于除得的结果的代码(ADRC 代码)。例如，如果  
 5 K = 2，则对于由  $4 (= 2^2)$  除动态范围 DR 而限定的域确定除得的值的大小。如图 10(B)所示，如果除得的值属于最低电平的域、从最低电平倒数第二电平的域、倒数第三电平的域或最高电平的域，则该像素值被编码而成为两位，例如 00B，01B，10B，或 11B(B 代表该值是二进制的)。以这种方式对  
 10 这种代码进行译码，使得 ADRC 代码 00B，01B，10B，或 11B 被转换为最低电平域的中值  $L_{00}$ ，第二电平域的中值  $L_{01}$ ，第三电平域的中值  $L_{10}$ ，或最高电平域的中值  $L_{11}$ ，并把最小值 MIN 加到转换的值上。

这种 ADRC 处理被称为非边缘匹配。本发明的申请人的日本专利申请公开 5377/1991 中和其它文件中披露了这种 ADRC 处理所细节。

如果进行 ADRC 处理以便以小于对构成块的每个像素指定的位数的位  
 15 数重新量化，如上所述，可以减少分类数。这种 ADRC 处理在 ADRC 处理电路 44 中进行。

在本实施例中，分类处理在分类电路 45 中根据由 ADRC 处理电路 44 输出的 ADRC 代码进行。不过，进行分类处理也可以处理这些数据，它们已经经过例如预测编码(DPCM)、块舍位编码(BTC)、矢量量化(VQ)、离散余弦  
 20 变换(DCT)、Hadamard 变换等。

下面说明自适应处理。

下面说明一种处理，其中，例如图像(相应于上述的像素倍增图像)的像素(像素值)y 的预测值 E【y】是这样获得的，其中使用利用预定的预测系数  $w_1, w_2, \dots$  的线性组合规定的线性组合方式和通过使上述图像的像素变稀而  
 25 获得的构成另一个图像(一个具有较少像素数的图像)(相应于上述的原始图像)的多个像素(像素值) $x_1, x_2, \dots$ (以后按照惯例称为“学习数据”)。在这种情况下，预测值 E【y】可由下式表示：

$$E【y】 = w_1 x_1 + w_2 x_2 + \dots \quad \dots(1)$$

为了归纳，下面定义由一组预测系数 w 构成的矩阵 W，由一组学习数  
 30 据构成的矩阵 X，和由一组预测值 E【y】构成的矩阵 Y'：

$$\begin{aligned}
 & X = \begin{bmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \dots & \dots & \dots & \dots \\ X_{m1} & X_{m2} & \dots & X_{m3} \end{bmatrix} \\
 & W = \begin{bmatrix} w_1 \\ w_2 \\ \dots \\ w_n \end{bmatrix}, \quad Y' = \begin{bmatrix} E[y_1] \\ E[y_2] \\ \dots \\ E[y_3] \end{bmatrix}
 \end{aligned}$$

10 然后，形成下面的观测方程：

$$XW = Y' \quad \dots(2)$$

下面讨论通过对该观测方程利用最小平方法计算接近像素值  $y$  的预测值  $E[y]$  的过程。在这种情况下，如果由整个图像的一组像素值  $y$  构成的矩阵  $Y$  (下面按照惯例称为“教师数据”) 和由关于整个图像的像素值  $y$  的一组

15 余项构成的矩阵  $E$  被定义为

$$E = \begin{bmatrix} e_1 \\ e_2 \\ \dots \\ e_m \end{bmatrix}, \quad Y = \begin{bmatrix} y_1 \\ y_2 \\ \dots \\ y_n \end{bmatrix}$$

20 则由方程(2)得到以下余项方程：

$$XW = Y + E \quad \dots(3)$$

在这种情况下，用于获得接近整个图像的像素值  $y$  的预测值  $E[y]$  的预测系数  $w_i$  可以通过最小平方误差：

$$\begin{aligned}
 & \sum_{i=1}^m e_i^2
 \end{aligned}$$

25

获得。

因而，如果上面的关于预测系数  $w_i$  平方误差的微分为 0，即，如果预测系数  $w_i$  满足以下的方程，则预测系数  $w_i$  是用于获得接近整个图像的像素值  $y$

30 的预测值  $E[y]$  的最佳值。

$$e_1 \frac{\partial e_1}{\partial w_1} + e_2 \frac{\partial e_2}{\partial w_1} + \dots + e_m \frac{\partial e_m}{\partial w_1} = 0 \quad (i = 1, 2, \dots, n)$$

... (4)

5 式(3)对于预测系数  $w_1$  进行微分, 得到下式:

$$\frac{\partial e_i}{\partial w_1} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_n} = x_{in}, \quad (i = 1, 2, \dots, m)$$

... (5)

由式(4)和式(5)获得式(6):

$$10 \quad \sum_{i=1}^m e_i x_{i1} = 0, \quad \sum_{i=1}^m e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^m e_i x_{in} = 0$$

... (6)

此外, 考虑学习数据  $x$ 、一组预测系数  $w$ 、教师数据  $y$  和式(3)中的余项  $e$  之间的关系, 由式(6)获得以下标准方程:

15

$$20 \quad \begin{cases} \left( \sum_{i=1}^m x_{i1} x_{i1} \right) w_1 + \left( \sum_{i=1}^m x_{i1} x_{i2} \right) w_2 + \dots + \left( \sum_{i=1}^m x_{i1} x_{in} \right) w_n = \left( \sum_{i=1}^m x_{i1} Y_i \right) \\ \left( \sum_{i=1}^m x_{i2} x_{i1} \right) w_1 + \left( \sum_{i=1}^m x_{i2} x_{i2} \right) w_2 + \dots + \left( \sum_{i=1}^m x_{i2} x_{in} \right) w_n = \left( \sum_{i=1}^m x_{i2} Y_i \right) \\ \dots \\ \left( \sum_{i=1}^m x_{in} x_{i1} \right) w_1 + \left( \sum_{i=1}^m x_{in} x_{i2} \right) w_2 + \dots + \left( \sum_{i=1}^m x_{in} x_{in} \right) w_n = \left( \sum_{i=1}^m x_{in} Y_i \right) \end{cases}$$

... (7)

25 可以形成其数量和要获得的预测系数  $w$  的组数相同数量的方程(7)。因而, 通过解方程(7)可以获得预测系数  $w$  的最佳组。为了解方程(7), 可以使用 Gauss - Jordan 消除方法或类似方法。

如上所述, 在适应处理中, 对于每一类都获得一组最佳预测系数  $w$ , 使用这组预测系数  $w$  利用方程(1)获得接近整个图像的像素值的预测值  $E$  **【y】**。这种适应处理由预测系数 ROM 46 和预测电路 47 进行。

30 即, 预测系数 ROM 46 通过学习(下面说明)存储先前获得的各类的预测系数组。预测系数 ROM 46 被设置用于接收从分类电路 45 输出的分类信息,

读出利用相应于分类信息的地址存储的预测系数组(相应于分类信息的预测系数组), 并把该预测系数组提供给预测电路 47。

5 预测电路 47 被设置用于通过使用由预测值计算块形成电路 43 提供的  $5 \times 5$  个像素的预测值计算块和由预测系数 ROM 46 提供的预测系数组计算线性方程(1), 借以获得像素倍增图像的  $3 \times 3$  个像素的预测值。

10 适应处理和例如上述的加权附加的内插处理的区别在于, 在变稀的图像中不包含而在整个图像中包含的元素被重现。即, 如果只由方程(1)来看, 除去相应于内插滤波器的抽头系数的一组预测系数  $w$  通过利用教师数据的一种学习被获得, 从而使包含在整个图像中的元素被重现之外, 适应处理和使用内插滤波器的内插处理是相同的。基于这一点, 可以说, 适应处理具有产生图像的效果。

下面说明在图 7 所示的像素倍增图像形成电路 3 中进行的处理。

15 首先, 在像素倍增图像形成电路 3 中, 消除原始图像数据的块。即, 在分类块形成电路 41 中, 图像数据被分成围绕观测图像数据项的  $3 \times 3$  个像素的分类块, 然后把这块提供给分类和适应处理电路 43。在预测值计算块形成电 42 中, 原始图像数据被形成围绕观测原始图像数据项的  $5 \times 5$  个像素的预测值计算块, 并把这块提供给分类和适应处理电路 43。

在分类和适应处理电路 43 中, 分类块和预测值计算块被分别提供给 ADRC 处理部分 44 和适应处理电路 46。

20 ADRC 处理电路 44 接收分类块之后, 则例如通过 1 位的 ADRC 处理(用于 1 位重新量化的 ADRC)对分类块进行处理, 把原始图像数据转换(编码)成为 1 位数据, 并向分类电路 45 输出编码的数据。在分类电路 45 中, 由 ADRC 处理进行处理过的分类块进行分类处理。即, 形成由 ADRC 处理处理的分类块的像素的电平分布状态被检测, 并确定分类块所属的种类。这分类确定的结果作为分类信息被提供给预测系数 ROM 46。

25 在本例中, 由  $3 \times 3$  阵列中的 9 个像素构成并由 ADRC 处理进行处理的每个分类块经受分类处理, 因而, 每个分类块被分成  $512 (= (2^1)^9)$  个类中的一个类。

30 当预测系数 ROM 46 接收分类信息时, 则从按照类存储的预测系数组中读出相应于分类信息的预测系数组, 并把读出的系数提供给预测电路 47。在预测电路 47 中, 通过使用来自预测系数 ROM 46 的预测系数组和来自预

测值计算块形成电路 42 的预测值计算块进行适应处理, 即, 进行方程(1)所示的计算, 从而获得像素倍增图像的像素的预测值。

图 11 说明一种图像处理器的结构, 这种图像处理器进行学习用于获得存储在图 7 所示的预测系数 ROM 46 中的预测系数组。

5 用于获得关于每类的预测系数组的学习图像数据(学习像素倍增图像)被提供给学习块形成电路 91 和教师块形成电路 92。

学习块形成电路 91 例如从对其输入的图像数据中按照由图 8 中符号○表示的位置关系提取  $5 \times 5$  个像素, 并作为学习块把由这 25 个像素形成的块提供给 ADRC 处理 93 和学习数据存储 96。

10 在教师块形成电路 92 中, 由提供的图像数据形成例如由  $3 \times 3$  阵列中的 9 个像素构成的块。由 9 个像素构成的块作为教师块被提供给教师数据存储 98。

在学习块形成电路 91 中由图 8 中符号○表示的位置关系中的 25 个像素构成的块, 即, 由像素  $X_{11}, X_{12}, X_{13}, X_{14}, X_{15}, X_{21}, X_{22}, X_{23}, X_{24}, X_{25}, X_{31}, X_{32}, X_{33},$   
15  $X_{34}, X_{35}, X_{41}, X_{42}, X_{43}, X_{44}, X_{45}, X_{51}, X_{52}, X_{53}, X_{54}, X_{55}$  构成的块被形成的情况下, 在教师块形成电路中则形成由图 8 的正方形包围的  $3 \times 3$  个像素的教师块。

ADRC 处理电路 93 从 25 个形成学习块的像素中例如提取中心的 9 个像素( $3 \times 3$  个像素), 并利用 1 位 ADRC 处理处理这由 9 个像素构成的块, 如  
20 图 7 所示的 ADRC 处理电路 44 处理的那样。由 ADRC 处理的  $3 \times 3$  个像素的块被提供给分类电路 94。在分类电路 94 中, 来自 ADRC 处理电路 93 的块经受分类处理, 如块在图 7 所示的分类电路 45 中处理的那样。这样获得的分类信息通过开关 95 的端子 a 被提供给学习数据存储 96 和教师数据存储 98。

25 在学习数据存储 96 或教师数据存储 98 中, 来自学习块形成电路 91 的学习块或来自教师块形成电路 92 的教师块利用相应于提供给存储器的分类信息的地址进行存储。

在学习数据存储 96 中利用某个地址作为学习块存储有由图 8 所示的符号○表示的  $5 \times 5$  个像素, 即像素  $X_{11}, X_{12}, X_{13}, X_{14}, X_{15}, X_{21}, X_{22}, X_{23}, X_{24},$   
30  $X_{25}, X_{31}, X_{32}, X_{33}, X_{34}, X_{35}, X_{41}, X_{42}, X_{43}, X_{44}, X_{45}, X_{51}, X_{52}, X_{53}, X_{54}, X_{55}$  构成的块的情况下, 则由图 8 所示的正方形包围的  $3 \times 3$  个像素的块(图中由符号×

表示)作为教师块利用和学习数据存储器 96 中相同的地址被存储在教师数据存储器 98 中。

对于制备的所有学习图像重复相同的处理。用于启动在图 7 所示的像素倍增图像形成电路中的预测值计算的、由 9 个像素构成的每个学习块和教师块利用相同的地址被存储在学习数据存储器 96 和教师数据存储器 98 中，所述计算使用由具有和形成相应的学习块的 25 个像素相同位置关系的 25 个原始图像数据项构成的预测值计算块。

学习数据存储器 96 和教师数据存储器 98 被设置用于利用同一地址存储多个信息项，借以使多个学习块和多个教师块能够利用同一地址存储。

在关于所有学习图像的学习块和教师块都被存储在学习数据存储器 96 和教师数据存储器 98 中之后，已经选择端子 a 的开关 95 被改变为端子 b，使得来自计数器 97 的输出能够作为地址被提供给学习数据存储器 96 和教师数据存储器 98。计数器 97 对预定的时钟进行计数，并输出计数值。在学习数据存储器 96 或教师数据存储器 98 中，相应于计数值的学习数据块或教师块被提供给计算电路 99。

因而，相应于计数器 97 的计数值的分类的一组学习块和一组教师块被提供给计算电路 99。

当计算电路 99 收到关于某类的一组学习块和一组教师块时，它便利用最小平方法计算使误差最小的一组预测系数。

即，例如形成学习块的像素的像素值是  $x_1, x_2, x_3, \dots$ ，并且如果要获得的预测系数是  $w_1, w_2, w_3, \dots$ ，则预测系数需要满足下式，以便通过这些值的线性组合获得构成教师块的一个像素的像素值  $y$ ：

$$y = w_1x_1 + w_2x_2 + w_3x_3 + \dots$$

在计算电路 99 中，使预测值  $w_1x_1 + w_2x_2 + w_3x_3 + \dots$  和真值  $y$  的平方差为最小的预测系数  $w_1, w_2, w_3, \dots$  可以通过解上述式(7)所示的标准方程由相同类的学习块和相应的教师块获得。因而，可对于所有的类进行这一处理，从而形成关于这些类的预测系数组。

在计算电路 99 中对于每一类获得的预测系数组被提供给存储器 100。来自计数器 97 的计数值和来自计算电路 99 的预测系数组被提供给存储器 100。在存储器 100 中，来自计算电路 99 的预测系数组利用相应于来自计数器 97 的计数值的地址进行存储。



这样，最适合预测每类的块的  $3 \times 3$  个像素的预测系数组利用相应于该类的地址存储在存储器 100 中。按上述方式在存储器 100 中存储的这些类的预测系数组被存储在图 7 所示的预测系数 ROM 46 中。

在本例中，其中在水平和垂直方向的像素数是原始图像的两倍的像素倍增图像被存储在像素倍增图像存储器 4 中。不过，在像素倍增图像存储器 4 中存储的形成像素倍增图像的像素数不限于此。

可以提供多个像素倍增图像存储器 4，用于存储具有不同的大于原始图像的像素数的像素倍增图像。

在本例中，借助于处理提供给输入图像存储器 2 的水平地址 HA 和垂直地址 VA 而获得的地址被提供给像素倍增图像存储器 4。另外，可向像素倍增图像存储器 4 提供和提供给输入图像存储器 2 的水平地址 HA 和垂直地址 VA 分开制备的独立的地址，以便进行访问。

此外，在本例中，输入图像存储器 2 和像素倍增图像存储器 4 中的每个通过被提供给分别相应于形成图像的像素的水平 and 垂直位置的水平地址和垂直地址而被访问。不过，例如，相对于时间的地址也可以提供给输入图像存储器 2 和像素倍增图像存储器 4。在这种情况下，像素倍增图像通过使用随时间分布的原始图像的像素和在水平和垂直的空间方向上分布的原始图像的像素而被形成。

此外，输入图像存储器 2 和像素倍增图像存储器 4 不一定被彼此分开地形成。它们可以合并为一个存储器。在这种情况下，一个存储器的存储区域可以分配给输入图像存储器 2 和像素倍增图像存储器 4。

在本例中，地址提供电路 1、输入图像存储器 2、像素倍增图像存储器 4 和 RMW 电路 5 被形成在一个芯片上。不过，并不总是需要这些元件被形成在一个芯片上。

在本例中，只形成通过增加原始图像的像素数而获得的像素倍增图像。不过，也可以形成通过减少原始图像的像素数而获得的图像，并和像素倍增图像同时地进行存储。

本发明可应用于处理以非隔行扫描方式扫描的图像，也可以处理以隔行扫描方式扫描的图像。

在本例中，存储装置是以硬件实现的。不过，本发明的存储装置可以借助于使计算机执行用于完成上述处理的程序而实现。

在图 6 所示的实施例中，像素倍增图像存储器 4 由一个存储器 22 构成。此外，在图 6 所示的结构中，像素倍增图像存储器 4 可以由 4 个存储器 13a - 13d 构成，如图 5 所示的结构那样。在这种情况下，计数器 21 的输出可用作选择 4 个存储器 13a - 13d 之一的信号，即一种芯片选择信号，而代替 5 作为水平地址 HA 和垂直地址 VA 的最小有效位被附加。

在本例中，像素(像素值)被存储在例如由 RAM(随机存取存储器)表示的存储器或其类似物中。另外，像素可以被存储(记录)在记录介质上，例如磁盘，磁光盘，或光卡上。

在本发明的存储装置和存储方法中，输入图像被存储在第一存储装置 10 中，其中地址至少由第一和第二地址信号指定，并且由像素数大于输入图像的像素数构成的像素倍增图像由输入图像形成，像素倍增图像被存储在第二存储装置中，其中地址至少由第一和第二地址信号指定。因而，可以立即提供提供放大输入图像而获得的图像。

本发明不限于上述实施例，不脱离本发明的范围和构思可以作出其它改 15 变和改型。

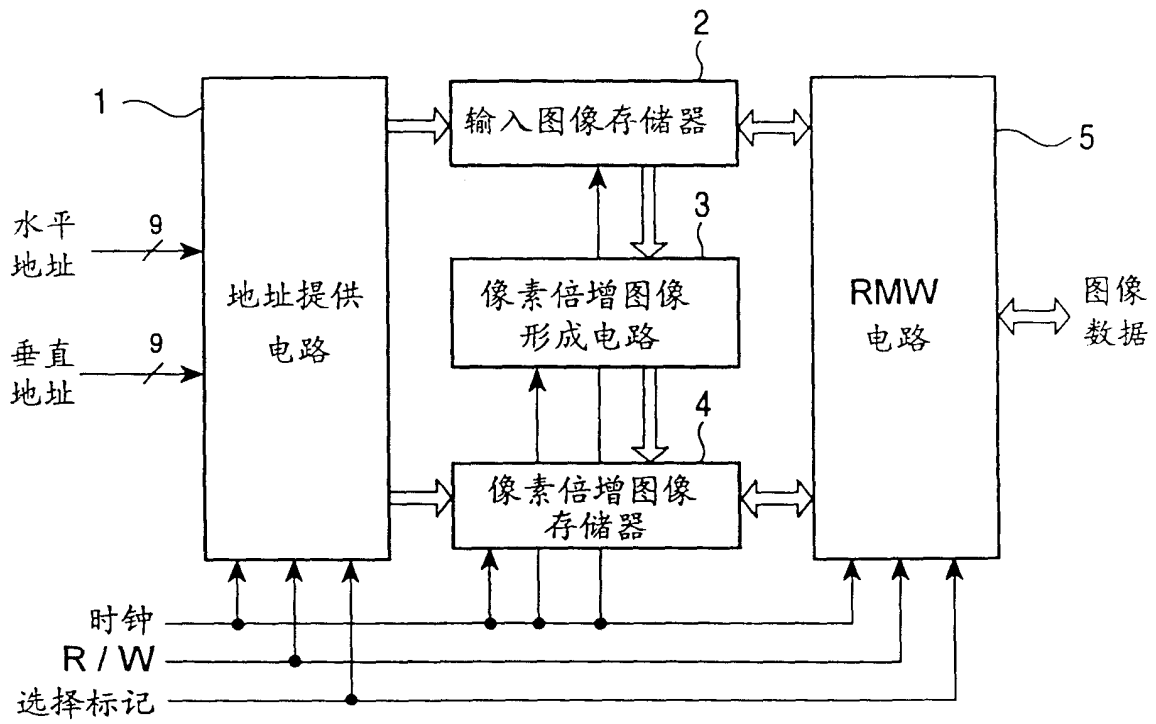


图 1

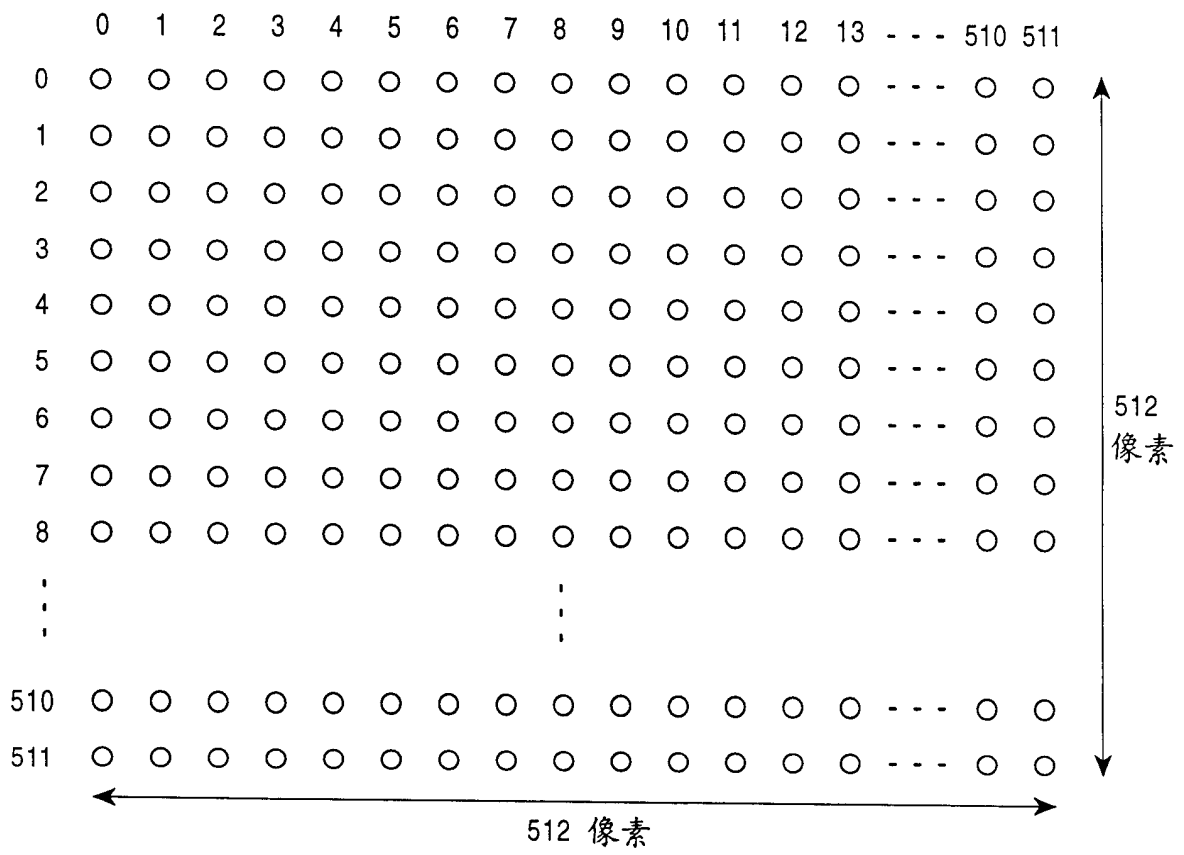


图 2

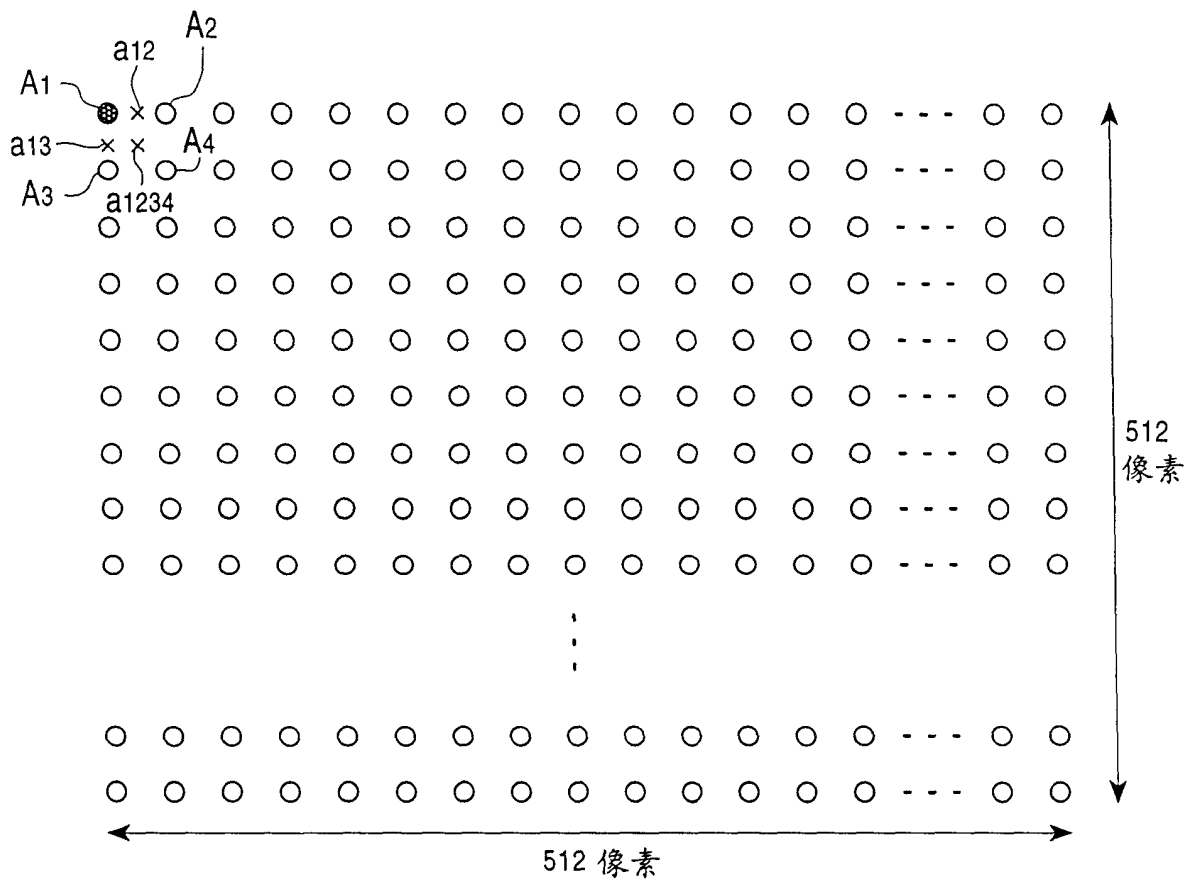


图 3

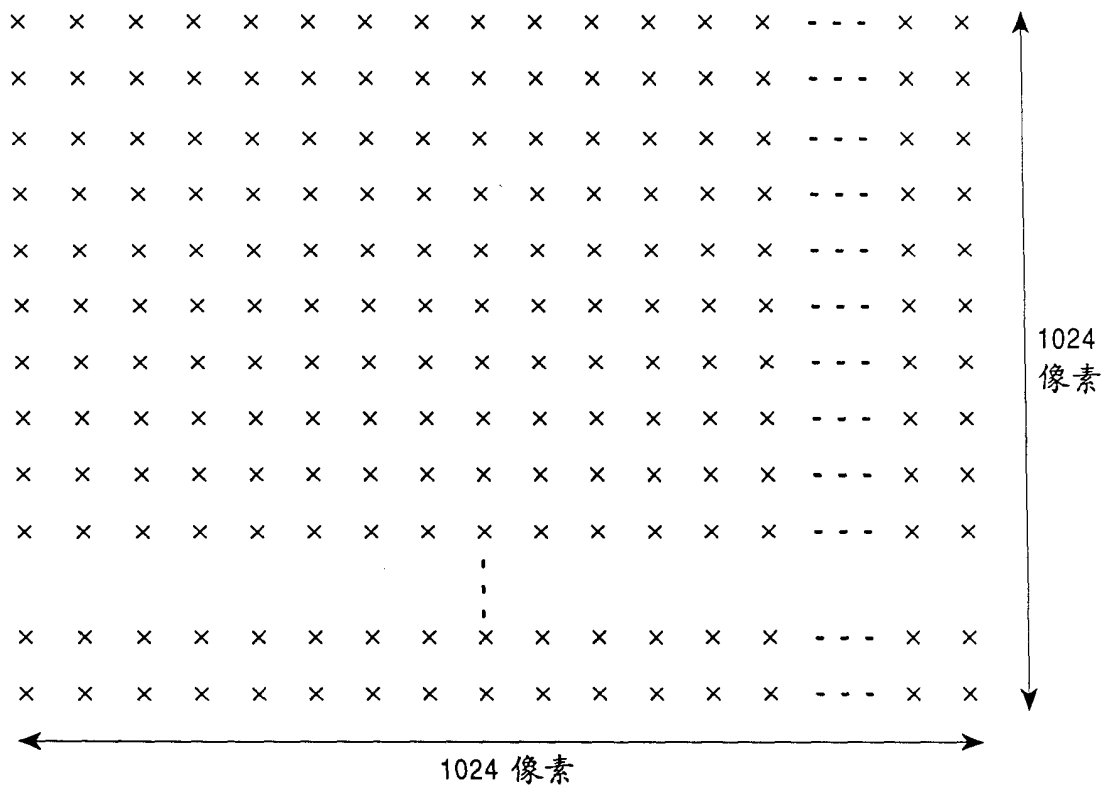


图 4

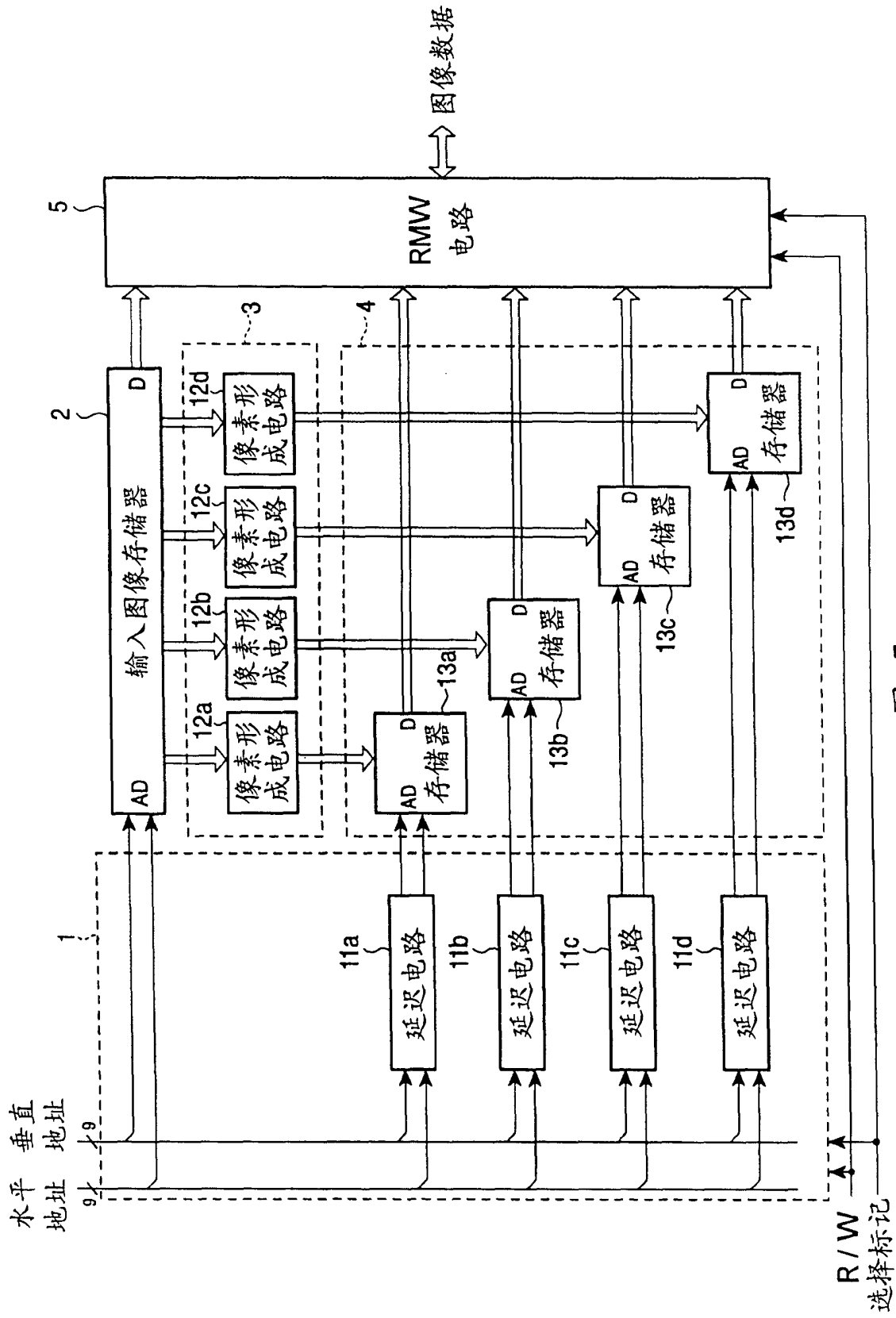
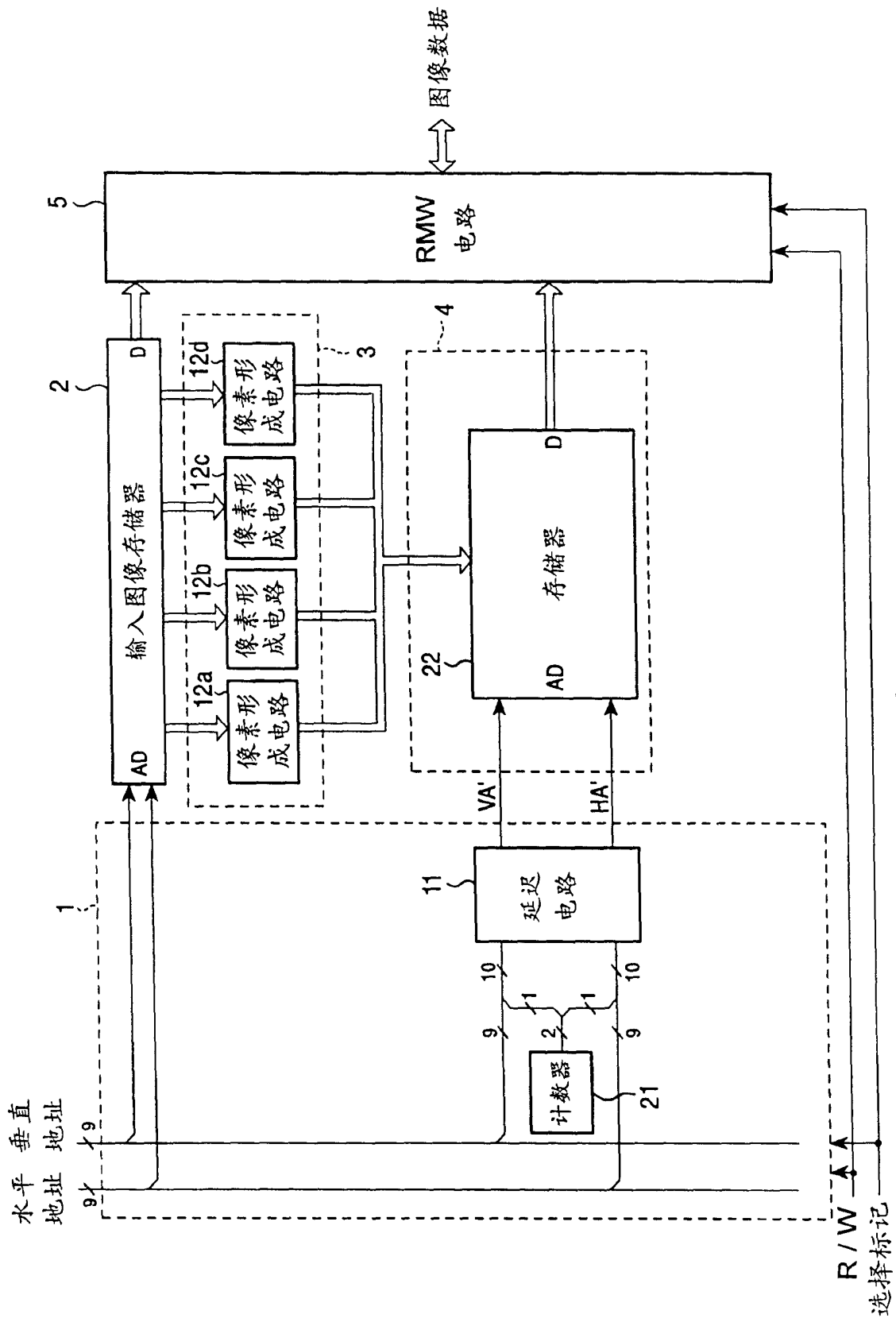
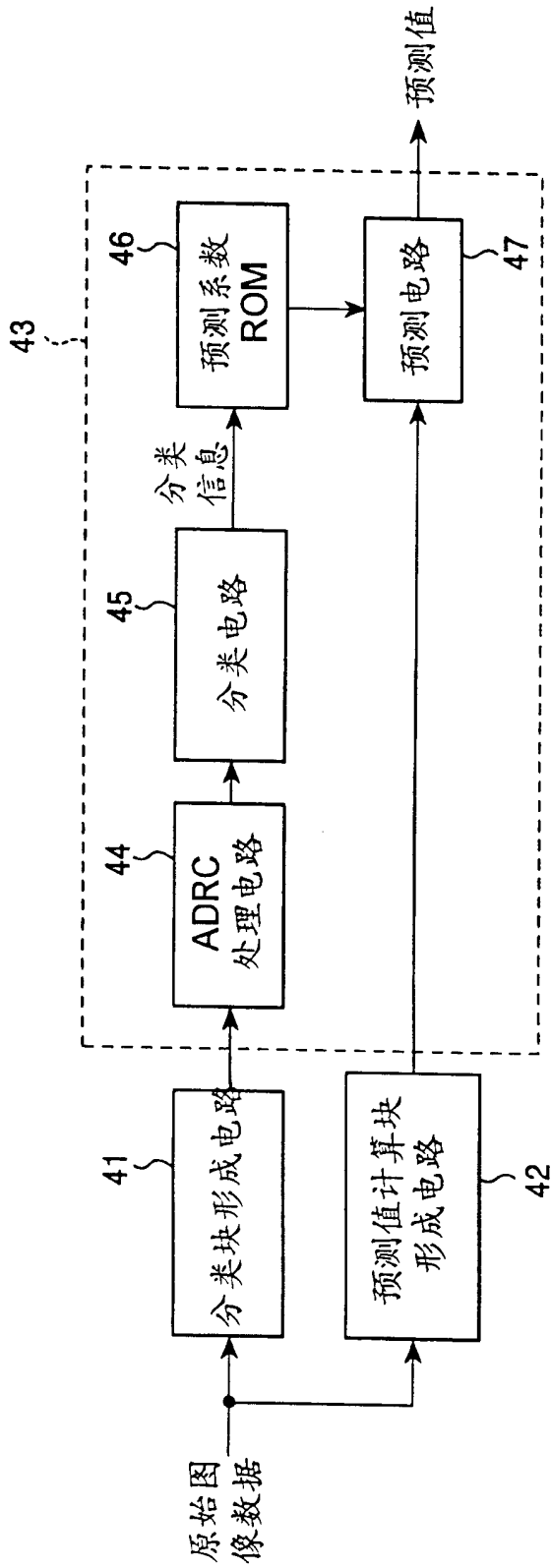


图 5







3

图 7



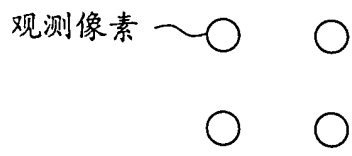


图 9A

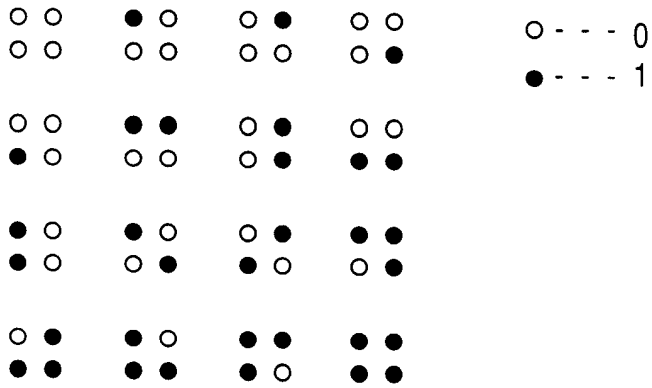


图 9B

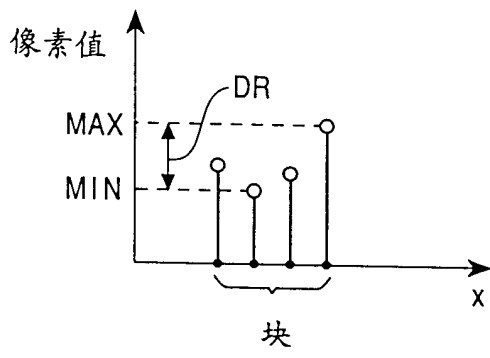


图 10A

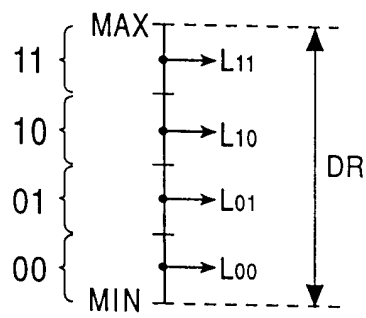


图 10B

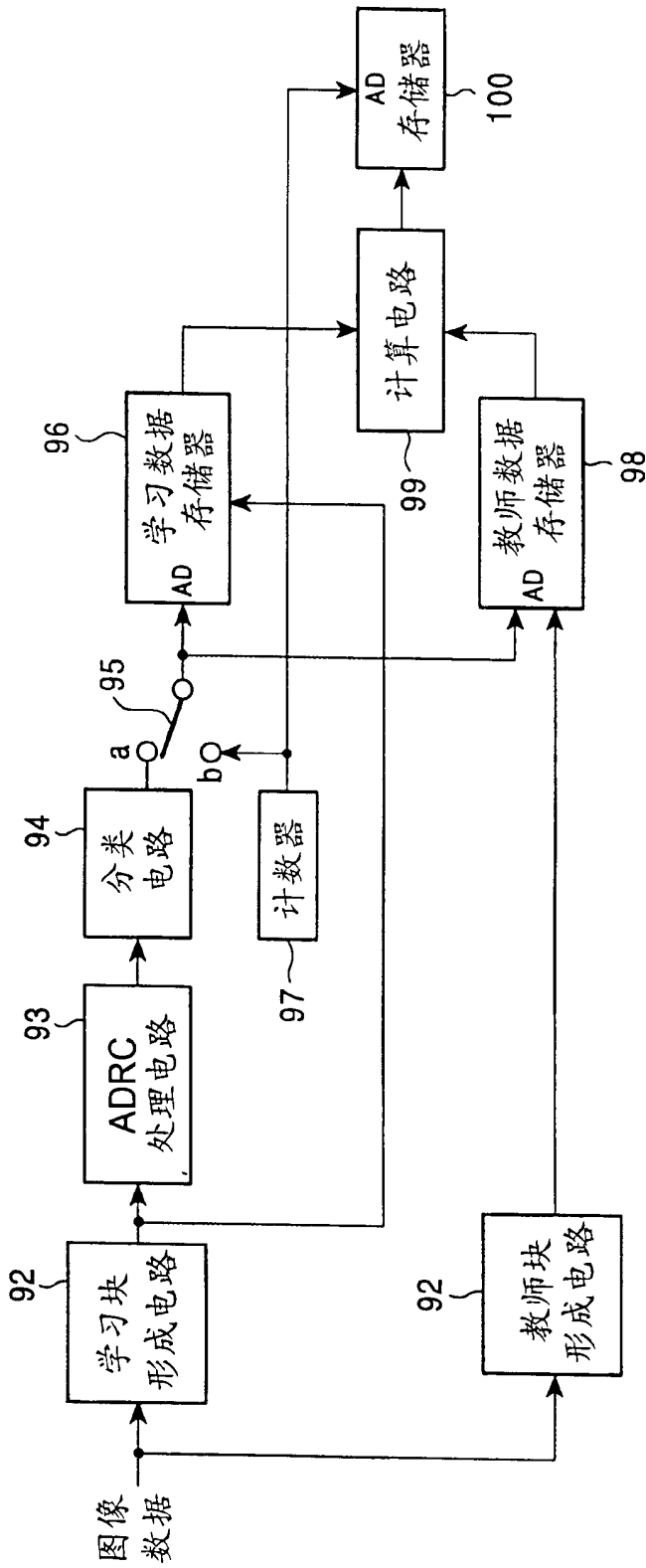


图 11