

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6274897号
(P6274897)

(45) 発行日 平成30年2月7日(2018.2.7)

(24) 登録日 平成30年1月19日(2018.1.19)

(51) Int. Cl.		F I			
HO4N	5/369	(2011.01)	HO4N	5/369	
HO4N	5/345	(2011.01)	HO4N	5/345	600
HO4N	5/374	(2011.01)	HO4N	5/374	
HO1L	27/146	(2006.01)	HO1L	27/146	A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2014-25499 (P2014-25499)	(73) 特許権者	000001007
(22) 出願日	平成26年2月13日 (2014.2.13)		キヤノン株式会社
(65) 公開番号	特開2015-154188 (P2015-154188A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成27年8月24日 (2015.8.24)	(74) 代理人	100090273
審査請求日	平成29年2月1日 (2017.2.1)		弁理士 園分 孝悦
		(72) 発明者	根岸 典央
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		審査官	鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像素子及び撮像素子の駆動方法

(57) 【特許請求の範囲】

【請求項1】

2次元状に配列され、それぞれが光電変換素子と増幅用トランジスタとを含む複数の画素と、

前記2次元状に配列された画素から、画素を一定間隔で間引いて信号を読み出すことが可能な読み出し回路とを有し、

第1導電型の半導体基板内に形成された第2導電型の半導体からなる共通ウェル内に、それぞれ光電変換素子となる第1導電型の半導体受光領域を有しており、

前記共通ウェル内に、それぞれ増幅用トランジスタのソース又はドレインとなる第1導電型の半導体領域を有しており、

前記共通ウェルに基準電圧を供給するためのコンタクトが、前記共通ウェルの画素領域内に複数、設けられており、

前記コンタクトは、すべての画素から信号を読み出した場合に画素の出力信号が画像信号として使用される前記画素領域内の画素のうち、間引いて信号を読み出す場合に間引かれる画素に設けられていることを特徴とする撮像素子。

【請求項2】

前記2次元状に配列された画素における水平方向又は垂直方向に対して、前記コンタクトが設けられている画素の画素間隔が、間引いて信号を読み出す場合に信号が読み出される画素の画素間隔の2倍の整数倍であることを特徴とする請求項1記載の撮像素子。

【請求項3】

前記コンタクトが、特定の色フィルタを設置された画素に設けられていることを特徴とする請求項 1 又は 2 記載の撮像素子。

【請求項 4】

前記特定の色フィルタを設置された画素は、信号処理時にかかるゲイン量が他の色フィルタを設置された画素よりも小さい画素であることを特徴とする請求項 3 記載の撮像素子。

【請求項 5】

光電変換素子と増幅用トランジスタとを含む画素が 2 次元状に複数、配列され、第 1 導電型の半導体基板内に形成された第 2 導電型の半導体からなる共通ウェル内に、それぞれ光電変換素子となる第 1 導電型の半導体受光領域を有し、前記共通ウェル内に、それぞれ増幅用トランジスタのソース又はドレインとなる第 1 導電型の半導体領域を有し、前記共通ウェルに基準電圧を供給するためのコンタクトが、前記共通ウェルの画素領域内に複数、設けられている撮像装置の駆動方法であって、

すべての画素から画像信号として使用する信号を読み出す場合、前記コンタクトが設けられている画素を含む前記画素領域内のすべての画素に対する信号の読み出しを行い、

画素を一定間隔で間引いて画像信号として使用する信号を読み出す場合、前記コンタクトが設けられている画素とは異なる画素に対する信号の読み出しを行うことを特徴とする撮像素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子及び撮像素子の駆動方法に関する。

【背景技術】

【0002】

従来の撮像素子では、画素数が多くなるに従い、出力信号に大きなシェーディングが現れるようになる。図 9 を用いて、このシェーディングの発生メカニズムについて説明する。図 9 (a) は、撮像素子において画素領域内の図 9 (b) に示す 3 点 A、B、C の位置での、読み出し画素行の選択スイッチをオンした前後でのウェル電位を示している。図 9 (a) において、縦軸はウェル電位、横軸は時間であり、選択スイッチをオンした時に、ウェル電位が立ち上がり、ピークを持った後、収束して行く様子を示している。

【0003】

図 9 (a) に示されるように、ウェル電位の変動量は、画素領域内の中心に向かうほど (C - A) 大きくなる。また、ウェル電位の過渡特性に関しても、画素領域内の中心に向かうほど (C - A)、時定数が大きくなり、例えば A の位置で 15 μ s 程である。したがって、選択スイッチをオンした後、ウェル電位が戻らないうちに N 信号 (ノイズ信号) の転送スイッチをオンしてしまうと、N 信号の蓄積容量には画素の位置に応じた異なるレベルの信号が保持されてしまう。

【0004】

また、その後、(S + N) 信号 (ノイズ信号と光信号とを加算した信号) の転送スイッチをオンした際にも、(S + N) 信号の蓄積容量には画素の位置に依存したウェル電位に応じた信号が保持されてしまう。さらに、同じ画素でも、N 信号の転送スイッチをオンしてから (S + N) 信号の転送スイッチをオンするまでの時間に依存してウェル電位が変わってくるため、撮像動作においてシェーディングの原因になっている。

【0005】

図 9 (c) には、画素領域内の中心を通る 1 水平ライン上の画素からのダーク時のセンサ出力が示されている。図 9 (c) において、横軸は画素の水平方向の位置に、縦軸は出力レベルに対応している。出力レベルの違いは、選択スイッチをオンした後、(S + N) 信号の転送スイッチをオフするまでの時間が長いほど顕著になる傾向があり、そのため水平の画素数が多くなるほどシェーディングの発生量が大きくなる。

【0006】

10

20

30

40

50

このシェーディングを抑制するため、図10に示すように、撮像素子内の共通ウェルに基準電圧を供給するためのコンタクトを画素領域内に複数設ける方法が提案されている（特許文献1参照）。図10は、撮像素子の断面図を示しており、1001は光電変換素子としてのフォトダイオード（詳しくはフォトダイオードを構成するN型の半導体受光領域）である。1002はP型のウェル1004と同じ導電型でウェルよりも高不純物濃度のドープ領域（P+領域）である。ウェルコンタクト1003は、ドープ領域1002に直接或いは間接的に接触する導電体からなる。

【0007】

ウェル配線1005は、遮光膜を兼ねており、フォトダイオード1001に光を照射するための受光窓OPが形成された導電体からなる。ウェル配線1005は、ウェルコンタクト1003に接続されており、基準電圧源から所定の基準電圧（例えば0V）が与えられる。図10においては、絶縁層1006と絶縁層1007との間に配された配線層と、配線層の上部にあるスルーホール内の導電性プラグと、配線層の下にあるコンタクトホール内の導電性プラグとによりコンタクトが構成されている。図10では、ウェル配線1005の下方にある各種配線層や各トランジスタなどは図示を省略している。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2001-230400号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

近年、撮像素子の小型化や高感度化のニーズに応えるため、画素領域内のフォトダイオードの領域を大きく取らなければならない一方で、ドープ領域に十分広い領域を割り当てる余裕がなくなってしまう。十分な領域のドープ領域が確保できない場合、ウェルコンタクトに用いる導電性プラグと半導体との接点から発生した暗電流成分が隣接するフォトダイオードに流れ込み、撮像素子からの出力信号にノイズ成分として重畳してしまうことがある。これは、最終的に撮像装置からの出力画像のSN特性悪化やキズ等の画質悪化の要因となることがある。特に、画素を一定間隔で間引いて画素領域内の一部の画素から信号を読み出す駆動モードにおいて、ウェルコンタクト近傍の画素のみ読み出すような動作をした場合、全画素を読み出す駆動モードよりもウェルコンタクトによる画質悪化の影響が大きくなる。

【0010】

本発明は、撮像素子の画素領域内に複数のウェルコンタクトを設け、画素を間引いて一部の画素から信号を読み出しても、ウェルコンタクトによる画質の悪化のない出力画像を得ることを目的としている。

【課題を解決するための手段】

【0011】

本発明に係る撮像素子は、2次元状に配列され、それぞれが光電変換素子と増幅用トランジスタとを含む複数の画素と、前記2次元状に配列された画素から、画素を一定間隔で間引いて信号を読み出すことが可能な読み出し回路とを有し、第1導電型の半導体基板内に形成された第2導電型の半導体からなる共通ウェル内に、それぞれ光電変換素子となる第1導電型の半導体受光領域を有しており、前記共通ウェル内に、それぞれ増幅用トランジスタのソース又はドレインとなる第1導電型の半導体領域を有しており、前記共通ウェルに基準電圧を供給するためのコンタクトが、前記共通ウェルの画素領域内に複数、設けられており、前記コンタクトは、すべての画素から信号を読み出した場合に画素の出力信号が画像信号として使用される前記画素領域内の画素のうち、間引いて信号を読み出す場合に間引かれる画素に設けられていることを特徴とする。

【発明の効果】

【0012】

10

20

30

40

50

本発明によれば、撮像素子における画素の位置に応じたウェル電位の分布を抑制することができ、撮像素子の間引き駆動を行う動画モードにおいても画質を悪化させることなくシェーディングを低減することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態における撮像素子の構成例を示す図である。

【図2】図1に示す読み出し回路の構成例を示す図である。

【図3】本実施形態における撮像素子の駆動例を示すタイミングチャートである。

【図4】本実施形態におけるに使用した色フィルタを示す図である。

【図5】本実施形態における撮像素子の模式的平面図である。

10

【図6】本実施形態における画素及びウェルコンタクトの配置例を示す図である。

【図7】本実施形態における画素及びウェルコンタクトの配置例を示す図である。

【図8】本実施形態における撮像装置の構成例を示す図である。

【図9】撮像素子におけるウェル電位の変化を示す図である。

【図10】従来の撮像素子の模式的断面図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施形態を図面に基づいて説明する。

以下では、X-Yアドレス型の走査方法を採用する撮像素子により構成されたカメラシステムを例に説明する。

20

【0015】

図1は、本発明の実施形態における撮像素子の構成例を示す図である。本実施形態における撮像素子は、例えばCMOS型撮像素子（CMOSイメージセンサ）であり、X-Yアドレス型の走査方法を採用する。

【0016】

101は単位画素であり、フォトダイオード（PD）102、転送スイッチ103、フローティングデフュージョン（FD）104、ソースフォロアとして機能する増幅MOSアンプ105、選択スイッチ106、及びリセットスイッチ107を有する。108は垂直出力線（列信号線）、109は増幅MOSアンプ105の負荷となる定電流源、110は通信線、111は出力アンプである。112は垂直走査回路、113は読み出し回路、114は水平走査回路である。なお、図1では、図の簡略化のために単位画素101を4行×4列のみ図示しているが、実際には2次元状に非常に多数の単位画素101が配列されている。

30

【0017】

FD104、増幅MOSアンプ105、及び定電流源109でフローティングデフュージョンアンプが構成される。また、垂直走査回路112、読み出し回路113、及び水平走査回路114により、複数の単位画素101のすべての画素から信号を読み出す全読み出し駆動や、単位画素101を一定間隔で間引いて一部の画素から信号を読み出す間引き読み出し駆動が実現される。出力アンプ111は、R、Gr、Gb、Bのそれぞれに対し1つずつの計4チャンネル出力となっている。

40

【0018】

図2は、図1に示した読み出し回路113の構成例を示す図である。201はN信号（ノイズ信号）の転送スイッチであり、202は（S+N）信号（ノイズ信号と光信号とを加算した信号）の転送スイッチである。203はN信号を一時的に蓄積するN信号の蓄積容量、204は（S+N）信号を一時的に蓄積する（S+N）信号の蓄積容量である。205、206は列選択信号の転送スイッチであり、207は差動増幅器である。

【0019】

読み出し回路113は、そこで発生するノイズを含むノイズ信号（N信号）の読み出し系と、ノイズ信号と光信号とが加算された信号（（S+N）信号）の読み出し系の2系統に分かれている。N信号の読み出し系は、N信号の転送スイッチ201、N信号の蓄積

50

容量 203、及び列選択信号の転送スイッチ 205 により構成される。(S+N) 信号の読み出し系は、(S+N) 信号の転送スイッチ 202、(S+N) 信号の蓄積容量 204、及び列選択信号の転送スイッチ 206 により構成される。これら 2 つの読み出し系は、差動増幅器 207 に接続されている。

【0020】

次に、本実施形態における撮像素子の動作の概略について説明する。図 3 は、本実施形態における撮像素子の駆動例を示すタイミングチャートである。単位画素 101 は、PD 102 において光を電荷に変換し、PD 102 で発生した電荷を転送制御パルス TX に基づいて転送スイッチ 103 により転送し、FD 104 に一時的に蓄積しておく。

【0021】

選択された 1 水平ライン上の画素のリセットスイッチ 107 をオンするハイレベルのリセット制御パルス RST を与える。次いで、リセット制御パルス RST をローレベルにしてリセットスイッチ 107 をオフにし、選択スイッチ 106 をオンするハイレベルの選択制御パルス SEL を与える。これにより、垂直出力線 108 に出力された N 信号は、図 2 に示した IN へと入力される。この N 信号を N 信号の蓄積容量 203 に蓄積するために、N 信号の転送スイッチ 201 をオンするハイレベルの N 信号転送パルス Tn を与える。

【0022】

続いて、選択された行の画素 101 の転送スイッチ 103 をオンするためのハイレベルの転送制御パルス TX を与える。これにより、PD 102 に蓄積された光信号が増幅用トランジスタ（増幅 MOS アンプ）105 のゲートに入力され、増幅用トランジスタ 105 のソースから光信号に応じた出力信号が得られる。転送制御パルス TX をローレベルにして転送スイッチ 103 をオフにしても、増幅用トランジスタ 105 のゲート電位は光信号に基づいた値に保持される。

【0023】

この状態で、垂直出力線 108 に出力された (S+N) 信号を (S+N) 信号の蓄積容量 206 に蓄積するために、(S+N) 信号の転送スイッチ 202 をオンするハイレベルの (S+N) 信号転送パルス Ts を与える。そして、選択制御パルス SEL をローレベルにして選択スイッチ 105 をオフにし、選択された行の各画素からの信号の読み出しが終了する。

【0024】

ここで、N 信号の蓄積容量 205 に保持される N 信号には、リセット時の kTC ノイズ、MOS トランジスタの閾値バラツキによる固定パターンノイズが含まれている。また、(S+N) 信号の蓄積容量 204 に保持される (S+N) 信号には、前述したノイズを含んだリセット状態の信号に光電荷による信号が加算されている。

【0025】

このように、図 3 に示したタイミングにより各スイッチが制御されて、1 水平ライン上の画素の信号が、それぞれの列に対応する 2 つの蓄積容量 203、204 に保持される。その後、水平走査回路 114 により、読み出し回路 113 内の転送スイッチ 205、206 をオンすることで、N 信号及び (S+N) 信号を差動増幅器 207 のそれぞれの入力線に読み出す。そして、差動増幅器 207 から、(S+N) 信号に含まれる N 信号が除去された光電荷による信号のみに応じた信号が、出力アンプ 111 を経てセンサ出力として出力される。

【0026】

つまり、水平走査回路 114 により、それぞれの列に対応する転送スイッチ 205、206 を順次オン、オフすることにより、1 水平ライン上の画素の信号を差動増幅器 207 より出力して行く。これを各水平ライン毎に行うために、垂直走査回路 112 により画素行が選択される都度、図 3 に示したタイミングにより各スイッチを制御して、水平走査回路 114 により順次走査する、という手続きを繰り返す。こうして、画素領域内の画素からの信号を出力することができる。

10

20

30

40

50

【 0 0 2 7 】

図 4 は、図 1 に示す撮像素子で使用される色フィルタアレイの一部を示す図である。図 4 では、第 1 の色フィルタを赤 (R)、第 2 の色フィルタを緑 (G r)、第 3 の色フィルタを緑 (G b)、第 4 の色フィルタを青 (B) とした場合を一例として示している。この色フィルタアレイの配列は、原色の色フィルタ配列のなかでも、特にベイヤ配列と呼ばれるものであり、高い解像度及び優れた色再現性を備えた色フィルタ配列である。以下では、赤 (R) の色フィルタを設置された画素を R 画素、緑 (G r) の色フィルタを設置された画素を G r 画素、緑 (G b) の色フィルタを設置された画素を G b 画素、青 (B) の色フィルタを設置された画素を B 画素とも呼ぶ。

【 0 0 2 8 】

次に、図 5 を用いて、本実施形態における撮像素子内のウェルコンタクトの配置について説明する。図 5 において、単位画素 5 0 1 は、図 1 に示した単位画素 1 0 1 に対応し、フォトダイオード 5 0 2 は、図 1 に示したフォトダイオード 1 0 2 に対応する。また、アンプ 5 0 3 は、図 1 に示した増幅 M O S アンプ 1 0 5 に対応し、出力アンプ 5 0 5 は、図 1 に示した出力アンプ 1 1 1 に対応する。ウェルコンタクト 5 0 4 は、ウェルに基準電圧を供給するためのコンタクトである。

【 0 0 2 9 】

本実施形態では、B 画素のある単位画素 5 0 1 のみにウェルコンタクト 5 0 4 を設けている。出力アンプ 5 0 5 は、B 画素用、R 画素用、G r 画素用、G b 画素用の順に読み出しを行う。図 5 において、単位画素 5 0 1 と出力アンプ 5 0 5 以外の回路、例えば垂直走査回路 1 1 2、読み出し回路 1 1 3、水平走査回路 1 1 4 等の回路は、図示を省略している。

【 0 0 3 0 】

単位画素 5 0 1 は、フォトダイオード 5 0 2 及びアンプ 5 0 3 と、画素によってはウェルコンタクト 5 0 4 により構成されている。ここで、光電変換素子としてのフォトダイオード 5 0 2 を構成する N 型 (第 1 導電型) の半導体受光領域は、図 1 0 に示した撮像素子と同様に、N 型 (第 1 導電型) の半導体基板内に形成された P 型 (第 2 導電型) のウェル内 (共通ウェル内) に形成される。また、増幅 M O S アンプ 1 0 5 に対応するアンプ 5 0 3 を構成する増幅用トランジスタのソース又はドレインとなる N 型 (第 1 導電型) の半導体領域は、P 型 (第 2 導電型) のウェル内 (共通ウェル内) に形成される。

【 0 0 3 1 】

ウェルコンタクト 5 0 4 が設けられている単位画素 (以下、コンタクト画素とも称する) 5 0 1 は、画素領域内に 2 次元状に配置された画素の複数列又は複数行に 1 個存在する。ウェルコンタクト 5 0 4 は、画素を一定間隔で間引いて画素から信号を読み出す撮像素子の間引き駆動モードで駆動した場合の間引き画素 (間引かれる画素) に設けられる。

【 0 0 3 2 】

ここで、撮像素子 (センサ) の間引き駆動モードにおける水平方向の間引き率を H m、垂直方向の間引き率を V m とすると、水平方向のコンタクト画素間隔 H c、垂直方向のコンタクト画素間隔 V c は下記のようなになる。

$$H c = H m \times 2 \text{ 又は } V c = V m \times 2 \quad \dots \text{ (式 1)}$$

なお、水平方向のコンタクト画素間隔、及び垂直方向のコンタクト画素間隔は、水平方向の間引き率、垂直方向の間引き率の 2 倍に限らず、前述した (式 1) により算出される値 H c、V c の整数倍であっても良い。

【 0 0 3 3 】

例えば、水平方向に 1 / 3 間引き、垂直方向に 1 / 3 間引きの駆動モードで画素領域内の画素から読み出す場合の画素レイアウトを、図 6 を用いて説明する。図 6 において、それぞれ 1 つのマスが 1 つの画素を示している。図 6 において、R、G r、G b、B と示されているマスは、それぞれ第 1 の色フィルタ (R)、第 2 の色フィルタ (G r)、第 3 の色フィルタ (G b)、第 4 の色フィルタ (B) を有し、信号が読み出されて出力信号が画像信号として使用される画素を示している。一方で、空白のマスは、信号が読み出されな

10

20

30

40

50

い画素、すなわち間引き画素を示している。斜め縞に塗られたマスは、信号が読み出されず、かつウェルコンタクト504が設けられている画素（コンタクト画素）を示している。

【0034】

水平方向に1/3間引き、垂直方向に1/3間引きで駆動する場合、水平方向の間引き率 H_m は $H_m = 3$ 、垂直方向の間引き率 V_m は $V_m = 3$ であるから（式1）より水平方向のコンタクト画素間隔 H_c 、垂直方向のコンタクト画素間隔 V_c は、

$$H_c = 3 \times 2 = 6 \text{ 又は } V_c = 3 \times 2 = 6 \quad \dots \text{ (式2)}$$

となる。つまり、コンタクト画素は、水平方向で6画素おき、又は垂直方向で6画素おきとなっていればよい。図6に示す例の場合には、この条件を守った並びとして水平方向で6画素おき、垂直方向で4画素としている。

10

【0035】

また、例えば、水平方向に1/2間引き、垂直方向に1/2間引きの駆動モードで画素領域内の画素から読み出す場合の画素レイアウトを、図7を用いて説明する。水平方向に1/2間引き、垂直方向に1/2間引きで駆動する場合、水平方向のコンタクト画素間隔 H_c 、垂直方向のコンタクト画素間隔 V_c は、同様にして

$$H_c = 2 \times 2 = 4 \text{ 又は } V_c = 2 \times 2 = 4 \quad \dots \text{ (式3)}$$

を満たしていればよい。図7に示す例の場合には、この条件を守った並びとして水平方向で4画素おき、垂直方向では4画素としている。

20

【0036】

さらに、例えば水平方向に1/3間引き、垂直方向に1/3間引きの駆動モード、及び水平方向に1/2間引き、垂直方向に1/2間引きの駆動モードを使用する撮像素子である場合には、前述した（式2）かつ（式3）であれば良い。したがって、例えば水平方向のコンタクト画素間隔 H_c 、垂直方向のコンタクト画素間隔 V_c は、下記の（式4）、又は（式5）を満たせばよい。

$$H_c = 3 \times 2 = 6 \text{ かつ } V_c = 2 \times 2 = 4 \quad \dots \text{ (式4)}$$

$$H_c = 2 \times 2 = 4 \text{ かつ } V_c = 3 \times 2 = 6 \quad \dots \text{ (式5)}$$

【0037】

図8は、本実施形態における撮像素子を用いた撮像装置の構成例を示す図である。図8において、801はレンズ、802はレンズ駆動部、803はメカニカルシャッタ（メカシャッタと表記）、804は絞り、805はメカニカルシャッタ・絞り駆動部（シャッタ・絞り駆動部と表記）である。806は図2、図3に示す構成を有する撮像素子である。807は相関2重サンプリング、ゲイン調整、及びA/D変換（アナログデジタル変換）を行う回路（CDS・A/Dと表記）である。808は撮像信号処理回路、809はタイミング発生部、810はメモリ部（第1メモリ部と表記）、811は全体制御演算部である。812は記録媒体制御インターフェース部（記録媒体制御I/F部と表記）、813は表示部、814は記録媒体、815は外部インターフェース部（外部I/F部と表記）、816はメモリ部（第2メモリ部と表記）、817は操作部である。

30

【0038】

レンズ部801を通った被写体像は、絞り804にて適切な光量に調整され、撮像素子806に結像される。撮像素子806に結合された被写体像は、CDS・A/D807にて相関2重サンプリング、ゲイン調整、アナログ信号からデジタル信号への変換を行うA/D変換等が行われ、R、Gr、Gb、Bの信号として取り込まれ、撮像信号処理回路808に送られる。撮像信号処理回路808は、ノイズを軽減するローパスフィルタ処理やシェーディング処理、ホワイトバランス処理などの各種の画像信号処理、さらに各種の補正、画像データの圧縮等を行う。

40

【0039】

レンズ部801は、レンズ駆動部802によってズーム及びフォーカス等が駆動制御される。メカシャッタ803は、一眼レフカメラに使用されるフォーカルプレーン型のシャッタの後幕に相当する幕のみを有するシャッタ機構である。これらメカシャッタ803や

50

絞り 804 は、シャッタ・絞り駆動部 805 によって駆動制御される。タイミング発生部 809 は、撮像素子 806 及び撮像信号処理回路 808 に各種タイミング信号を出力する。全体制御演算部 811 は、撮像装置全体の制御と各種演算を行う。

【0040】

メモリ部 810 は、画像データを一時的に記憶する。記録媒体制御インターフェース部 812 は、記録媒体 814 に対して画像データの記録又は読み出しを行う。表示部 813 は、画像データ等の表示を行う。記録媒体 814 は、半導体メモリ等の着脱可能記録媒体であり、画像データ等の記録又は読み出しを行う。外部インターフェース部 815 は、外部コンピュータ等と通信を行うためのインターフェースである。メモリ部 816 は、全体制御演算部 511 で行われた演算結果等を記憶する。操作部 817 にてユーザーが設定した撮像装置の駆動条件に関する情報は、全体制御演算部 811 に送られ、これらの情報に基づいて撮像装置全体の制御が行われる。

10

【0041】

本実施形態によれば、ウェルに基準電圧を供給するためのウェルコンタクトを複数設けることで、画素の位置に応じたウェル電位の分布を抑制することができる。また、撮像素子の画素領域内の画素を間引いて一部の画素から信号を読み出す場合、ウェルコンタクトが設けられている画素は間引かれる画素であるので、出力画像の画質に及ぼす影響を抑制することができる。したがって、シェーディングを低減できるとともに、撮像素子の間引き駆動を行う動画モードにおいて、ウェルコンタクトによる画質の悪化のない出力画像を得ることができ、優れた画質性能を実現することのできる撮像装置を提供することが可能となる。

20

【0042】

前述した本実施形態では、撮像素子の画素領域内の画素のうち、B画素の一部のみにウェルコンタクトを設けている。それは、本実施形態では信号処理時にG信号のみを輝度信号として用いる撮像システム（撮像装置）等のように、B画素から読み出された信号（B信号）に加えられるゲイン量が他の色の信号に加えられるゲイン量よりも小さいとしているためである。つまり、B画素にウェルコンタクトを設けることにより出力信号のノイズが増加してしまっても最終的な出力画像に及ぼす影響が少ない。したがって、画素領域内のすべての画素から信号を読み出して画像信号として使用することを考慮すると、ウェルコンタクトを設ける、特定の色フィルタを設置された画素は、信号処理時にかけるゲイン量が他よりも小さい画素であることが好ましい。

30

【0043】

このように、信号処理の構成等により撮像装置毎に最終的な出力画像へのノイズの影響の小さい画素は異なる。そのため、撮像装置毎にそれぞれにあった特定の色フィルタを設置された原色画素にウェルコンタクトを設置することが望ましく、必ずしも前述した例のようにB画素にウェルコンタクトを設ける必要はない。言うまでもなくどの色の画素にウェルコンタクトが設置されていても、間引き駆動において間引かれる画素に設置されていれば、本発明の効果があることは言うまでもない。

【0044】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

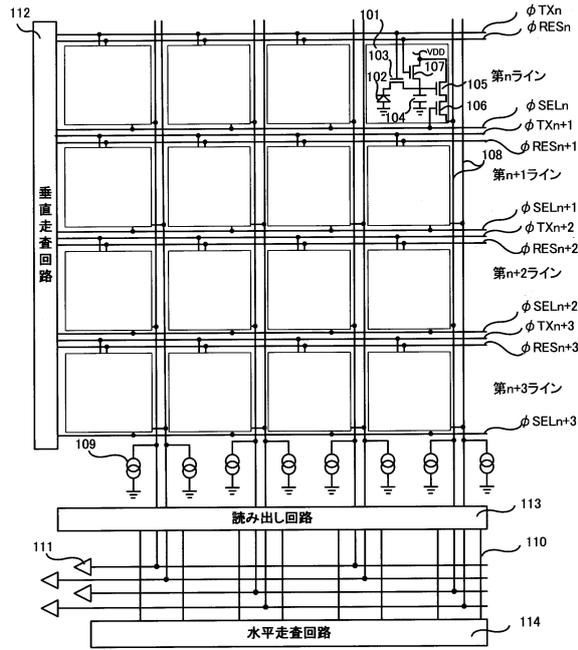
40

【符号の説明】

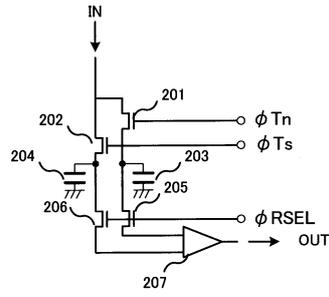
【0045】

101、501：単位画素 102、502：フォトダイオード（光電変換素子） 105：増幅MOSアンプ 112：垂直走査回路 113：読み出し回路 114：水平走査回路 503：アンプ（増幅用トランジスタ） 504：ウェルコンタクト

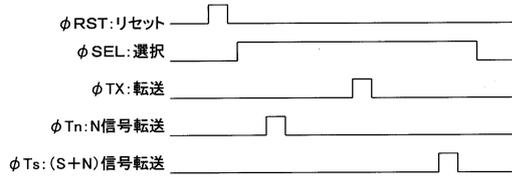
【図1】



【図2】



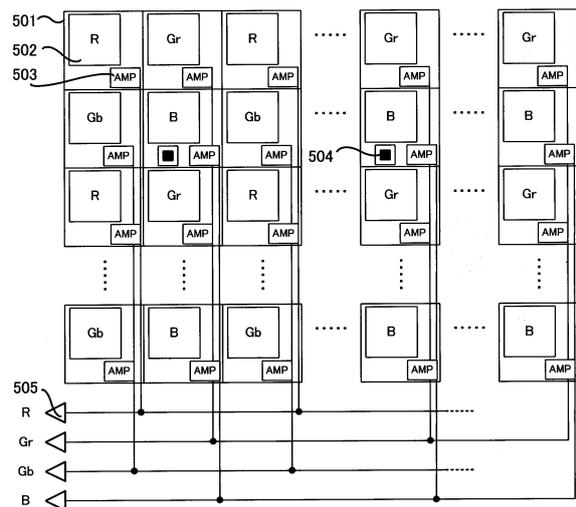
【図3】



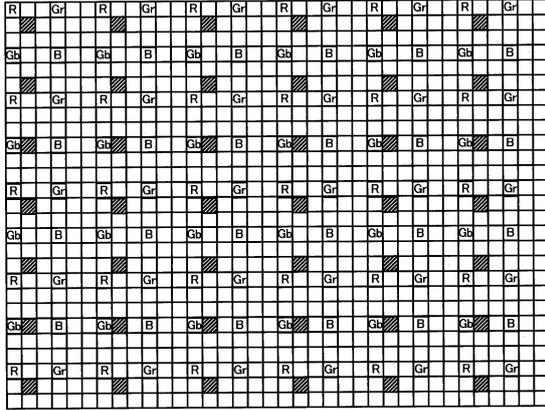
【図4】



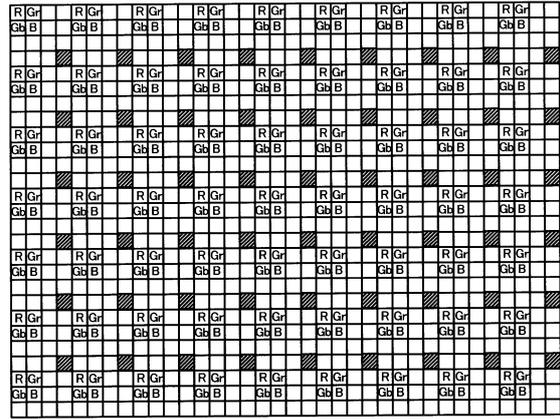
【図5】



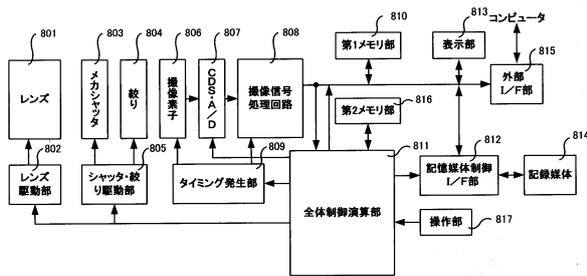
【図6】



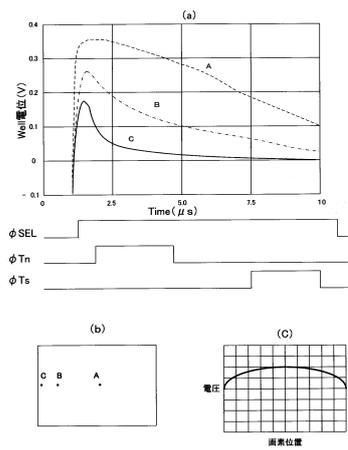
【図7】



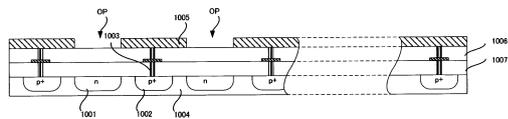
【図8】



【図9】



【図10】



フロントページの続き

(56)参考文献 国際公開第2012/161225(WO, A1)

特開2005-142251(JP, A)

特開2010-245177(JP, A)

特開2009-206941(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H01L 27/14 - 27/148