



(12) 发明专利

(10) 授权公告号 CN 101937722 B

(45) 授权公告日 2013.06.05

(21) 申请号 200910152341.X

审查员 李萌

(22) 申请日 2009.06.30

(73) 专利权人 瑞昱半导体股份有限公司
地址 中国台湾新竹科学园区

(72) 发明人 李日农 郭硕芬 吴奇峰

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 史新宏

(51) Int. Cl.

G06F 11/00 (2006.01)

G11C 29/12 (2006.01)

G11C 29/42 (2006.01)

(56) 对比文件

TW 396539 B, 2000.07.01, 说明书第9页第1段 - 第12页第2段, 图2.

US 2009/0132876 A1, 2009.03.21, 说明书第【0014】-【0028】段, 图1-7.

US 7467337 B2, 2008.12.16, 说明书第4栏第42行 - 第8栏第45行, 图1-9.

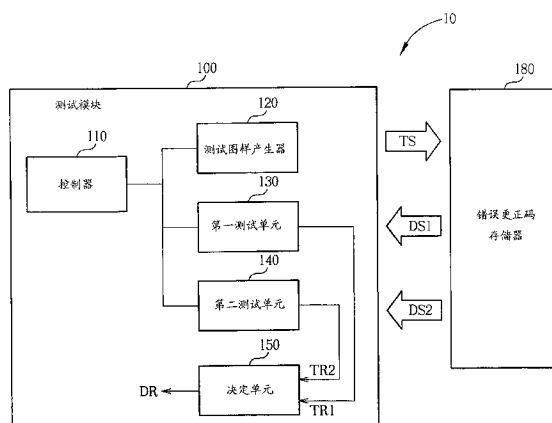
权利要求书2页 说明书6页 附图4页

(54) 发明名称

存储器装置及其相关测试方法

(57) 摘要

本发明揭露了一种存储器装置与相关的测试方法。存储器装置包含了一存储器与一测试模块。其中,测试模块包含了一错误记录单元,该错误记录单元记录了存储器中发生位错误所对应的地址。测试模块依据该错误记录单元中所记录的地址来判断存储器是否有多重位错误的发生。其中该存储器为一错误更正码存储器。



1. 一种存储器装置,包含有:

一存储器,具有多个数据储存区块,每一数据储存区块具有一相对应的地址,且每一数据储存区块储存多个数据位;以及

一测试模块,耦接至该存储器,该测试模块包含:

一测试图样产生器,用以产生一测试图样至该存储器中;

至少一测试单元,包含有:

一第一判断电路,用以读取该存储器中的一第一数据位与一第二数据位,并依据该测试图样以判断该第一数据位与该第二数据位是否有误;其中,该第一数据位对应于该存储器中的一第一地址,该第二数据位对应于该存储器中的一第二地址;

一错误记录单元,耦接至该第一判断电路,用于当该第一数据位有误时,记录该第一地址;以及

一第二判断电路,耦接至该错误记录单元,用以比较该存储器中的该第二地址与该错误记录单元中的该第一地址是否相同,以判断该存储器是否有一多重位错误发生,

其中该存储器为一错误更正码存储器,该错误更正码存储器包含:

多个检查位储存区块,每一检查位储存区块用以储存多个检查位;以及

一错误更正码逻辑电路,耦接至该数据储存区块与该检查位储存区块,用以依据这些检查位以更正这些数据储存区块中的这些数据位,

其中该测试模块于该错误更正码逻辑电路被禁能时,测试该错误更正码存储器是否有该多重位错误发生。

2. 根据权利要求1所述的存储器装置,其中该错误记录单元还记录该第一数据位位于所对应的该数据储存区块中的一第一错误位;并记录该第二数据位位于所对应的该数据储存区块的一第二错误位。

3. 根据权利要求2所述的存储器装置,其中该第二判断电路还比对该第一错误位与该第二错误位是否相同,以判断该存储器是否有该多重位错误发生。

4. 根据权利要求1所述的存储器装置,其中该测试模块还包含:

一计数器,用以计数该错误记录单元所储存的一地址数目,以决定一错误容忍度。

5. 根据权利要求1所述的存储器装置,其中该测试模块先致能该错误更正码逻辑电路来进行测试,再禁能该错误更正码逻辑电路来进行测试。

6. 根据权利要求1所述的存储器装置,其中每一数据储存区块储存32位数据。

7. 根据权利要求1所述的存储器装置,其中该存储器为一动态随机存取存储器或一静态随机存取存储器。

8. 一种存储器测试方法,用以测试一存储器,该存储器具有多个数据储存区块,每一数据储存区块具有一相对应的地址,且每一数据储存区块用以储存多个数据位,该测试方法包含:

产生一测试图样至该存储器中;

读取该存储器中的一第一数据位与一第二数据位;

依据该测试图样以判断该第一数据位与该第二数据位是否有误;其中,该第一数据位被储存于该存储器中的一第一地址,该第二数据位被储存于该存储器中的一第二地址;

当该第一数据位有误时,于一错误记录单元中记录该第一地址;以及

比较该存储器中的该第二地址与该错误记录单元中的该第一地址是否相同,以判断该存储器是否有一多重位错误发生,

其中该存储器为一错误更正码存储器,该错误更正码存储器包含一错误更正码逻辑电路,该错误更正码逻辑电路用以更正储存于该些数据储存区块中的该些数据位,当该错误更正码逻辑电路被禁能时,测试该错误更正码存储器是否有该多重位错误发生。

9. 根据权利要求 8 所述的测试方法,还包含:

记录该第一数据位位于所对应的该数据储存区块中的第一错误位;以及

记录该第二数据位位于所对应的该数据储存区块的第二错误位。

10. 根据权利要求 9 所述的测试方法,还包含:

比对该第一错误位与该第二错误位是否相同,以判断该存储器是否有该多重位错误发生。

11. 根据权利要求 8 所述的测试方法,还包含:

计数该错误记录单元中所储存的一地址数目,以决定一错误容忍度。

12. 根据权利要求 8 所述的测试方法,还包含:

先致能该错误更正码逻辑电路来进行测试,再禁能该错误更正码逻辑电路来进行测试。

13. 根据权利要求 8 所述的测试方法,其中每一数据储存区块储存 32 位数据。

14. 根据权利要求 8 所述的测试方法,其中该存储器为一动态随机存取存储器或一静态随机存取存储器。

存储器装置及其相关测试方法

技术领域

[0001] 本发明有关一种存储器装置及其相关测试方法,尤指一种错误更正码存储器装置与其相关测试方法。

背景技术

[0002] 在电子产品中,存储器为一不可或缺的电子元件。然而,由于存储器内的数据正确性会随着存储器的制造过程产生瑕疵或因存取次数的增加而降低。因此,为了解决数据错误的问题,在现有的存储器中,通常会搭配一错误更正码 (error correction codes, ECC) 的逻辑电路来对出现错误的数据进行修复。

[0003] 一般在对错误更正码存储器进行测试时,错误更正码逻辑电路都是处于致能状态 (ECC-on)。当存储器中同一地址的储存区块有多重位错误存在时,若是使用一般的测试算法来进行测试,并无法检测出该错误。除此之外,以目前错误更正码存储器的测试方式并无法得知存储器错误的数量以及状态,因此无法进行错误容忍度 (error tolerance) 的控管。

发明内容

[0004] 本发明的目的之一在于提供一种测试一错误更正码存储器装置的测试模块及其测试方法,以解决先前技术中的问题。

[0005] 本发明的实施例揭露了一种存储器装置。存储器装置包含一存储器以及一测试模块。存储器具有多个数据储存区块,每一数据储存区块具有一相对应的地址,且每一数据储存区块储存多个数据位。测试模块包含一测试图样产生器以及至少一测试单元。测试图样产生器产生一测试图样至该存储器中。测试单元包含一第一判断电路、一错误记录单元以及一第二判断电路。第一判断电路用以读取该存储器中的一第一数据位与一第二数据位,并依据该测试图样以判断该第一数据位与该第二数据位是否有误;其中,该第一数据位对应于该存储器中的一第一地址,该第二数据位对应于该存储器中的一第二地址。错误记录单元耦接至第一判断电路,用于当第一数据位有误时,记录第一地址。第二判断电路耦接至错误记录单元,用以比较存储器中的第二地址与错误记录单元中的第一地址是否相同,以判断存储器是否有一多重位错误发生。其中存储器为一错误更正码存储器,其中该存储器为一错误更正码存储器,该错误更正码存储器包含:多个检查位储存区块,每一检查位储存区块用以储存多个检查位;以及一错误更正码逻辑电路,耦接至该数据储存区块与该检查位储存区块,用以依据该些检查位以更正该些数据储存区块中的该些数据位,其中该测试模块于该错误更正码逻辑电路被禁能时,测试该错误更正码存储器是否有该多重位错误发生。

[0006] 本发明的实施例还揭露了一种存储器测试方法,用以测试一存储器,该存储器具有多个数据储存区块,每一数据储存区块具有一相对应的地址,且每一数据储存区块用以储存多个数据位。该测试方法包含步骤:产生一测试图样至该存储器中;读取该存储器中的一第一数据位与一第二数据位;依据该测试图样以判断该第一数据位与该第二数据位是

否有误；其中，该第一数据位被储存于该存储器中的一第一地址，该第二数据位被储存于该存储器中的一第二地址；当该第一数据位有误时，于一错误记录单元中记录该第一地址；以及比较该存储器中的该第二地址与该错误记录单元中的该第一地址是否相同，以判断该存储器是否有一多重位错误发生，其中该存储器为一错误更正码存储器，该错误更正码存储器包含一错误更正码逻辑电路，该错误更正码逻辑电路用以更正储存于该些数据储存区块中的该些数据位，当该错误更正码逻辑电路被禁能时，测试该错误更正码存储器是否有该多重位错误发生。

[0007] 附图说明

[0008] 图 1 为本发明存储器装置的第一实施例的示意图。

[0009] 图 2 为图 1 所示的错误更正码存储器的示意图。

[0010] 图 3 为图 1 所示的第二测试单元的一实施例示意图。

[0011] 图 4 为图 3 所示的错误记录单元的一实施例示意图。

[0012] 图 5 为本发明错误更正码存储器于错误更正码逻辑电路禁能时 (ECC-off) 的一测试流程图。

[0013] [主要元件标号说明]

[0014]	10	存储器装置	100	测试模块
[0015]	110	控制器	120	测试图样产生器
[0016]	130	第一测试单元	140	第二测试单元
[0017]	150	决定单元	180	错误更正码存储器
[0018]	TS	测试图样	DS1、DS2	数据
[0019]	TR1	第一测试结果	TR2	第二测试结果
[0020]	DR	错误检测结果	210	数据储存区块
[0021]	220	检查位储存区块	230	错误更正码逻辑电路
[0022]	SC	选择信号	310	错误记录单元
[0023]	320	第一判断电路	330	第二判断电路
[0024]	Addr1 ~ AddrN	地址	EB1 ~ EBN	错误位
[0025]	410	地址字段	420	位字段
[0026]	430	有效位字段	V1 ~ VN	有效位值
[0027]	502 ~ 524	步骤		

具体实施方式

[0028] 请参考图 1，图 1 为本发明的存储器装置 10 的第一实施例的示意图。存储器装置 10 包含一错误更正码存储器 (ECC-Memory) 180 与一测试模块 100。测试模块 100 包含控制器 110、测试图样产生器 120、第一测试单元 130、第二测试单元 140 以及决定单元 150。

[0029] 控制器 110 用来控制测试模块 100 的运作。测试图样产生器 120 耦接于错误更正码存储器 180，用来产生不同的测试图样 TS 至错误更正码存储器 180 中。第一测试单元 130 耦接于错误更正码存储器 180，用来根据测试图样产生器 120 所产生的不同测试图样 TS 来测试错误更正码存储器 180 所提供的数据 DS1 以产生第一测试结果 TR1；而第二测试单元 140 亦耦接于错误更正码存储器 180，其根据测试图样产生器 120 所产生的不同测试图样 TS

来测试错误更正码存储器 180 所提供的一数据 DS2 以产生第二测试结果 TR2。决定单元 150 耦接于第一测试单元 130 与第二测试单元 140, 用来依据第一测试结果 TR1、第二测试结果 TR2 来决定错误更正码存储器 180 是否通过测试。

[0030] 请参考图 2, 图 2 为图 1 所示的错误更正码存储器 180 的示意图。如图 2 所示, 错误更正码存储器 180 包含多个数据储存区块 210、多个检查位储存区块 220 以及一错误更正码逻辑电路 230。其中, 数据储存区块 210 可储存多个数据位 (data bit), 而检查位储存区块 220 可储存多个检查位 (paritybit)。

[0031] 以图 2 的错误更正码存储器 180 来为例, 总共包含 32768 个数据储存区块 210 与 32768 个检查位储存区块 220。换言之, 包含了 32768 个地址 (address), 且每个地址可储存三十二个数据位 (即一个字组 (word)) 以及七个检查位。须注意者, 图 2 的错误更正码存储器 180 仅为用来说明本发明的例子, 而非本发明的限制条件。

[0032] 此外, 错误更正码逻辑电路 230 受控于一选择信号 SC, 当选择信号 SC 致能 (enable) 错误更正码逻辑电路 230 时, 错误更正码存储器 180 会根据数据储存区块 210 的该多个数据位以及检查位储存区块 220 的该多个检查位来产生数据 DS1 给图 1 所示的第一测试单元 130; 而当选择信号 SC 禁能 (disable) 错误更正码逻辑电路 230 时, 错误更正码存储器 180 会根据数据储存区块 210 的该多个数据位来产生数据 DS2 给图 1 所示的第二测试单元 140。换言之, 第一测试单元 130 采用致能错误更正码逻辑电路 230 时 (ECC-on) 所提供的的数据 DS1 来进行测试, 而第二测试单元 140 则是采用禁能错误更正码逻辑电路 230 时 (ECC-off) 所提供的的数据 DS2 来进行测试。

[0033] 依据本发明的一实施例, 控制器 110 可先控制第一测试单元 130 进行测试 (亦即错误更正码逻辑电路 230 致能时 (ECC-on) 的测试), 再控制第二测试单元 140 进行测试 (亦即错误更正码逻辑电路 230 禁能时 (ECC-off) 的测试)。于测试的过程中, 决定单元 150 可依据第一测试结果 TR1 或第二测试结果 TR2 来决定错误更正码存储器 180 是否通过测试。

[0034] 由于第一测试单元 130 的测试方法 (亦即错误更正码逻辑电路 230 致能时 (ECC-on) 的测试) 相当的多种, 为求简洁, 本发明不再此详细描述。故, 以下将对错误更正码逻辑电路 230 处于禁能状态 (ECC-off) 时, 第二测试单元 140 的运作方式作较详细的说明。

[0035] 请同时参考图 3 与图 4。图 3 为图 1 所示的第二测试单元 140 的一实施例示意图, 而图 4 为图 3 所示的错误记录单元 310 的一实施例示意图。如图 3 所示, 第二测试单元 140 包含错误记录单元 310、第一判断电路 320 以及第二判断电路 330。如图 4 所示, 错误记录单元 310 具有多个地址字段 410 以及多个位字段 420, 其中每一个地址字段 410 用来储存错误更正码存储器 180 中, 产生数据错误的地址; 而每一位字段 420 用来储存错误更正码存储器 180 中, 产生数据错误的地址中的错误位。举例而言, 假设错误更正码存储器 180 中, 地址 0 的第 5 个位发生错误时, 地址字段 410 将写入 0, 位字段 420 将写入 5, 依此类推。

[0036] 另外, 错误记录单元 310 中还包含多个有效位字段 430, 其用以表示所对应的地址字段 410 以及位字段 420 是否有效。举例而言, 在测试开始时, 所有的有效位字段 430 皆写入逻辑 0, 表式目前错误记录单元 310 中所有的地址字段 410 以及位字段 420 皆为无效。当错误更正码存储器 180 有错误发生时, 其错误地址与错误位会被记录至错误记录单元 310 中, 例如, 记录至 地址字段 Addr1 与位字段 EB1 中。此时, 相对应的有效位字段的有效位值

V1 将改写为逻辑 1,表示地址字段 Addr1 与位字段 EB1 中的值为有效值。如此一来,可防止判断到无效的地址字段 410 以及位字段 420,避免发生错误。

[0037] 本实施例中,第一判断电路 320 会读取错误更正码存储器 180 所输出的数据 DS2,并将所读取的数据 DS2 与测试图样产生器 120 所产生的测试图样 TS 进行比较,以判断错误更正码存储器 180 中是否有数据错误的发生。若有数据错误发生时,第二判断电路 330 会更一步地判断该数据错误发生于错误更正码存储器 180 中的错误地址与错误记录单元 310 中所储存的地址是否相同,及比较错误更正码存储器 180 中的错误位与错误记录单元 310 中所储存的位是否相同,以判断是否有多重位错误的发生。接下来,将举较详细的例子来进行说明。

[0038] 在测试的开始,假设测试图样产生器 120 产生全为逻辑 0 的测试图样至错误更正码存储器 180 中,且假设错误更正码存储器 180 中地址 0 的第 5 个数据位与地址 6 的第 8 个数据位发生数据错误(亦即数据转为逻辑 1)。在此情况下,第一判断电路 320 于读取错误更正码存储器 180 输出的数据 DS2,并经由与测试图样的逻辑 0 进行比较后,可判断出错误更正码存储器 180 中地址 0 的第 5 个数据位与地址 6 的第 8 个数据位发生数据错误,因此,将地址 0 写入地址字段 410 中的字段 Addr1,第 5 个数据位写入位字段 420 中的字段 EB1;并将地址 6 写入地址字段 410 中的字段 Addr 2,第 8 个数据位写入位字段 420 中的字段 EB2。

[0039] 接着,测试图样产生器 120 再产生全为逻辑 1 的测试图样至错误更正码存储器 180 中并假设错误更正码存储器 180 中地址 0 的第 12 个数据位发生数据错误(亦即数据转为逻辑 0)。在此情况下,第一判断电路 320 于读取错误更正码存储器 180 输出的数据 DS2,并经由与测试图样的逻辑 1 进行比较后,可判断出错误更正码存储器 180 中地址 0 的第 12 个数据位发生数据错误。

[0040] 由于第二判断电路 330 用来比较第一判断电路 320 所判断出的错误地址与错误记录单元 310 中所储存的地址是否相同,与比较第一判断电路 320 所判断出的错误位与错误记录单元 310 中所储存的位是否相同,来判断是否有多重位错误的发生。故在此例子中,第二判断电路 330 可比较出第一判断电路 320 判断出的错误地址(地址 0)与储存于错误记录单元 310 的字段 Addr1(储存地址 0)相同,并比较出第一判断电路 320 所判断出的错误位(第 12 个数据位)与错误记录单元 310 的字段 EB1(储存位 5)不同,因此,可判断错误更正码存储器 180 有多重位错误的发生。

[0041] 需注意者,若另一种情况是第二判断电路 330 比较出第一判断电路 320 输出的错误地址、错误位与储存于错误记录单元 310 的地址字段 410、位字段 420 完全相同时,表式为同一种错误,因此,第二判断电路 330 并不会判断错误更正码存储器 180 中有多重位错误的发生。

[0042] 此外,依据本发明的一实施例,第二测试单元 140 还可包含一计数器 340,用以计数错误记录单元 310 储存的地址数目,以对错误更正码存储器 180 的错误容忍度(tolerance)进行控管。假设,错误更正码存储器 180 的错误容忍度的临界值设定为 50,表示错误更正码存储器 180 的错误最多发生 50 个错误。故当计数器计数误记录单元 310 储存的地址数目超过 50 时,第二测试单元 140 会输出错误更正码存储器 180 不通过测试的第二测试结果 TR2。上述的临界值设定为 50 仅为一个实施例,本发明并不以此为限。

[0043] 请参考图 5, 图 5 为本发明错误更正码存储器于错误更正码逻辑电路 230 禁能时 (ECC-off) 的测试方法的一流程图, 其包含 (但不局限于) 以下的步骤:

[0044] 步骤 502: 开始。

[0045] 步骤 504: 产生测试图样至错误更正码存储器。

[0046] 步骤 506: 依据测试图样判断错误更正码存储器数据是否有误, 若有误, 执行步骤 508; 若无误, 重复执行步骤 506。

[0047] 步骤 508: 判断错误地址是否已存在于错误记录单元, 若是, 执行步骤 510; 若否, 执行步骤 520。

[0048] 步骤 510: 判断错误位是否相同, 若相同, 执行步骤 524, 若不相同, 执行步骤 512。

[0049] 步骤 512: 判定错误更正码存储器未通过测试。

[0050] 步骤 520: 将错误地址记录于错误记录单元。

[0051] 步骤 522: 判断错误记录单元中的错误地址数目是否大于一临界值, 若是, 执行步骤 512; 若否, 执行步骤 524。

[0052] 步骤 524: 判定错误更正码存储器通过测试并继续执行步骤 506。

[0053] 接下来, 将配合图 5 所示的各步骤以及图 1 至图 4 所示的各元件来说明各元件如何运作。于步骤 504 中, 测试图样产生器 120 产生不同的测试图样 TS 至错误更正码存储器 180 中。接着, 步骤 506, 第二测试单元 140 中的第一判断电路 320 根据不同测试图样 TS 来判断错误更正码存储器 180 所提供的的数据 DS2 是否有误。当有错误发生时, 第二判断电路 330 再进行确认该错误地址是否已存在于错误记录单元 310 中 (步骤 508), 若无, 则将错误地址记录于错误记录单元 310 中 (步骤 520), 并通过计数器 340 来确认错误记录单元 310 中的错误地址数目是否大于一临界值 (步骤 522); 若有, 则第二判断电路 330 更进一步的判断错误位是否相同 (步骤 510)。

[0054] 在步骤 510 中, 若判断错误位不相同, 表示错误更正码存储器 180 有多重位错误发生, 故判定错误更正码存储器 180 未能通过测试 (步骤 512); 若判断错误位相同时, 表示与错误记录单元 310 中所记录的错误相同, 故仍判定错误更正码存储器 180 通过测试 (步骤 524) 并继续执行步骤 506。此外, 在步骤 522 中, 若计数器 340 计数错误记录单元 310 中的错误地址数目大于一临界值时, 表示错误更正码存储器 180 的错误过多, 故判定错误更正码存储器 180 未能通过测试 (步骤 512); 反之, 若计数器 340 计数错误记录单元 310 中的错误地址数目未大于该临界值时, 则判定错误更正码存储器 180 通过测试 (步骤 524) 并继续执行步骤 506。

[0055] 上述流程的步骤仅为本发明所举可行的实施例, 并非限制本发明的限制条件, 且在不违背本发明的精神的情况下, 此方法可另包含其它的中间步骤或者可将几个步骤合并成单一步骤, 以做适当的变化。

[0056] 由上述说明可知, 本发明提供一种测试错误更正码存储器的测试模块及其相关测试方法。当错误更正码区块 (亦即检查位储存区块 220) 处于禁能状态时, 通过一错误记录单元 310 来记录错误更正码存储器中的错误地址与错误位, 以判断是否有多重位错误的产生。此外, 本发明还通过一计数器来计数错误记录单元 310 中的错误地址数目, 来控管存储器错误的总数量, 以使错误容忍度达最佳化。

[0057] 以上所述仅为本发明的较佳实施例, 凡依本发明权利要求范围所做的均等变化与

修饰,皆应属本发明的涵盖范围。

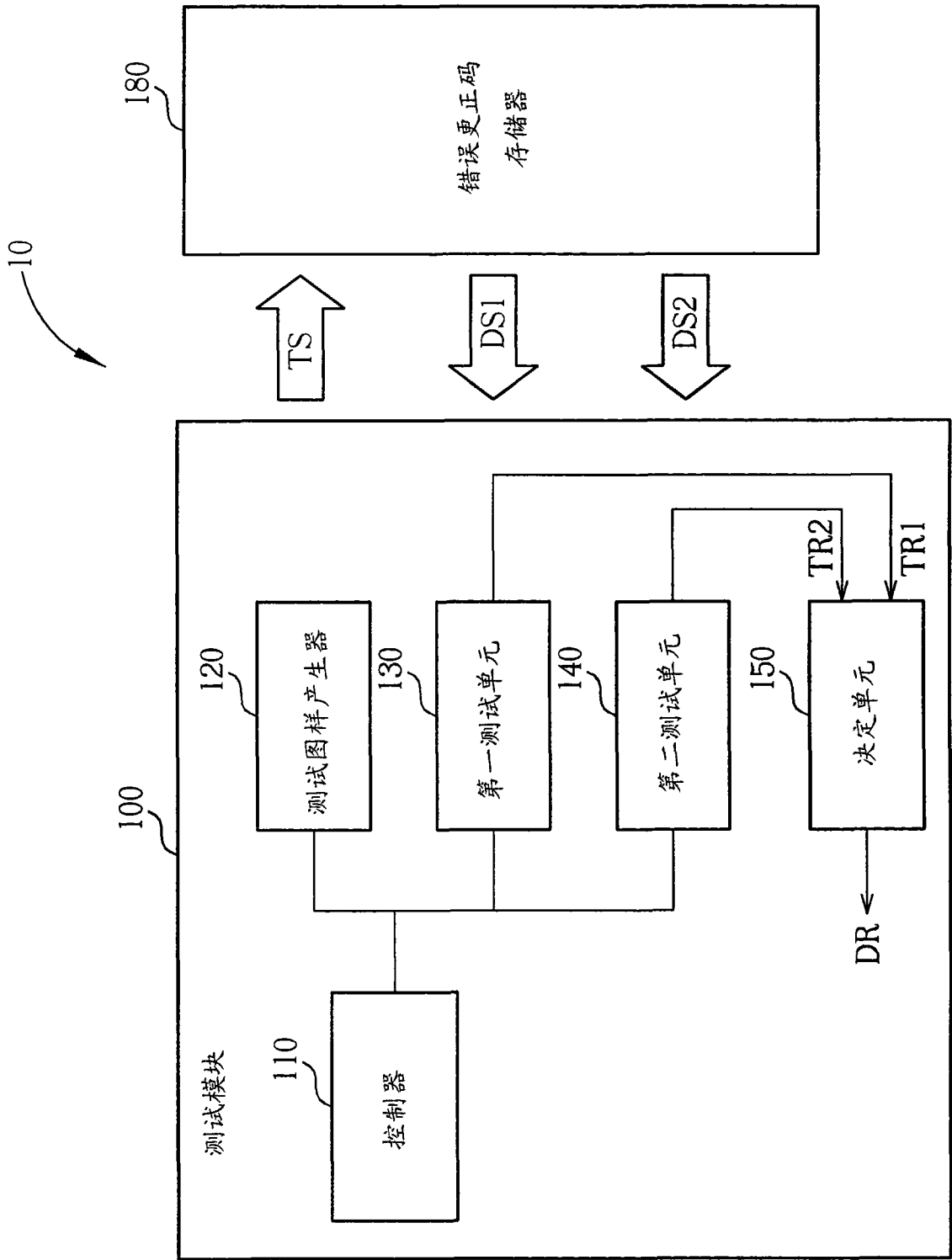


图 1

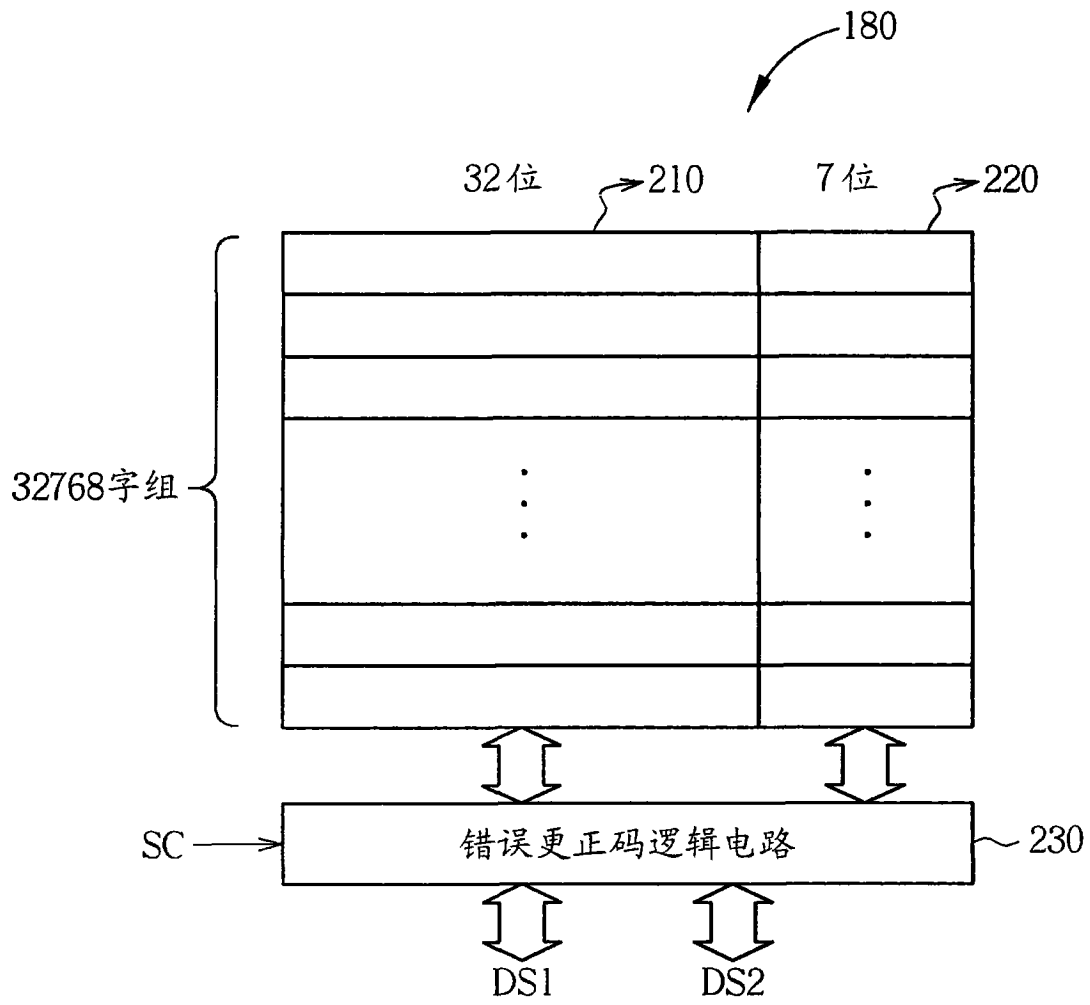


图 2

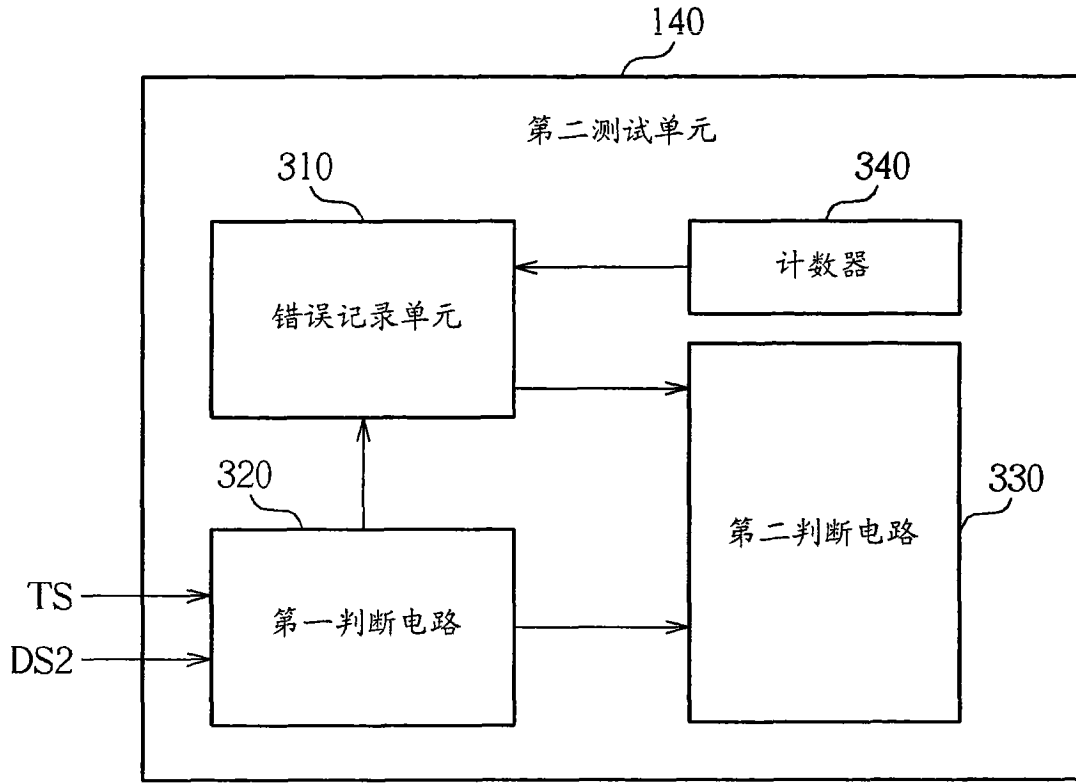


图 3

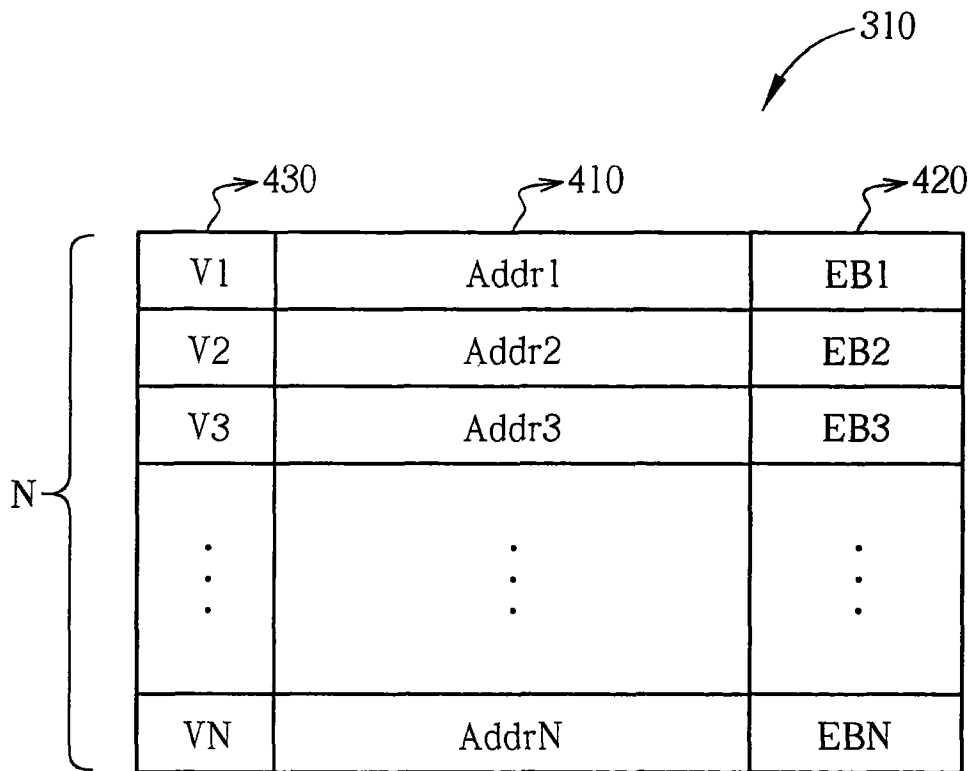


图 4

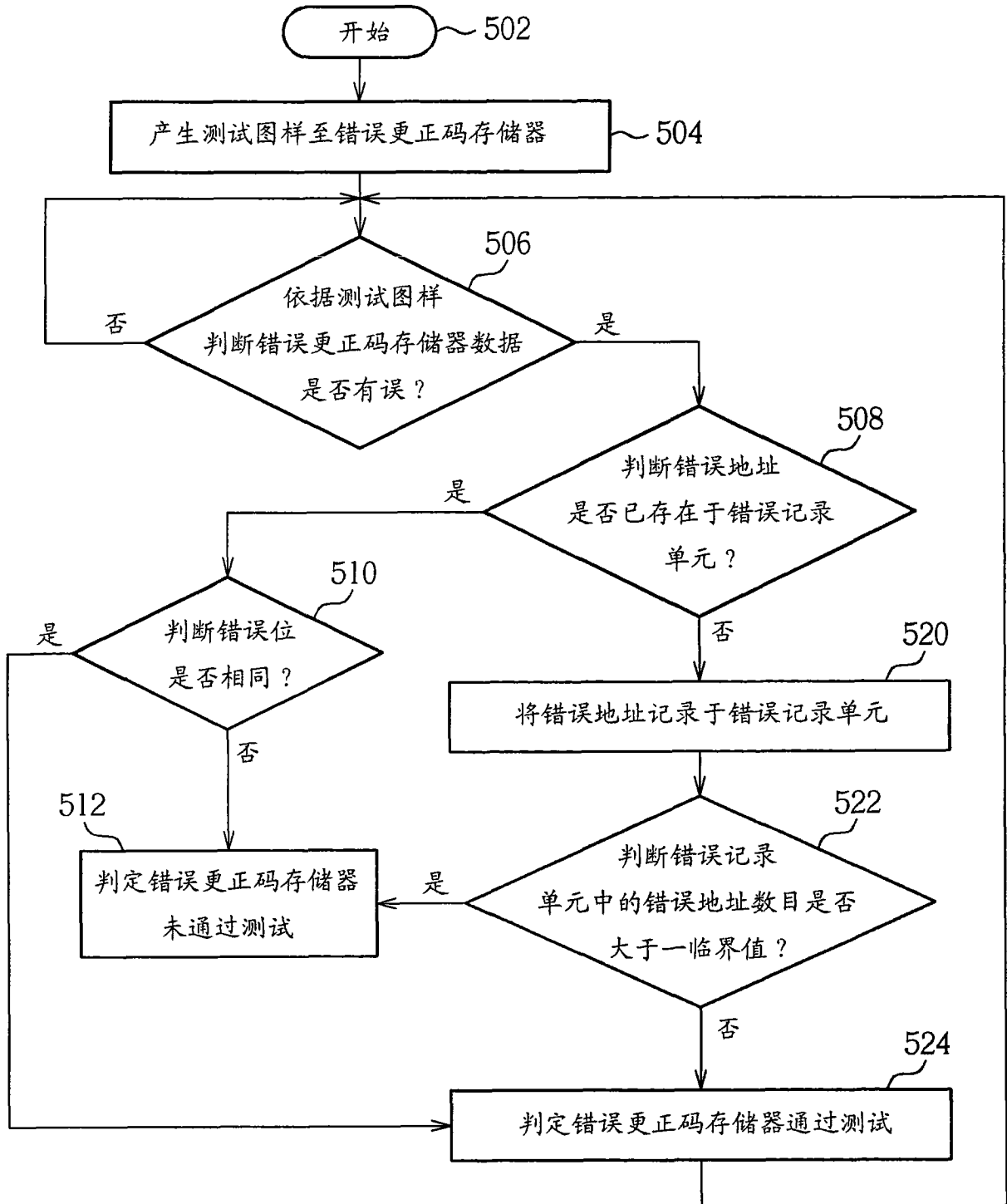


图 5