



(12) 发明专利申请

(10) 申请公布号 CN 104377168 A

(43) 申请公布日 2015.02.25

(21) 申请号 201310359732.5

(22) 申请日 2013.08.16

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 殷华湘 项金娟 杨红

(74) 专利代理机构 北京蓝智辉煌知识产权代理

事务所(普通合伙) 11345

代理人 陈红

(51) Int. Cl.

H01L 21/8238(2006.01)

H01L 21/28(2006.01)

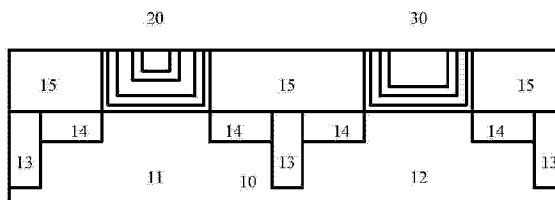
权利要求书2页 说明书5页 附图2页

(54) 发明名称

半导体器件制造方法

(57) 摘要

本发明半导体器件制造方法,提供了一种 CMOS 金属栅极的形成方法,采用了新的金属栅极堆栈结构,不需要在高 K 栅极绝缘层与刻蚀停止层之间形成扩散阻挡层也可阻挡 Al 扩散,避免了由金属原子扩散而引起的高 K 栅极绝缘层和 PMOS 栅极功函数控制层的劣化;同时,由于取消了扩散阻挡层,在 NMOS 区域的 NMOS 栅极功函数控制层更加接近高 K 栅极绝缘层,从而能够更有效地控制 NMOS 功函数。本发明的金属栅极结构简化,厚度减小,适用于高集成度、小尺寸的 CMOS 器件。



1. 一种半导体器件制造方法,其特征在于,包括如下步骤:
提供半导体衬底,在该半导体衬底上形成 STI 结构,所述 STI 结构将 NMOS 区域和 PMOS 区域隔离;
在所述 NMOS 区域和所述 PMOS 区域形成栅极凹槽;
依次形成高 K 栅极绝缘层,刻蚀停止层,NMOS 栅极功函数控制层,其中,所述 NMOS 栅极功函数控制层材料为 TiAlC,厚度为 0.1-5nm;
去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层;
形成 PMOS 栅极功函数控制层;
沉积金属填充层,将所述栅极凹槽完全填充;
进行 CMP 工艺,去除所述栅极凹槽以外的所述金属填充层、所述 PMOS 栅极功函数控制层、所述 NMOS 栅极功函数控制层、所述刻蚀停止层以及所述高 K 栅极绝缘层,在所述栅极凹槽内形成金属栅极堆栈。
2. 根据权利要求 1 所述的方法,其特征在于,形成 NMOS 栅极功函数控制层的工艺为 ALD。
3. 根据权利要求 1 所述的方法,其特征在于,所述 NMOS 栅极功函数控制层材料 TiAlC 中的 Al 原子含量不大于 50%。
4. 根据权利要求 1 所述的方法,其特征在于,所述高 K 栅极绝缘层与所述刻蚀停止层之间不形成扩散阻挡层。
5. 根据权利要求 1 所述的方法,其特征在于,在去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层的步骤之后,将位于所述 PMOS 区域的所述刻蚀停止层完全去除,使得在所述 PMOS 区域的所述金属栅极堆栈中,所述 PMOS 栅极功函数控制层直接接触所述高 K 栅极绝缘层。
6. 根据权利要求 1 所述的方法,其特征在于,在去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层的步骤之后,将位于所述 PMOS 区域的所述刻蚀停止层部分去除,使得在所述 PMOS 区域的所述金属栅极堆栈中,所述 PMOS 栅极功函数控制层与所述高 K 栅极绝缘层之间残留部分厚度的所述刻蚀停止层,其厚度为 0.1-3nm。
7. 根据权利要求 1 所述的方法,其特征在于,所述栅极凹槽位于 FinFET 结构 CMOS 器件相邻半导体鳍片之间,或者,所述栅极凹槽位于平面结构 CMOS 器件的层间介质层之中。
8. 根据权利要求 1 所述的方法,其特征在于,所述 PMOS 栅极功函数控制层为单层 TiN。
9. 一种半导体器件,其特征在于包括:
半导体衬底,在该半导体衬底上的 STI 结构,以及被所述 STI 结构隔离的 NMOS 区域和 PMOS 区域;
所述 NMOS 区域和所述 PMOS 区域分别具有金属栅极堆栈;
所述 NMOS 的金属栅极堆栈由下而上依次包括:高 K 栅极绝缘层,刻蚀停止层, NMOS 栅极功函数控制层, PMOS 栅极功函数控制层,金属填充层;所述 PMOS 的金属栅极堆栈由下而上依次包括:高 K 栅极绝缘层,刻蚀停止层, PMOS 栅极功函数控制层,金属填充层;
其中,所述 NMOS 栅极功函数控制层材料为 TiAlC,厚度为 0.1-5nm。
10. 根据权利要求 9 所述的器件,其特征在于,所述 NMOS 栅极功函数控制层材料 TiAlC 中的 Al 原子含量不大于 50%。

11. 根据权利要求 9 所述的器件,其特征在于,在所述 NMOS 区域和所述 PMOS 区域的金属栅极堆栈中,所述高 K 栅极绝缘层与所述刻蚀停止层之间不存在扩散阻挡层。

12. 根据权利要求 9 所述的器件,其特征在于,所述 PMOS 栅极功函数控制层为单层 TiN。

半导体器件制造方法

技术领域

[0001] 本发明涉及半导体器件制造方法领域,特别地,涉及一种 CMOS 器件金属栅极的制造方法。

背景技术

[0002] 半导体集成电路技术在进入到 90nm 特征尺寸的技术节点后,维持或提高晶体管性能越来越具有挑战性。在 90nm 节点后,应力技术逐渐被采用以提高器件的性能。与此同时,在制造工艺方面,后栅工艺(gate last)中的高 K 金属栅技术(HKMG)也逐渐被采用以应对随着器件不断减小而带来的挑战。HKMG 的应用,可以在抑制泄露电流的同时,确保栅极绝缘层的 EOT (Effective Oxide Thickness)。

[0003] 通常,CMOS 器件的金属栅极结构和制造方法如下(可以参见附图 8 (a) 和 9 (a)):在衬底上先后依次形成高 K 栅极绝缘层 31,扩散阻挡层 32(通常为 TiN),刻蚀停止层 33(通常为 TaN),PMOS 栅极功函数控制层 34 (通常为 TiN),然后,去除覆盖在 NMOS 区域的 PMOS 栅极功函数控制层 34 ;接着,依次形成 NMOS 栅极功函数控制层 35(通常为 TiAl),金属填充层 36 (通常为 TiN/Al 叠层或 TiN/W 叠层);进行平坦化处理,去除多余的栅极堆栈材料,从而形成所需要的栅极堆栈。其中,扩散阻挡层 32 的作用是为了阻挡 NMOS 栅极功函数控制层 35 中的金属元素扩散而引起的高 K 栅极绝缘层 31 和 PMOS 栅极功函数控制层 34 的劣化。由此可以看出,在现有技术中,PMOS 金属栅极堆栈至少包括高 K 栅极绝缘层 31,扩散阻挡层 32,刻蚀停止层 33,PMOS 栅极功函数控制层 34,NMOS 栅极功函数控制层 35,金属填充层 36 这样 6 层结构,而 NMOS 金属栅极堆栈至少包括高 K 栅极绝缘层 31,扩散阻挡层 32,刻蚀停止层 33,NMOS 栅极功函数控制层 35,金属填充层 36 这样 5 层结构,它们的结构均较为复杂,层数繁多。更不利的情况是,随着器件尺寸缩小,以及诸如 FinFET 等立体结构器件的出现,金属栅极堆栈的尺寸也越来越小,所要填充的空间的深宽比变大,使得多层结构、厚度较大的传统金属栅极堆栈在形成过程中存在问题,参见附图 1,其中在衬底 1 上形成有容纳栅极凹槽的结构层 2,结构层 2 在平面 CMOS 器件中通常为层间介质层,在 FinFET 器件中通常为相邻的半导体鳍片(Fin),尤其是对于 FinFET 器件,由于半导体鳍片高度较高,例如通常为 25-40nm,覆盖鳍片的栅极高度通常为 25-75nm,因此,在鳍片顶部的栅极表面距离鳍片之间的 STI 结构表面的高度为 50-115nm,而鳍片间距较小,通常为 30-50nm,FinFET 结构体现出高低不平的三维表面,尤其是在栅极特征尺寸小于 35nm 时候,往往会出现了较大深宽比的结构需要填充栅极,因此,在形成金属栅极堆栈 3 时,往往会形成空洞 4,这将严重影响器件性能,甚至导致器件失效。

[0004] 因此,需要提供一种新的 CMOS 金属栅极结构和工艺,适用于高集成度、小尺寸的 CMOS 器件,能够克服上述缺陷,确保器件性能以及正常工作。

发明内容

[0005] 针对 CMOS 金属栅极填充过程中存在的问题,本发明提出了一种半导体制造方法,

采用新的金属栅极堆栈结构以及材料来克服现有技术中的问题。

[0006] 本发明提供一种半导体器件制造方法,其中,包括如下步骤:

[0007] 提供半导体衬底,在该半导体衬底上形成 STI 结构,所述 STI 结构将 NMOS 区域和 PMOS 区域隔离;

[0008] 在所述 NMOS 区域和所述 PMOS 区域形成栅极凹槽;

[0009] 依次形成高 K 栅极绝缘层,刻蚀停止层, NMOS 栅极功函数控制层,其中,所述 NMOS 栅极功函数控制层材料为 TiAlC,厚度为 0.1-5nm;

[0010] 去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层;

[0011] 形成 PMOS 栅极功函数控制层;

[0012] 沉积金属填充层,将所述栅极凹槽完全填充;

[0013] 进行 CMP 工艺,去除所述栅极凹槽以外的所述金属填充层、所述 PMOS 栅极功函数控制层、所述 NMOS 栅极功函数控制层、所述刻蚀停止层以及所述高 K 栅极绝缘层,在所述栅极凹槽内形成金属栅极堆栈。

[0014] 根据本发明的一个方面,形成 NMOS 栅极功函数控制层的工艺为 ALD。

[0015] 根据本发明的一个方面,所述 NMOS 栅极功函数控制层材料 TiAlC 中的 Al 原子含量不大于 50%。

[0016] 根据本发明的一个方面,所述高 K 栅极绝缘层与所述刻蚀停止层之间不形成扩散阻挡层。

[0017] 根据本发明的一个方面,在去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层的步骤之后,将位于所述 PMOS 区域的所述刻蚀停止层完全去除,使得在所述 PMOS 区域的所述金属栅极堆栈中,所述 PMOS 栅极功函数控制层直接接触所述高 K 栅极绝缘层。

[0018] 根据本发明的一个方面,在去除位于所述 PMOS 区域的所述 NMOS 栅极功函数控制层的步骤之后,将位于所述 PMOS 区域的所述刻蚀停止层部分去除,使得在所述 PMOS 区域的所述金属栅极堆栈中,所述 PMOS 栅极功函数控制层与所述高 K 栅极绝缘层之间残留部分厚度的所述刻蚀停止层,其厚度为 0.1-3nm。

[0019] 根据本发明的一个方面,所述栅极凹槽位于 FinFET 结构 CMOS 器件相邻半导体鳍片之间,或者,所述栅极凹槽位于平面结构 CMOS 器件的层间介质层之中。

[0020] 根据本发明的一个方面,所述 PMOS 栅极功函数控制层为单层 TiN。

[0021] 另外,本发明提供一种半导体器件,其包括:

[0022] 半导体衬底,在该半导体衬底上的 STI 结构,以及被所述 STI 结构隔离的 NMOS 区域和 PMOS 区域;

[0023] 所述 NMOS 区域和所述 PMOS 区域分别具有金属栅极堆栈;

[0024] 所述 NMOS 的金属栅极堆栈由下而上依次包括:高 K 栅极绝缘层,刻蚀停止层, NMOS 栅极功函数控制层, PMOS 栅极功函数控制层,金属填充层;所述 PMOS 的金属栅极堆栈由下而上依次包括:高 K 栅极绝缘层,刻蚀停止层, PMOS 栅极功函数控制层,金属填充层;

[0025] 其中,所述 NMOS 栅极功函数控制层材料为 TiAlC,厚度为 0.1-5nm。

[0026] 根据本发明的一个方面,所述 NMOS 栅极功函数控制层材料 TiAlC 中的 Al 原子含量不大于 50%。

[0027] 根据本发明的一个方面,在所述 NMOS 区域和所述 PMOS 区域的金属栅极堆栈中,所

述高 K 栅极绝缘层与所述刻蚀停止层之间不存在扩散阻挡层。

[0028] 根据本发明的一个方面,所述 PMOS 栅极功函数控制层为单层 TiN。

[0029] 本发明的优点在于:在 CMOS 金属栅极形成工艺中,采用了新的金属栅极堆栈结构,具体为采用了 TiAlC 材料的 NMOS 栅极功函数控制层,其 Al 原子含量较现有技术中的 NMOS 栅极功函数控制层更小,并且,在 PMOS 区域选择性地去除了 NMOS 栅极功函数控制层,因此,不需要在高 K 栅极绝缘层与刻蚀停止层之间形成扩散阻挡层去阻挡 Al 扩散,从根本上避免了由于金属原子扩散而引起的高 K 栅极绝缘层和 PMOS 栅极功函数控制层的劣化,这样,金属栅极堆栈的结构简化,厚度减小;同时,由于取消了扩散阻挡层,在 NMOS 区域的 NMOS 栅极功函数控制层更加接近高 K 栅极绝缘层,从而能够更有效地控制 NMOS 功函数,在此基础上也可以将 NMOS 栅极功函数控制层的厚度减薄,从而获得厚度更小的栅极堆栈。综上所述,本发明的金属栅极结构简化,厚度减小,适用于高集成度、小尺寸的 CMOS 器件,能够克服现有技术中填充工艺出现空洞的缺陷,确保器件性能以及正常工作。

附图说明

[0030] 图 1 现有技术中金属栅极堆栈填充出现空洞的示意图;

[0031] 图 2-7 本发明形成金属栅极堆栈的工艺流程示意图;

[0032] 图 8-9 本发明 NMOS 和 PMOS 的金属栅极堆栈结构(b)与现有技术金属栅极堆栈结构(a)的对比。

具体实施方式

[0033] 以下,通过附图中示出的具体实施例来描述本发明。但是应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0034] 本发明提供一种半导体器件制造方法,特别地涉及一种用于形成 CMOS 金属栅极的方法。下面,参见附图 2-9,将详细描述本发明提供的半导体器件制造方法。

[0035] 首先,参见附图 2,提供半导体衬底 10,在半导体衬底 10 上形成 STI 结构 13, STI 结构 13 将 NMOS 区域 11 和 PMOS 区域 12 隔离,并且,在 NMOS 区域 11 和 PMOS 区域 12 分别形成有栅极凹槽 16。在本实施例的图示中,采用了平面结构的 CMOS,但是,本发明更有利地可以被用于包括 FinFET 结构的 CMOS 中。衬底 10 上还包括源漏区域 14 以及层间介质层 15。在平面结构的 CMOS 器件中,栅极凹槽 16 形成在层间介质层 15 之中,具体的形成方式:现在衬底 10 上的不同 MOS 区域形成虚设栅极(Dummy Gate)和虚设栅极绝缘层(均未图示),虚设栅极通常为多晶硅栅极,虚设栅极绝缘层通常为氧化硅绝缘层,然后,形成 MOS 晶体管的源漏区域等部件;采用层间介质层 15 覆盖虚设栅极并进行平坦化,从而暴露出虚设栅极;之后,去除虚设栅极和虚设栅极绝缘层,形成栅极凹槽 16。而在 FinFET 结构的 CMOS 器件中,栅极凹槽位于相邻半导体鳍片之间,具体形成工艺与平面结构 CMOS 器件栅极凹槽形成工艺类似,此处不再赘述。

[0036] 由于本发明的方法应用于高密度集成的平面以及 FinFET 结构的 CMOS 电路中,用于容纳金属栅极和高 K 栅绝缘层(HKMG)的栅极凹槽 16 的宽度很小,例如在 10-35nm,填充难度加大,尤其是在 FinFET 结构 CMOS 电路中,栅极凹槽 16 的深度和宽度分别可以达到

50-115nm 和 10-35nm,其填充难度更大,这样,采用常规 HKMG 结构与工艺对栅极凹槽 16 进行填充,会出现空洞情况(例如附图 1 的情形),因此,本发明提出了新的 HKMG 结构和形成方法。同时,值得注意的是,虽然这里采用了平面结构 CMOS 的图示,但是本发明同样并且是更有利地可应用与栅极凹槽填充难度更大的 FinFET 结构 CMOS 电路中;同时,图示中的器件结构仅为简化示意图,本发明的 CMOS 器件中还可以包括但不限于:LDD、栅极侧墙、源漏区域接触等 CMOS 器件的常规部件,并且示意图中各部件所展现出的相对大小关系并不意味着它们实际尺寸比例。

[0037] 接着,参见附图 3,在界面氧化层(未图示)上,依次形成高 K 栅极绝缘层 21,刻蚀停止层 22,NMOS 栅极功函数控制层 23。高 K 栅极绝缘层 21 选自下面材料之一或组合构成的一层或者多层: Al_2O_3 , HfO_2 , 包括 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 以及 HfLaSiO_x 至少之一在内的钪基高 K 介质材料,包括 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、或 Y_2O_3 至少之一在内的稀土基高 K 介质材料。高 K 栅极绝缘层 21 的厚度为 0.5-20nm,优选为 1-10nm,沉积工艺例如为 ALD、CVD。刻蚀停止层 22 的材料为 TaN,其厚度范围是 0.1-5nm。与现有技术中的结构不同,本发明中,高 K 栅极绝缘层 21 与刻蚀停止层 22 不形成扩散阻挡层(例如 TiN),具体理由将在随后进行详述。在本发明中,NMOS 栅极功函数控制层 23 的材料为 TiAlC,相对于现有技术中所采用 TiAl, TiAlC 的 Al 含量更低,例如,Al 原子含量不大于 50%。采用 ALD 工艺沉积 NMOS 栅极功函数控制层 24,可以精确控制其厚度,其厚度为 0.1-5nm,优选地控制在 1-2nm。而现有技术中的采用 TiAl 的 NMOS 栅极功函数控制层厚度通常在 5nm 以上,大于本发明的厚度。因此,整个栅极堆栈的厚度可以得到降低。

[0038] 接着,参见附图 4,去除位于 PMOS 区域 12 的 NMOS 栅极功函数控制层 23。可以通过掩模曝光,暴露出位于 PMOS 区域 12 的 NMOS 栅极功函数控制层 23,而遮蔽位于 NMOS 区域 11 的 NMOS 栅极功函数控制层 23,通过刻蚀工艺去除位于 PMOS 区域 12 的 NMOS 栅极功函数控制层 23,具体可以采用干法、湿法刻蚀。刻蚀工艺停止在刻蚀停止层 22 上,随后,可以不去除或者部分去除或者全部去除刻蚀停止层 22,其中,至少部分取出刻蚀停止层 22 可以进一步降低整个栅极堆栈的厚度。在全部去除刻蚀停止层 22 的情况下,PMOS 区域的栅极堆栈中,随后形成的 PMOS 栅极功函数控制层 24 将直接接触高 K 栅极绝缘层 21。在部分去除刻蚀停止层 22 的情况下,PMOS 区域的栅极堆栈中,随后形成的 PMOS 栅极功函数控制层 24 与高 K 栅极绝缘层 21 之间残留部分厚度的刻蚀停止层 22,其厚度为 0.1-3nm。

[0039] 接着,参见附图 5,形成 PMOS 栅极功函数控制层 24,其材料为 TiN,厚度为 0.1-5nm,采用 ALD 方式沉积,用于调节 PMOS 的栅极功函数。

[0040] 接着,参见附图 6,沉积金属填充层 25,将栅极凹槽 16 完全填充。金属填充层 25 通常为 TiN/Al 叠层或 TiN/W 叠层,沉积工艺为 CVD,厚度依据栅极凹槽 16 的形貌而定,其厚度需要完全填充栅极凹槽 16。由于金属填充层 25 紧贴 PMOS 栅极功函数控制层 24,叠层中的 TiN 可以由 PMOS 栅极功函数控制层 24 充当,也即在沉积 PMOS 栅极功函数控制层 24 的单一步骤中形成单层 TiN 作为 PMOS 栅极功函数控制层 24,同时 PMOS 栅极功函数控制层 24 也可以作为金属填充层 25 叠层中的下层 TiN,省去了现有技术中金属填充层 25 中形成 TiN 的步骤,并降低了整个栅极堆栈的厚度。

[0041] 接着参见附图 7,进行 CMP 工艺,去除栅极凹槽 16 以外的金属填充层 25、PMOS 栅极功函数控制层 24、NMOS 栅极功函数控制层 23、刻蚀停止层 22 以及高 K 栅极绝缘层 21,在

栅极凹槽内分别形成 NMOS 金属栅极堆栈 20 和 PMOS 金属栅极堆栈 30。该步骤 CMP 以层间介质层 15 的表面为终点。

[0042] 由此,获得了 CMOS 器件的金属栅极堆栈。参见图 8 和图 9,分别是现有技术中的栅极堆栈与本发明栅极堆栈的对比,图 8 为 NMOS 的情形,图 9 为 PMOS 的情形,(a) 图为现有技术中的栅极堆栈,(b) 图为本发明的栅极堆栈。具体而言,现有技术中,NMOS 金属栅极堆栈为高 K 栅极绝缘层 31,扩散阻挡层 32,刻蚀停止层 33,NMOS 栅极功函数控制层 35,金属填充层 36,PMOS 金属栅极堆栈为高 K 栅极绝缘层 31,扩散阻挡层 32,刻蚀停止层 33,PMOS 栅极功函数控制层 34,NMOS 栅极功函数控制层 35,金属填充层 36;而本发明中,NMOS 金属栅极堆栈 20 为高 K 栅极绝缘层 21,刻蚀停止层 22,NMOS 栅极功函数控制层 23,PMOS 栅极功函数控制层 24,金属填充层 25;PMOS 金属栅极堆栈 30 为高 K 栅极绝缘层 21,刻蚀停止层 22,PMOS 栅极功函数控制层 24,金属填充层 25,其中,刻蚀停止层 22 可选地为部分厚度或被完全去除。本发明采用了 TiAlC 材料的 NMOS 栅极功函数控制层 23,因其 Al 原子含量较现有技术中的 TiAl 材料的 NMOS 栅极功函数控制层更小,并且,在 PMOS 区域选择性地去除了 NMOS 栅极功函数控制层,因此,不需要在高 K 栅极绝缘层与刻蚀停止层之间形成扩散阻挡层去阻挡 Al 扩散,并从根本上避免了由于金属原子扩散而引起的高 K 栅极绝缘层和 PMOS 栅极功函数控制层的劣化,这样,整个金属栅极堆栈(包括 NMOS 和 PMOS)的结构得到简化,厚度也减小,尤其对于 PMOS 栅极堆栈,在去除其上的 NMOS 栅极功函数控制层后,厚度将大幅下降;同时,由于取消了现有技术中扩散阻挡层,在 NMOS 区域的 NMOS 栅极功函数控制层 23 更加接近高 K 栅极绝缘层 21,从而能够更有效地控制 NMOS 功函数,而在此基础上,也可以将 NMOS 栅极功函数控制层 23 的厚度减薄,从而获得厚度更小的栅极堆栈;另外,由于金属填充层 25 紧贴 PMOS 栅极功函数控制层 24,可以省去金属填充层 25 中 TiN 的形成步骤,一方面简化工艺,一方面也降低了栅极堆栈厚度。综上所述,本发明相对于现有技术,取消了扩散阻挡层以及 PMOS 区域的 NMOS 栅极功函数控制层,并且,采用了厚度更薄的 NMOS 栅极功函数控制层,这使得金属栅极堆栈的结构简化,厚度减小,适用于高集成度、小尺寸的 CMOS 器件,能够克服现有技术中填充工艺出现空洞的缺陷,确保器件性能以及正常工作。

[0043] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

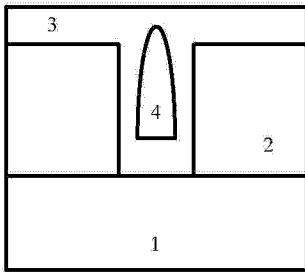


图 1

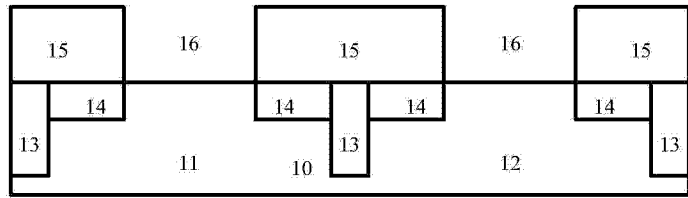


图 2

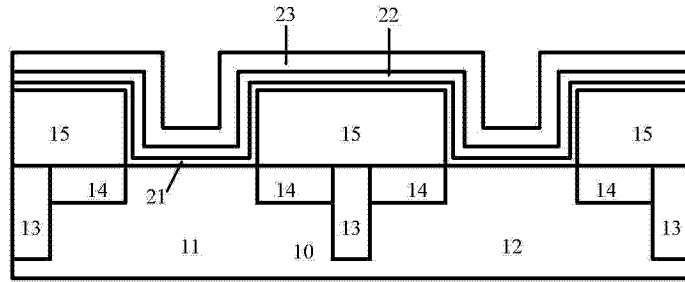


图 3

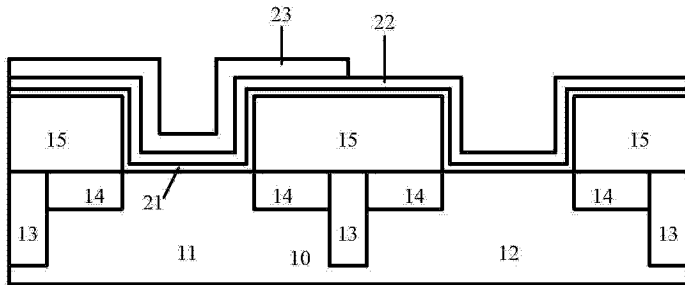


图 4

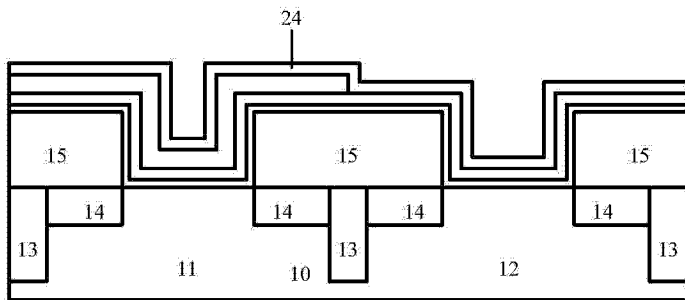


图 5

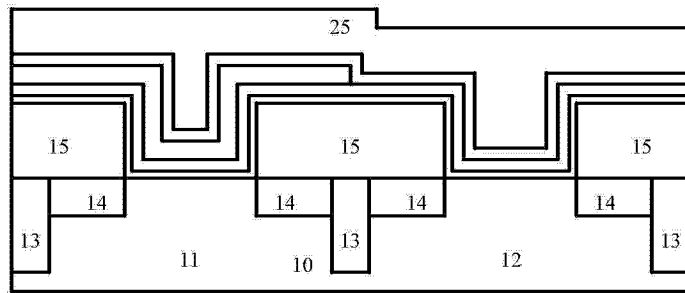


图 6

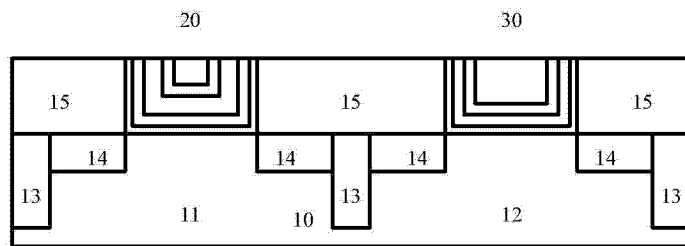


图 7

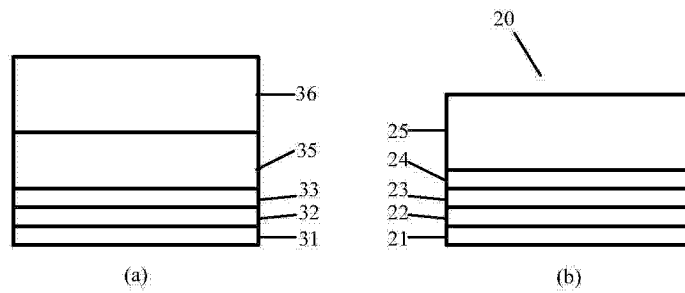


图 8

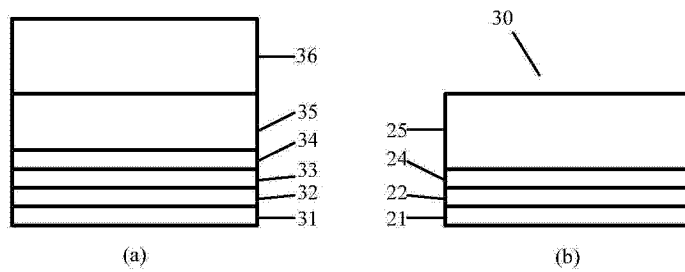


图 9