



(12)发明专利

(10)授权公告号 CN 106981304 B

(45)授权公告日 2020.02.07

(21)申请号 201710026008.9

(22)申请日 2017.01.13

(65)同一申请的已公布的文献号
申请公布号 CN 106981304 A

(43)申请公布日 2017.07.25

(30)优先权数据
62/280,683 2016.01.19 US

(73)专利权人 力旺电子股份有限公司
地址 中国台湾新竹市

(72)发明人 柏正豪

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 王珊珊

(51)Int.Cl.

G11C 16/06(2006.01)

G11C 16/20(2006.01)

G11C 16/26(2006.01)

G11C 16/30(2006.01)

(56)对比文件

US 2011128799 A1,2011.06.02,

US 2014169101 A1,2014.06.19,

US 2015138893 A1,2015.05.21,

CN 105097033 A,2015.11.25,

CN 101573869 A,2009.11.04,

审查员 邢白灵

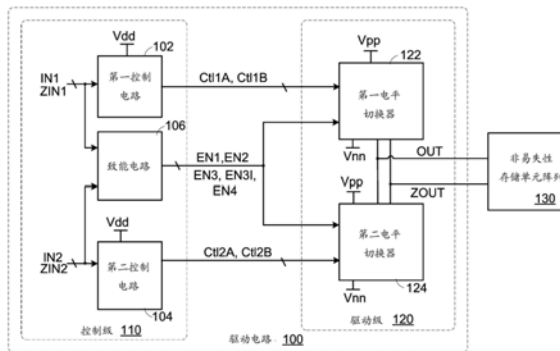
权利要求书4页 说明书10页 附图9页

(54)发明名称

非易失性存储器的驱动电路

(57)摘要

一种驱动电路包括驱动级,内有第一电平切换器与第二电平切换器。第一电平切换器,具有第一输入端接收第一控制信号,第一反相输入端接收反相的第一控制信号,第一输出端与第二输出端。第二电平切换器,具有第二输入端接收第二控制信号,第二反相输入端接收反相的第二控制信号,第三输出端与第四输出端。其中该第一输出端直接连接至该第三输出端,用以产生输出信号,且该第二输出端直接连接至该第四输出端,用以产生反相的输出信号。其中,该第一电平切换器与该第二电平切换器的其中之一根据致能信号组,操作于第一操作模式。



1. 一种驱动电路,连接至非易失性存储单元阵列,该驱动电路包括驱动级,该驱动级包括:

第一电平切换器,具有第一输入端接收第一控制信号,第一反相输入端接收反相的第一控制信号,第一输出端与第二输出端;以及

第二电平切换器,具有第二输入端接收第二控制信号,第二反相输入端接收反相的第二控制信号,第三输出端与第四输出端,其中该第一输出端直接连接至该第三输出端,用以产生输出信号,且该第二输出端直接连接至该第四输出端,用以产生反相的输出信号;

其中,该第一电平切换器与该第二电平切换器根据致能信号组,于第一操作模式时,致能该第一电平切换器以及禁能该第二电平切换器,且于第二操作模式时,致能该第二电平切换器以及禁能该第一电平切换器。

2. 如权利要求1所述的驱动电路,其中该第一电平切换器为第一交叉栓锁器,且该第二电平切换器为第二交叉栓锁器。

3. 如权利要求1所述的驱动电路,还具有控制级,该控制级包括:

第一控制电路,接收第一输入信号与反相的第一输入信号并转换为该第一控制信号与该反相的第一控制信号;

第二控制电路,接收第二输入信号与反相的第二输入信号并转换为该第二控制信号与该反相的第二控制信号;以及

致能电路,接收该第一输入信号、该反相的第一输入信号、该第二输入信号与该反相的第二输入信号并产生该致能信号组,用以禁能该第一电平转换器或者该第二电平转换器。

4. 如权利要求3所述的驱动电路,其中该第一控制电路与该第二控制电路接收第一供应电压,使得该第一控制信号、该反相的第一控制信号、该第二控制信号与该反相的第二控制信号的信号范围在该第一供应电压与接地电压之间。

5. 如权利要求4所述的驱动电路,其中该致能信号组包括第一致能信号、第二致能信号、第三致能信号、反相的第三致能信号与第四致能信号,且该第二电平切换器包括:

第一p型晶体管,具有源极连接至第二供应电压、栅极连接至节点y1;

第二p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点y2;

第三p型晶体管,具有源极连接至该第一p型晶体管的漏极、栅极接收该第二致能信号、漏极连接至该节点y2;

第四p型晶体管,具有源极连接至该第二p型晶体管的漏极、栅极接收该第二致能信号、漏极连接至该节点y1;

第五p型晶体管,具有源极连接至该节点y2、栅极接收该第四致能信号;

第六p型晶体管,具有源极连接至该节点y1、栅极接收该第四致能信号;

第七p型晶体管,具有源极连接至该第二供应电压、栅极与漏极连接至该节点y2;

第八p型晶体管,具有源极连接至该第二供应电压、栅极与漏极连接至该节点y1;

第一n型晶体管,具有源极连接至第三供应电压、栅极接收该第二控制信号;

第二n型晶体管,具有源极连接至该第三供应电压、栅极接收该反相的第二控制信号;

第三n型晶体管,具有源极连接至该第一n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该第五p型晶体管的漏极;以及

第四n型晶体管,具有源极连接至该第二n型晶体管的漏极、栅极接收该第三致能信号、

漏极连接至该第六p型晶体管的漏极。

6. 如权利要求5所述的驱动电路,其中该第一电平切换器包括:

第九p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点x1;

第十p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点x2;

第十一p型晶体管,具有源极连接至该第九p型晶体管的漏极、栅极接收该第一致能信号、漏极连接至该节点x2;

第十二p型晶体管,具有源极连接至该第十p型晶体管的漏极、栅极接收该第一致能信号、漏极连接至该节点x1;

第十三p型晶体管,具有源极连接至该节点x2、栅极接收该第四致能信号;

第十四p型晶体管,具有源极连接至该节点x1、栅极接收该第四致能信号;

第十五p型晶体管,具有源极连接至该第二供应电压、栅极与漏极连接至该节点x2;

第十六p型晶体管,具有源极连接至该第二供应电压、栅极与漏极连接至该节点x1;

第五n型晶体管,具有源极连接至该第三供应电压、栅极接收该第一控制信号;

第六n型晶体管,具有源极连接至该第三供应电压、栅极接收该反相的第一控制信号;

第七n型晶体管,具有源极连接至该第五n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该第十三p型晶体管的漏极;以及

第八n型晶体管,具有源极连接至该第六n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该第十四p型晶体管的漏极;

其中,该节点x1直接连接至该节点y1,以产生该输出信号;该节点x2直接连接至该节点y2,以产生该反相的输出信号。

7. 如权利要求6所述的驱动电路,其中该第一电平切换器中的p型晶体管与n型晶体管具有第一尺寸比例,该第二电平切换器中的p型晶体管与n型晶体管具有第二尺寸比例,且该第一尺寸比例大于该第二尺寸比例。

8. 如权利要求6所述的驱动电路,其中于该第一操作模式时,该第一供应电压具有第一电压值、该第二供应电压等于该第一电压值,该第三供应电压等于该接地电压;且于该第二操作模式时,该第一供应电压具有第二电压值、该第二供应电压等于N倍的该第二电压值,该第三供应电压等于该接地电压,第四供应电压等于M倍的该第二电压值,且N大于M。

9. 如权利要求6所述的驱动电路,其中该第一电平切换器包括:

第一下拉电路,连接于该节点x2与该第三供应电压之间;以及

第二下拉电路,连接于该节点x1与该第三供应电压之间;

其中,当该输出信号为该第二供应电压且该反相的输出信号为该第三供应电压时,该第一下拉电路动作且该第二下拉电路不动作;以及,当该输出信号为该第三供应电压且该反相的输出信号为该第二供应电压时,该第一下拉电路不动作且该第二下拉电路动作。

10. 如权利要求9所述的驱动电路,其中该第一下拉电路包括:第九n型晶体管具有漏极连接至该节点x2、栅极接收该第三致能信号;第十n型晶体管,具有漏极连接至该第九n型晶体管的源极、栅极接收该第一控制信号、源极连接至该第三供应电压;以及,该第二下拉电路包括:第十一n型晶体管具有漏极连接至该节点x1、栅极接收该第三致能信号;第十二n型晶体管,具有漏极连接至该第十一n型晶体管的源极、栅极接收该反相的第一控制信号、源极连接至该第三供应电压。

11. 如权利要求5所述的驱动电路,其中该第一电平切换器包括:

第九p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点z1;

第十p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点z2;

第十一p型晶体管,具有源极连接至该第九p型晶体管的漏极、栅极接收该第一致能信号、漏极连接至该节点z2;

第十二p型晶体管,具有源极连接至该第十p型晶体管的漏极、栅极接收该第一致能信号、漏极连接至该节点z1;

第十三p型晶体管,具有源极连接至该反相的第三致能信号、栅极与漏极连接至该节点z2;

第十四p型晶体管,具有源极连接至该反相的第三致能信号、栅极与漏极连接至该节点z1;

第五n型晶体管,具有源极连接至该第三供应电压、栅极接收该第一控制信号;

第六n型晶体管,具有源极连接至该第三供应电压、栅极接收该反相的第一控制信号;

第七n型晶体管,具有源极连接至该第五n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该节点z2;以及

第八n型晶体管,具有源极连接至该第六n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该节点z1;

其中,该节点z1直接连接至该节点y1,以产生该输出信号;该节点z2直接连接至该节点y2,以产生该反相的输出信号。

12. 如权利要求11所述的驱动电路,其中该第一电平切换器中的p型晶体管与n型晶体管具有第一尺寸比例,该第二电平切换器中的p型晶体管与n型晶体管具有第二尺寸比例,且该第一尺寸比例大于该第二尺寸比例。

13. 如权利要求11所述的驱动电路,其中于该第一操作模式时,该第一供应电压具有第一电压值、该第二供应电压等于该第一电压值,该第三供应电压等于该接地电压;且于该第二操作模式时,该第一供应电压具有第二电压值、该第二供应电压等于N倍的该第二电压值,该第三供应电压等于该接地电压,第四供应电压等于M倍的该第二电压值,且N大于M。

14. 如权利要求11所述的驱动电路,其中该第一电平切换器包括:

第一下拉电路,连接于该节点z2与该第三供应电压之间;以及

第二下拉电路,连接于该节点z1与该第三供应电压之间;

其中,当该输出信号为该第二供应电压且该反相的输出信号为该第三供应电压时,该第一下拉电路动作且该第二下拉电路不动作;以及,当该输出信号为该第三供应电压且该反相的输出信号为该第二供应电压时,该第一下拉电路不动作且该第二下拉电路动作。

15. 如权利要求14所述的驱动电路,其中该第一下拉电路包括:第九n型晶体管具有漏极连接至该节点z2、栅极接收该第三致能信号;第十n型晶体管,具有漏极连接至该第九n型晶体管的源极、栅极接收该第一控制信号、源极连接至该第三供应电压;以及,该第二下拉电路包括:第十一n型晶体管具有漏极连接至该节点z1、栅极接收该第三致能信号;第十二n型晶体管,具有漏极连接至该第十一n型晶体管的源极、栅极接收该反相的第一控制信号、源极连接至该第三供应电压。

16. 如权利要求5所述的驱动电路,其中该第一电平切换器包括:

第九p型晶体管,具有源极连接至该第二供应电压、栅极连接至节点w1、漏极连接至节点w2;

第十p型晶体管,具有源极连接至该第二供应电压、栅极连接至该节点w2、漏极连接至该节点w1;

第十一p型晶体管,具有源极连接至该反相的第三致能信号、栅极与漏极连接至该节点w2;

第十二p型晶体管,具有源极连接至该反相的第三致能信号、栅极与漏极连接至该节点w1;

第五n型晶体管,具有源极连接至该第三供应电压、栅极接收该第一控制信号;

第六n型晶体管,具有源极连接至该第三供应电压、栅极接收该反相的第一控制信号;

第七n型晶体管,具有源极连接至该第五n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该节点w2;以及

第八n型晶体管,具有源极连接至该第六n型晶体管的漏极、栅极接收该第三致能信号、漏极连接至该节点w1;

其中,该节点w1直接连接至该节点y1,以产生该输出信号;该节点w2直接连接至该节点y2,以产生该反相的输出信号。

17.如权利要求16所述的驱动电路,其中该第一电平切换器中的p型晶体管与n型晶体管具有第一尺寸比例,该第二电平切换器中的p型晶体管与n型晶体管具有第二尺寸比例,且该第一尺寸比例大于该第二尺寸比例。

18.如权利要求16所述的驱动电路,其中于该第一操作模式时,该第一供应电压具有第一电压值、该第二供应电压等于该第一电压值,该第三供应电压等于该接地电压;且于该第二操作模式时,该第一供应电压具有第二电压值、该第二供应电压等于N倍的该第二电压值,该第三供应电压等于该接地电压,第四供应电压等于M倍的该第二电压值,且N大于M。

19.如权利要求16所述的驱动电路,其中该第一电平切换器包括:

第一下拉电路,连接于该节点w2与该第三供应电压之间;以及

第二下拉电路,连接于该节点w1与该第三供应电压之间;

其中,当该输出信号为该第二供应电压且该反相的输出信号为该第三供应电压时,该第一下拉电路动作且该第二下拉电路不动作;以及,当该输出信号为该第三供应电压且该反相的输出信号为该第二供应电压时,该第一下拉电路不动作且该第二下拉电路动作。

20.如权利要求19所述的驱动电路,其中该第一下拉电路包括:第九n型晶体管具有漏极连接至该节点w2、栅极接收该第三致能信号;第十n型晶体管,具有漏极连接至该第九n型晶体管的源极、栅极接收该第一控制信号、源极连接至该第三供应电压;以及,该第二下拉电路包括:第十一n型晶体管具有漏极连接至该节点w1、栅极接收该第三致能信号;第十二n型晶体管,具有漏极连接至该第十一n型晶体管的源极、栅极接收该反相的第一控制信号、源极连接至该第三供应电压。

非易失性存储器的驱动电路

技术领域

[0001] 本发明涉及一种驱动电路,且特别涉及一种运用于非易失性存储器的驱动电路。

背景技术

[0002] 众所周知,非易失性存储器可在电源消失之后,仍可保存数据,因此非易失性存储器已经广泛的运用于电子产品中。再者,非易失性存储器中包括多个非易失性存储单元(non-volatile cell)排列而成非易失性存储单元阵列(non-volatile cell array),而每个非易失性存储单元中皆包含浮动栅晶体管(floating gate transistor)。

[0003] 另外,非易失性存储器中还包括电压供应电路(voltage supplying circuit)与驱动电路(driving circuit)。为了让非易失性存储器具备极低功耗(ultra low power consumption)的性能,因此电压供应电路需要在非易失性存储器的各操作模式(operation mode)下提供适当的系统电压至驱动电路,使得驱动电路提供适当的逻辑电平至非易失性存储单元阵列。

[0004] 举例来说,根据非易失性存储单元阵列的操作模式,驱动电路提供适当的逻辑电平来操控非易失性存储单元阵列进行读取操作(read operation)或者编程操作(program operation)。

发明内容

[0005] 本发明的主要目的是提出一种运用于非易失性存储器中的驱动电路,根据非易失性存储器的工作模式,提供对应的操作电压至非易失性存储器的存储单元阵列。

[0006] 本发明有关于一种驱动电路,连接至非易失性存储单元阵列,该驱动电路包括驱动级,该驱动级包括:第一电平切换器,具有第一输入端接收第一控制信号,第一反相输入端接收反相的第一控制信号,第一输出端与第二输出端;以及第二电平切换器,具有第二输入端接收第二控制信号,第二反相输入端接收反相的第二控制信号,第三输出端与第四输出端,其中该第一输出端直接连接至该第三输出端,用以产生输出信号,且该第二输出端直接连接至该第四输出端,用以产生反相的输出信号;其中,该第一电平切换器与该第二电平切换器根据致能信号组,于第一操作模式时,致能该第一电平切换器,且于第二操作模式时,致能该第二电平切换器。

[0007] 为了对本发明的上述及其他方面有更佳的了解,下文特举较佳实施例,并配合附图,作详细说明如下。

附图说明

[0008] 图1所示为本发明运用于非易失性存储器的驱动电路方块图的一个实施例。

[0009] 图2A与图2B所示为本发明实施例中驱动电路内驱动级的第一个范例,及驱动电路于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0010] 图3A与图3B所示为本发明实施例中驱动电路内驱动级的第二个范例,及驱动电路

于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0011] 图4A与图4B所示为本发明实施例中驱动电路内驱动级的第三个范例,及驱动电路于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0012] 图5A所示为本发明实施例中驱动电路内驱动级的第四个范例。

[0013] 图5B与图5C为第一下拉电路与第二下拉电路示意图。

[0014] 符号说明

[0015] 100:驱动电路

[0016] 102、104:控制电路

[0017] 106:致能电路

[0018] 110:控制级

[0019] 120:驱动级

[0020] 122、124:电平切换器

[0021] 125、126:下拉电路

[0022] 130:非易失性存储单元阵列

具体实施方式

[0023] 请参照图1,其所示为本发明运用于非易失性存储器的驱动电路方块图的一个实施例。如图1所示,非易失性存储单元阵列130连接至驱动电路100用以接收输出信号OUT与反相的输出信号ZOUT。

[0024] 驱动电路100包括:控制级(control stage)110与驱动级(driving stage)120。控制级110包括第一控制电路(control circuit)102、第二控制电路104与致能电路(enabling circuit)106。再者,驱动级120包括:第一电平切换器(level shifter)122与第二电平切换器124。

[0025] 另外,非易失性存储器中还包括电压供应电路(voltage supplying circuit,未示出)可提供多个供应电压至驱动电路100。举例来说,电压供应电路提供第一供应电压V_{dd}、第二供应电压V_{pp}、第三供应电压V_{nn}、第四供应电压V_m至驱动电路100。

[0026] 第一控制电路102连接至第一供应电压V_{dd},且第一控制电路102接收第一输入信号IN1与反相的第一输入信号ZIN1,并转换为第一控制信号Ct11A与反相的第一控制信号Ct11B。第二控制电路104连接至第一供应电压V_{dd},且第二控制电路104接收第二输入信号IN2与反相的第二输入信号ZIN2,并转换为第二控制信号Ct12A与反相的第二控制信号Ct12B。其中,第一控制信号Ct11A、反相的第一控制信号Ct11B、第二控制信号Ct12A与反相的第二控制信号Ct12B的信号范围介于第一供应电压V_{dd}与接地电压Gnd(0V)之间。

[0027] 致能电路106接收第一输入信号IN1、反相的第一输入信号ZIN1、第二输入信号IN2与反相的第二输入信号ZIN2并产生致能信号组。其中,致能信号组包括第一致能信号EN1、第二致能信号EN2、第三致能信号EN3、反相的第三致能信号EN3I与第四致能信号EN4。致能电路106连接至电压供应电路以接收第一供应电压V_{dd}、第二供应电压V_{pp}、第三供应电压V_{nn}、第四供应电压V_m。

[0028] 再者,驱动级120中的第一电平切换器122具有第一输出端与第二输出端,而第二电平切换器124具有第一输出端与第二输出端。第一电平切换器122的第一输出端直接连

接(directly connected)至第二电平切换器124的第一输出端,并可产生输出信号OUT。第一电平切换器122的第二输出端直接连接至第二电平切换器124的第二输出端,并可产生反相的输出信号ZOUT。另外,驱动级120接收致能信号组、第一控制信号Ct11A、反相的第一控制信号Ct11B、第二控制信号Ct12A与反相的第二控制信号Ct12B。

[0029] 在正常操作时,致能信号组可以致能第一电平切换器122与第二电平切换器124其中之一。举例来说,当第一电平切换器122被致能时,第一电平切换器122根据第一控制信号Ct11A与反相的第一控制信号Ct11B产生输出信号OUT与反相的输出信号ZOUT。当第二电平切换器124被致能时,第二电平切换器124根据第二控制信号Ct12A与反相的第二控制信号Ct12B产生输出信号OUT与反相的输出信号ZOUT。

[0030] 当驱动电路100操作于第一操作模式时,第一控制电路102动作而第二控制电路104不动作。此时,第一控制电路102将第一输入信号IN1与反相的第一输入信号ZIN1转换为第一控制信号Ct11A与反相的第一控信号Ct11B;而第二控制电路104不会将第二输入信号IN2与反相的第二输入信号ZIN2转换为第二控制信号Ct12A与反相的第二控信号Ct12B。另外,致能电路106根据第一输入信号IN1与反相的第一输入信号ZIN1而产生致能信号组至驱动级120,使得第一电平切换器122被致能(enable)而产生输出信号OUT与反相的输出信号ZOUT,而第二电平切换器124则被禁能(disable)。

[0031] 当驱动电路100操作于第二操作模式时,第二控制电路104动作而第一控制电路102不动作。此时,第二控制电路104将第二输入信号IN2与反相的第二输入信号ZIN2转换为第二控制信号Ct12A与反相的第二控信号Ct12B;而第一控制电路102不会将第一输入信号IN1与反相的第一输入信号ZIN1转换为第一控制信号Ct11A与反相的第一控信号Ct11B。另外,致能电路106根据第二输入信号IN2与反相的第二输入信号ZIN2而产生致能信号组至驱动级120,使得第二电平切换器124被致能(enable)而产生输出信号OUT与反相的输出信号ZOUT,而第一电平切换器122则被禁能(disable)。

[0032] 请参照图2A,其所示为本发明实施例中驱动电路内驱动级的第一个范例。

[0033] 第一电平切换器122包括多个p型晶体管Mpz1、Mpz2、Mpz3、Mpz4、Mpz5、Mpz6,以及多个n型晶体管Mnz1、Mnz2、Mnz3、Mnz4。其中,晶体管Mpz1源极连接至第二供应电压Vpp、栅极连接至节点z1;晶体管Mpz3源极连接至晶体管Mpz1漏极、栅极接收第一致能信号EN1、漏极连接至节点z2;晶体管Mpz5源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点z2;晶体管Mnz3漏极连接至节点z2、栅极接收第三致能信号EN3;晶体管Mnz1漏极连接至晶体管Mnz3源极、栅极接收第一控制信号Ct11A、源极连接至第三供应电压Vnn。

[0034] 再者,晶体管Mpz2源极连接至第二供应电压Vpp、栅极连接至节点z2;晶体管Mpz4源极连接至晶体管Mpz2漏极、栅极接收第一致能信号EN1、漏极连接至节点z1;晶体管Mpz6源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点z1;晶体管Mnz4漏极连接至节点z1、栅极接收第三致能信号EN3;晶体管Mnz2漏极连接至晶体管Mnz4源极、栅极接收反相的第一控制信号Ct11B、源极连接至第三供应电压Vnn。

[0035] 第二电平切换器124包括多个p型晶体管Mpy1、Mpy2、Mpy3、Mpy4、Mpy5、Mpy6、Mpy7、Mpy8,以及多个n型晶体管Mny1、Mny2、Mny3、Mny4。其中,晶体管Mpy1源极连接至第二供应电压Vpp、栅极连接至节点y1;晶体管Mpy3源极连接至晶体管Mpy1漏极、栅极接收第二致能信号EN2、漏极连接至节点y2;晶体管Mpy7源极接收反相的第三致能信号EN3I、栅极与

漏极连接至节点y2;晶体管Mpy5源极连接至节点y2、栅极接收反相的第四致能信号EN4;晶体管Mny3漏极连接至晶体管Mpy5漏极、栅极接收第三致能信号EN3;晶体管Mny1漏极连接至晶体管Mny3源极、栅极接收第二控制信号Ct12A、源极连接至第三供应电压Vnn。

[0036] 再者,晶体管Mpy2源极连接至第二供应电压Vpp、栅极连接至节点y2;晶体管Mpy4源极连接至晶体管Mpy2漏极、栅极接收第二致能信号EN2、漏极连接至节点y1;晶体管Mpy8源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点y1;晶体管Mpy6源极连接至节点y1、栅极接收第四致能信号EN4;晶体管Mny4漏极连接至晶体管Mpy6漏极、栅极接收第三致能信号EN3;晶体管Mny2漏极连接至晶体管Mny4源极、栅极接收反相的第二控制信号Ct12B、源极连接至第三供应电压Vnn。

[0037] 再者,节点z1与节点y1直接连接,并成为驱动级120的输出端,以产生输出信号OUT;节点z2与节点y2直接连接,并成为驱动级120的反相输出端,以产生反相的输出信号ZOUT。

[0038] 由于本发明的驱动电路100可控制具备极低功耗的非易失性存储器阵列 130。因此,需要进一步地设计二个电平切换器中p型晶体管与n型晶体管之间的尺寸比例(size ratio)。举例来说,于第一操作模式时,第一电平切换器122产生的输出信号OUT与反相的输出信号ZOUT操作在较低的信号范围。于第二操作模式时,第二电平切换器124产生的输出信号OUT与反相的输出信号ZOUT操作在较高的信号范围。因此,假设第一电平切换器122中p型晶体管与n型晶体管之间的尺寸比例为第一尺寸比例;第二电平切换器124中p型晶体管与n型晶体管之间的尺寸比例为第二尺寸比例。则第一尺寸比例大于第二尺寸比例。

[0039] 另外,当驱动电路100操作在不同的操作模式时,电压供应电路会提供不同大小(magnitude)的第一供应电压Vdd、第二供应电压Vpp与第三供应电压Vnn与第四供应电压Vm。

[0040] 请参照图2B,其所示为图2A驱动电路于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0041] 于第一操作模式时,电压供应电路提供的第一供应电压Vdd小于 $(V_{thn} + |V_{thp}|)$,例如0.8V的第一供应电压Vdd。其中, V_{thn} 为n型晶体管的阈值电压(threshold voltage), V_{thp} 为p型晶体管的阈值电压。再者,第二供应电压Vpp等于第一供应电压Vdd($V_{pp} = V_{dd}$)。第三供应电压Vnn等于接地电压($V_{nn} = 0V$)。

[0042] 再者,第一致能信号EN1、反相的第三致能信号EN3I、第四致能信号EN4为低电平(0V);第二致能信号EN2与第三致能信号EN3为高电平(Vdd)。因此,第一电平切换器122被致能,第二电平切换器124被禁能。

[0043] 于正常操作时,当第一控制信号Ct11A为高电平(Vdd)且反相的第一控制信号Ct11B为低电平(0V)时,晶体管Mnz1、Mnz3、Mnz4、Mpz2、Mpz3、Mpz4开启(turn on),晶体管Mpz1、Mpz5、Mpz6、Mnz2关闭(turn off)。使得节点z1为第二供应电压Vpp($V_{pp} = V_{dd}$),输出信号OUT为Vdd,节点z2为第三供应电压Vnn($V_{nn} = 0$),反相的输出信号ZOUT为0V。

[0044] 当第一控制信号Ct11A为低电平(0V)且反相的第一控制信号Ct11B为高电平(Vdd)时,晶体管Mnz2、Mnz3、Mnz4、Mpz1、Mpz3、Mpz4开启(turn on),晶体管Mpz2、Mpz5、Mpz6、Mnz1关闭(turn off)。使得节点z1为第三供应电压Vnn($V_{nn} = 0V$),输出信号OUT为0V,节点z2为第二供应电压Vpp($V_{pp} = V_{dd}$),反相的输出信号ZOUT为Vdd。明显地,由于第一供应电压

Vdd的大小为0.8V,因此输出信号OUT与反相的输出信号ZOUT的信号范围在0V~0.8V之间。

[0045] 驱动电路100于第二操作模式时包括三个相位(phase)。于第二操作模式的第一相位(I)时,电压供应电路提供的第一供应电压Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压 V_{pp} 的大小等于第一供应电压Vdd($V_{pp}=V_{dd}$)。第三供应电压 V_{nn} 等于0V。再者,第一致能信号EN1、第二致能信号EN2、第三致能信号EN3、第四致能信号EN4为低电平(0V);反相的第三致能信号EN3I为高电平(Vdd)。因此,第一电平切换器122与第二电平切换器124皆被禁能。

[0046] 于第二操作模式的第一相位(I)时,二极管式(diode connected)连接的晶体管Mpx7、Mpx8、Mpy7、Mpy8几乎可以将输出信号OUT与反相的输出信号ZOUT预充电(precharge)至高电平(Vdd)。因此,第二操作模式的第一相位(I)可称为预充电相位(precharge phase)。

[0047] 于第二操作模式的第二相位(II)时,电压供应电路提供的第一供应电压Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压 V_{pp} 的大小等于第一供应电压Vdd($V_{pp}=V_{dd}$)。第三供应电压 V_{nn} 等于0V。再者,第一致能信号EN1、第二致能信号EN2、反相的第三致能信号EN3I、第四致能信号EN4为低电平(0V);第三致能信号EN3为高电平(Vdd)。因此,第一电平切换器122与第二电平切换器124皆被致能。

[0048] 于第二操作模式的第二相位(II)时,第一电平切换器122与第二电平切换器124会初始化(initialize)内部节点的偏压(bias voltage)。因此,第二操作模式的第二相位(II)可称为初始化相位(initialization phase)。

[0049] 于第二操作模式的第三相位(III)时,电压供应电路提供的第一供应电压Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压 V_{pp} 的大小会提高至 V_1 ,其为供应电压Vdd的N倍($V_{pp}=V_1=N\times V_{dd}$)。第三供应电压 V_{nn} 等于0V。第四供应电压 V_m 的大小会提高至 V_2 ,其为供应电压Vdd的M倍($V_m=V_2=M\times V_{dd}$)。在本发明的实施例中,且N大于M。举例来说,N为3且M为2时,第二供应电压 V_{pp} 即为3V($V_{pp}=V_1=3\times 1V=3V$),第四供应电压 V_m 即为2V($V_m=V_2=2\times 1V=2V$)。

[0050] 再者,第一致能信号EN1、第三致能信号EN3为高电平(V_1);第二致能信号EN2、反相的第三致能信号EN3I、第四致能信号EN4为低电平(V_2)。因此,第一电平切换器122被禁能,第二电平切换器124被致能。

[0051] 于第二操作模式的第三相位(III)为正常操作相位。当第二控制信号Ct12A为高电平(Vdd)且反相的第二控制信号Ct12B为低电平(0V)时,晶体管Mny1、Mny3、Mny4、Mpy2、Mpy3、Mpy4、Mpy5、Mpy6、Mpy7开启(turn on),晶体管Mpy1、Mpy8、Mny2关闭(turn off)。使得节点y1为第二供应电压 V_{pp} ($V_{pp}=V_1$),输出信号OUT为 V_1 ;节点y2为第四供应电压 V_m ($V_m=V_2$),反相的输出信号ZOUT为 V_2 。

[0052] 当第二控制信号Ct12A为低电平(0V)且反相的第二控制信号Ct12B为高电平(Vdd)时,晶体管Mny2、Mny3、Mny4、Mpy1、Mpy3、Mpy4、Mpy5、Mpy6、Mpy8开启(turn on),晶体管Mpy2、Mpy7、Mny1关闭(turn off)。使得节点y1为第四供应电压 V_m ($V_m=V_2$),输出信号OUT为 V_2 ;节点y2为第二供应电压 V_{pp} ($V_{pp}=V_1$),反相的输出信号ZOUT为 V_1 。由于第二供应电压 V_{pp} 为3V且第四供应电压 V_m 为2V,所以输出信号OUT与反相的输出信号ZOUT的信号范围在2V~3V之间。

[0053] 请参照图3A,其所示为本发明实施例中驱动电路内驱动级的第二个范例。其中,第二电平切换器124与图2A相同,不再赘述。

[0054] 第一电平切换器122包括多个p型晶体管Mpw1、Mpw2、Mpw3、Mpw4,以及多个n型晶体管Mnw1、Mnw2、Mnw3、Mnw4。其中,晶体管Mpw1源极连接至第二供应电压Vpp、栅极连接至节点w1、漏极连接至节点w2;晶体管Mpw3源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点w2;晶体管Mnw3漏极连接至节点w2、栅极接收第三致能信号EN3;晶体管Mnw1漏极连接至晶体管Mnw3源极、栅极接收第一控制信号Ct11A、源极连接至第三供应电压Vnn。

[0055] 再者,晶体管Mpw2源极连接至第二供应电压Vpp、栅极连接至节点w2、漏极连接至节点w1;晶体管Mpw4源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点w1;晶体管Mnw4漏极连接至节点w1、栅极接收第三致能信号EN3;晶体管Mnw2漏极连接至晶体管Mnw4源极、栅极接收反相的第一控制信号Ct11B、源极连接至第三供应电压Vnn。

[0056] 再者,节点w1与节点y1直接连接,并成为驱动级120的输出端,以产生输出信号OUT;节点w2与节点y2直接连接,并成为驱动级120的反相输出端,以产生反相的输出信号ZOUT。

[0057] 同理,由于本发明的驱动电路100可控制具备极低功耗的非易失性存储器阵列130。因此,需要进一步地设计二个电平切换器中p型晶体管与n型晶体管之间的尺寸比例。也即,第一电平切换器122中p型晶体管与n型晶体管之间的尺寸比例为第一尺寸比例;第二电平切换器124中p型晶体管与n型晶体管之间的尺寸比例为第二尺寸比例。则第一尺寸比例大于第二尺寸比例。

[0058] 另外,当驱动电路100操作在不同的操作模式时,电压供应电路会提供不同大小(magnitude)的第一供应电压Vdd、第二供应电压Vpp与第三供应电压Vnn与第四供应电压Vm。

[0059] 请参照图3B,其所示为图3A驱动电路于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0060] 于第一操作模式时,电压供应电路提供的第一供应电压Vdd小于 $(V_{thn} + |V_{thp}|)$,例如0.8V的第一供应电压Vdd。其中, V_{thn} 为n型晶体管的阈值电压(threshold voltage), V_{thp} 为p型晶体管的阈值电压。再者,第二供应电压Vpp等于第一供应电压Vdd($V_{pp} = V_{dd}$)。第三供应电压Vm等于接地电压($V_m = 0V$)。

[0061] 再者,第一致能信号EN1无作用(don't care)。反相的第三致能信号EN3I与第四致能信号EN4为低电平(0V),且第二致能信号EN2与第三致能信号EN3为高电平(Vdd)。因此,第二电平切换器124被禁能。

[0062] 再者,当第一控制信号Ct11A为高电平(Vdd)且反相的第一控制信号Ct11B为低电平(0V)时,晶体管Mnw1、Mnw3、Mnw4、Mpw2开启(turn on),晶体管Mpw1、Mpw3、Mpw4、Mnw2关闭(turn off)。使得节点w1为第二供应电压Vpp($V_{pp} = V_{dd}$),输出信号OUT为Vpp,节点w2为第三供应电压Vnn($V_{nn} = 0$),反相的输出信号ZOUT为0V。

[0063] 当第一控制信号Ct11A为低电平(0V)且反相的第一控制信号Ct11B为高电平(Vdd)时,晶体管Mnw2、Mnw3、Mnw4、Mpw1开启(turn on),晶体管Mpw2、Mpw3、Mpw4、Mnw1关闭(turn off)。使得节点w1为第三供应电压Vnn($V_{nn} = 0$),输出信号OUT为0V,节点w2为第二供应电压Vpp($V_{pp} = V_{dd}$),反相的输出信号ZOUT为Vdd。明显地,由于第一供应电压Vdd的大小为

0.8V,因此输出信号OUT与反相的输出信号ZOUT的信号范围在0V~0.8V 之间。

[0064] 驱动电路100于第二操作模式时包括三个相位(phase)。于第二操作模式的第一相位(I)时,电压供应电路提供的第一供应电压Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压 V_{pp} 的大小等于第一供应电压Vdd($V_{pp}=V_{dd}$)。第三供应电压Vnn等于0V。再者,第二致能信号EN2、第三致能信号EN3、第四致能信号EN4为低电平(0V);反相的第三致能信号EN3I为高电平(Vdd)。因此,第二电平切换器124 被禁能。再者,第一控制信号Ct11A与反相的第一控制信号Ct11B会维持在低电平(0V)。

[0065] 于第二操作模式的第一相位(I)时,二极管式(diode connected)连接的晶体管Mpw3、Mpw4、Mpy7、Mpy8几乎可以将输出信号OUT与反相的输出信号ZOUT预充电(precharge)至高电平(Vdd)。因此,第二操作模式的第一相位(I)可称为预充电相位(precharge phase)。

[0066] 于第二操作模式的第二相位(II)时,电压供应电路提供的第一供应电压 Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压Vpp的大小等于第一供应电压Vdd($V_{pp}=V_{dd}$)。第三供应电压 Vnn等于0V。再者,第一致能信号EN1无作用(don't care);第二致能信号 EN2、反相的第三致能信号EN3I、第四致能信号EN4为低电平(0V);第三致能信号EN3为高电平(Vdd)。因此,第二电平切换器124被致能。再者,第一控制信号Ct11A与反相的第一控制信号Ct11B会维持在低电平(0V)。

[0067] 于第二操作模式的第二相位(II)时,第一电平切换器122与第二电平切换器124会初始化(initialize)内部节点的偏压(bias voltage)。因此,第二操作模式的第二相位(II)可称为初始化相位(initialization phase)。

[0068] 于第二操作模式的第三相位(III)时,电压供应电路提供的第一供应电压 Vdd大于或等于 $(V_{thn}+|V_{thp}|)$,例如1.0V的第一供应电压Vdd($V_{dd}=1V$)。第二供应电压Vpp的大小会提高至V1,其为供应电压Vdd的N倍($V_{pp}=V_1=N\times V_{dd}$)。第三供应电压Vnn等于0V。第四供应电压Vm的大小会提高至V2,其为供应电压Vdd的M倍($V_m=V_2=M\times V_{dd}$)。在本发明的实施例中,且N大于M。举例来说,N为3且M为2时,第二供应电压Vpp即为3V($V_{pp}=V_1=3\times 1V=3V$),第四供应电压Vm即为2V($V_m=V_2=2\times 1V=2V$)。

[0069] 再者,第一致能信号EN1无作用(don't care);第三致能信号EN3为高电平(V1);第二致能信号EN2、反相的第三致能信号EN3I、第四致能信号EN4 为低电平(V2)。因此,第二电平切换器124被致能。再者,第一控制信号Ct11A 与反相的第一控制信号Ct11B会维持在低电平(0V)。

[0070] 于第二操作模式的第三相位(III)为正常操作相位。当第二控制信号Ct12A 为高电平(Vdd)且反相的第二控制信号Ct12B为低电平(0V)时,晶体管Mny1、Mny3、Mny4、Mpy2、Mpy3、Mpy4、Mpy5、Mpy6、Mpy7开启(turn on),晶体管Mpy1、Mpy8、Mny2关闭(turn off)。使得节点y1为第二供应电压 V_{pp} ($V_{pp}=V_1$),输出信号OUT为V1;节点y2为第四供应电压Vm($V_m=V_2$),反相的输出信号ZOUT为V2。

[0071] 当第二控制信号Ct12A为低电平(0V)且反相的第二控制信号Ct12B为高电平(Vdd)时,晶体管Mny2、Mny3、Mny4、Mpy1、Mpy3、Mpy4、Mpy5、Mpy6、Mpy8开启(turn on),晶体管Mpy2、Mpy7、Mny1关闭(turn off)。使得节点y1为第四供应电压Vm($V_m=V_2$),输出信号OUT为V2;节点y2为第二供应电压Vpp($V_{pp}=V_1$),反相的输出信号ZOUT为V1。由于第二供应电压

V_{pp} 为3V且第四供应电压 V_m 为2V,所以输出信号OUT与反相的输出信号ZOUT的信号范围在2V~3V之间。

[0072] 请参照图4A,其所示为本发明实施例中驱动电路内驱动级的第三个范例。其中,第二电平切换器124与图2A相同,不再赘述。

[0073] 第一电平切换器122包括多个p型晶体管 M_{px1} 、 M_{px2} 、 M_{px3} 、 M_{px4} 、 M_{px5} 、 M_{px6} 、 M_{px7} 、 M_{px8} ,以及多个n型晶体管 M_{nx1} 、 M_{nx2} 、 M_{nx3} 、 M_{nx4} 。其中,晶体管 M_{px1} 源极连接至第二供应电压 V_{pp} 、栅极连接至节点 x_1 ;晶体管 M_{px3} 源极连接至晶体管 M_{px1} 漏极、栅极接收第一致能信号EN1、漏极连接至节点 x_2 ;晶体管 M_{px7} 源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点 x_2 ;晶体管 M_{px5} 源极连接至节点 x_2 、栅极接收第四致能信号EN4;晶体管 M_{nx3} 漏极连接至晶体管 M_{px5} 漏极、栅极接收第三致能信号EN3;晶体管 M_{nx1} 漏极连接至晶体管 M_{nx3} 源极、栅极接收第一控制信号Ct11A、源极连接至第三供应电压 V_{nn} 。

[0074] 再者,晶体管 M_{px2} 源极连接至第二供应电压 V_{pp} 、栅极连接至节点 x_2 ;晶体管 M_{px4} 源极连接至晶体管 M_{px2} 漏极、栅极接收第一致能信号EN1、漏极连接至节点 x_1 ;晶体管 M_{px8} 源极接收反相的第三致能信号EN3I、栅极与漏极连接至节点 x_1 ;晶体管 M_{px6} 源极连接至节点 x_1 、栅极接收第四致能信号EN4;晶体管 M_{nx4} 漏极连接至晶体管 M_{px6} 漏极、栅极接收第三致能信号EN3;晶体管 M_{nx2} 漏极连接至晶体管 M_{nx4} 源极、栅极接收反相的第一控制信号Ct11B、源极连接至第三供应电压 V_{nn} 。

[0075] 再者,节点 x_1 与节点 y_1 直接连接,并成为驱动级120的输出端,以产生输出信号OUT;节点 x_2 与节点 y_2 直接连接,并成为驱动级120的反相输出端,以产生反相的输出信号ZOUT。

[0076] 由于本发明的驱动电路100可控制具备极低功耗的非易失性存储器阵列 130。因此,需要进一步地设计二个电平切换器中p型晶体管与n型晶体管之间的尺寸比例。亦即,第一电平切换器122中p型晶体管与n型晶体管之间的尺寸比例为第一尺寸比例;第二电平切换器124中p型晶体管与n型晶体管之间的尺寸比例为第二尺寸比例。则第一尺寸比例大于第二尺寸比例。

[0077] 另外,当驱动电路100操作在不同的操作模式时,电压供应电路会提供不同大小(magnitude)的第一供应电压 V_{dd} 、第二供应电压 V_{pp} 与第三供应电压 V_{nn} 与第四供应电压 V_m 。

[0078] 请参照图4B,其所示为图4A驱动电路于各种操作模式下的供应电压及其相关信号的信号范围示意图。

[0079] 于第一操作模式时,电压供应电路提供的第一供应电压 V_{dd} 小于 $(V_{thn} + |V_{thp}|)$,例如0.8V的第一供应电压 V_{dd} 。其中, V_{thn} 为n型晶体管的阈值电压(threshold voltage), V_{thp} 为p型晶体管的阈值电压。再者,第二供应电压 V_{pp} 等于第一供应电压 V_{dd} ($V_{pp} = V_{dd}$)。第三供应电压 V_{nn} 等于接地电压 ($V_{nn} = 0V$)。

[0080] 再者,第一致能信号EN1、反相的第三致能信号EN3I、第四致能信号 EN4为低电平(0V);第二致能信号EN2与第三致能信号EN3为高电平(V_{dd})。因此,第一电平切换器122被致能,第二电平切换器124被禁能。

[0081] 于正常操作时,当第一控制信号Ct11A为高电平(V_{dd})且反相的第一控制信号Ct11B为低电平(0V)时,晶体管 M_{nx1} 、 M_{nx3} 、 M_{nx4} 、 M_{px2} 、 M_{px3} 、 M_{px4} 、 M_{px6} 开启(turn on),晶

晶体管Mpx1、Mpx7、Mpx8、Mnx2关闭(turn off)。使得节点x1为第二供应电压Vpp($V_{pp}=V_{dd}$)，输出信号OUT为Vdd，节点x2为第三供应电压Vnn($V_{nn}=0$)，反相的输出信号ZOUT为0V。

[0082] 当第一控制信号Ct11A为低电平(0V)且反相的第一控制信号Ct11B为高电平(Vdd)时，晶体管Mnx2、Mnx3、Mnx4、Mpx1、Mpx3、Mpx4、Mpx5、Mpx6开启(turn on)，晶体管Mpx2、Mpx7、Mpx8、Mnx1关闭(turn off)。使得节点x1为第三供应电压Vnn($V_{nn}=0V$)，输出信号OUT为0V，节点x2为第二供应电压Vpp($V_{pp}=V_{dd}$)，反相的输出信号ZOUT为Vdd。明显地，由于第一供应电压Vdd的大小为0.8V，因此输出信号OUT与反相的输出信号ZOUT的信号范围在0V~0.8V之间。

[0083] 相同地，驱动电路100于第二操作模式时包括三个相位(phase)。驱动级120中第二电平切换器124的操作与前述第一个范例的驱动级相同，因此不再赘述。

[0084] 由以上的说明可知，本发明的驱动电路100根据不同的操作模式，提供不同的逻辑电平来操控非易失性存储单元阵列130。举例来说，本发明的第一操作模式利用信号范围较窄的逻辑电平来进行读取操作(read operation)；而第二操作模式利用信号范围较宽的逻辑电平来进行读取操作编程操作(program operation)。

[0085] 再者，驱动电路100的驱动级120中，利用第一电平切换器122与第二电平切换器124来操作。众所周知，第一电平切换器122与第二电平切换器124属于一种交叉栓锁器(cross couple latch)。换句话说，在此领域的技术人员也可以利用第一交叉栓锁器(cross couple latch)与第二交叉栓锁器来取代电平切换器并实现本发明的驱动级。

[0086] 再者，由于驱动级120中的第一电平切换器122是运在第一操作模式，用以产生信号范围较窄的逻辑电平。因此，可在第一电平切换器122中增加下拉电路(pull down circuit)，使得输出信号OUT与反相的输出信号ZOUT提供准确的接地电压(0V)。

[0087] 请参照图5A，其所示为本发明实施例中驱动电路内驱动级的第四个范例。相较于图4A的第三范例，仅有在第一电平切换器122中增加第一下拉电路125与第二下拉电路126。

[0088] 第一下拉电路125连接于节点x2与第三供应电压Vnn之间。第二下拉电路126连接于节点x1与第三供应电压Vnn之间。在第一操作模式时，当输出信号OUT为Vpp且反相的输出信号ZOUT为0V时，第一下拉电路125会动作而第二下拉电路126不会动作。如此，可以使得节点x2被下拉至0V而使得晶体管Mpx2完全开启，并提供Vpp至节点x1。

[0089] 再者，当输出信号OUT为0V且反相的输出信号ZOUT为Vpp时，第二下拉电路126会动作而第一下拉电路125不会动作。如此，可以使得节点x1被下拉至0V而使得晶体管Mpx1完全开启，并提供Vpp至节点x2。

[0090] 请参照图5B与图5C，其为第一下拉电路与第二下拉电路示意图。第一下拉电路125包括n型晶体管Mnx5、Mnx6。晶体管Mnx5漏极连接至节点x2、栅极接收第三致能信号EN3；晶体管Mnx6漏极连接至晶体管Mnx5源极、栅极接收第一控制信号Ct11A、源极接收第三供应电压Vnn。

[0091] 第二下拉电路126包括n型晶体管Mnx7、Mnx8。晶体管Mnx7漏极连接至节点x1、栅极接收第三致能信号EN3；晶体管Mnx8漏极连接至晶体管Mnx7源极、栅极接收反相的第一控制信号Ct11B、源极接收第三供应电压Vnn。

[0092] 相同地，图5A中的第一下拉电路125与第二下拉电路126也可以运用于图2A或者图2A中的第一电平切换器122。此处不再赘述。

[0093] 由以上说明可知,本发明的优点是提出一种运用于非易失性存储器的驱动电路。本发明的驱动电路100根据不同的操作模式,提供不同的逻辑电平来操控非易失性存储单元阵列130。因此,可以让非易失性存储器具备极低功耗(ultra low power consumption)的性能。

[0094] 综上所述,虽然本发明已以较佳实施例揭露如上,然而其并非用以限定本发明。本发明所属技术领域中具有通常知识的技术人员,在不脱离本发明的精神和范围内,应当可以作各种更动与润饰。因此,本发明的保护范围应当视所附权利要求所界定的为准。

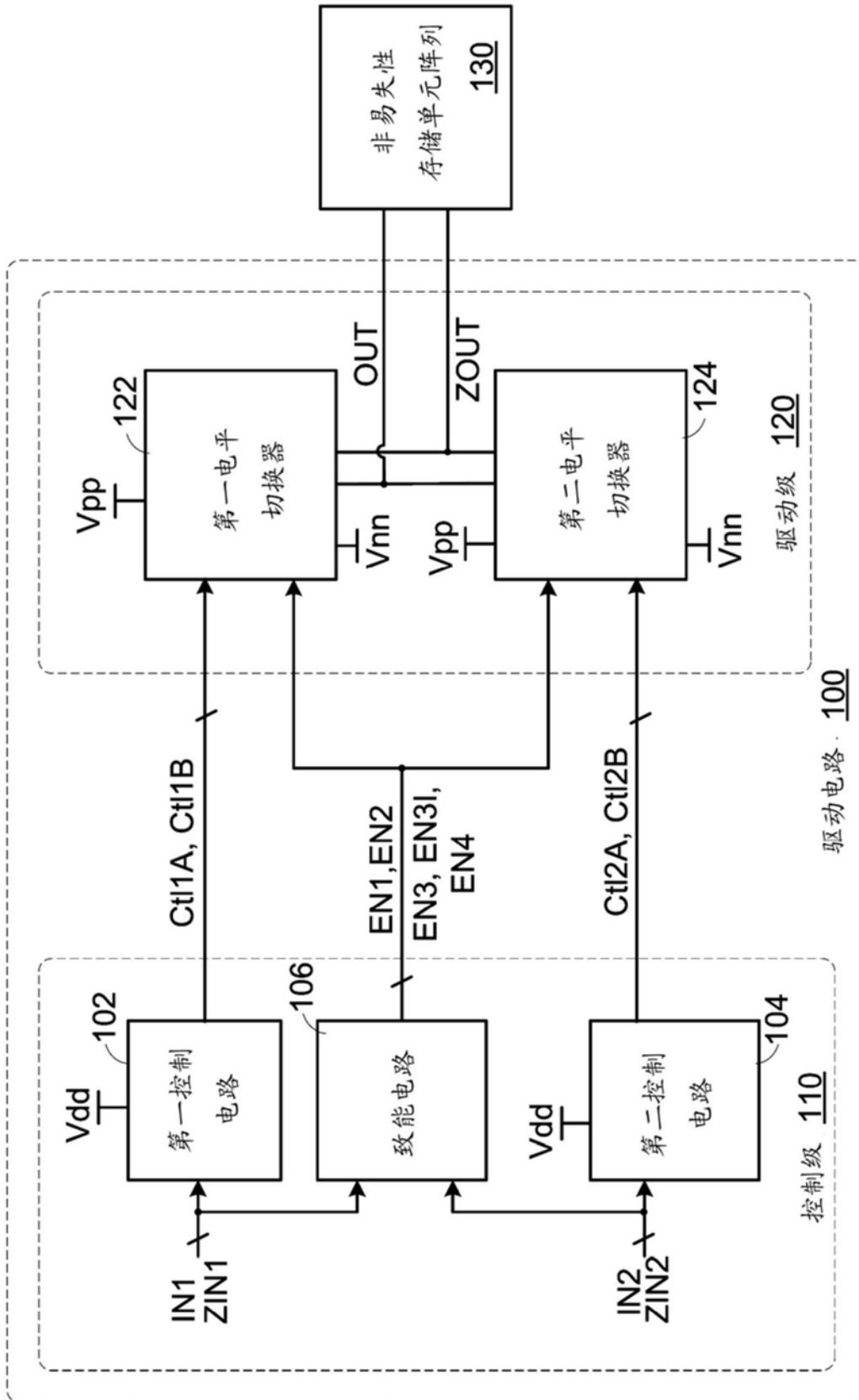


图1

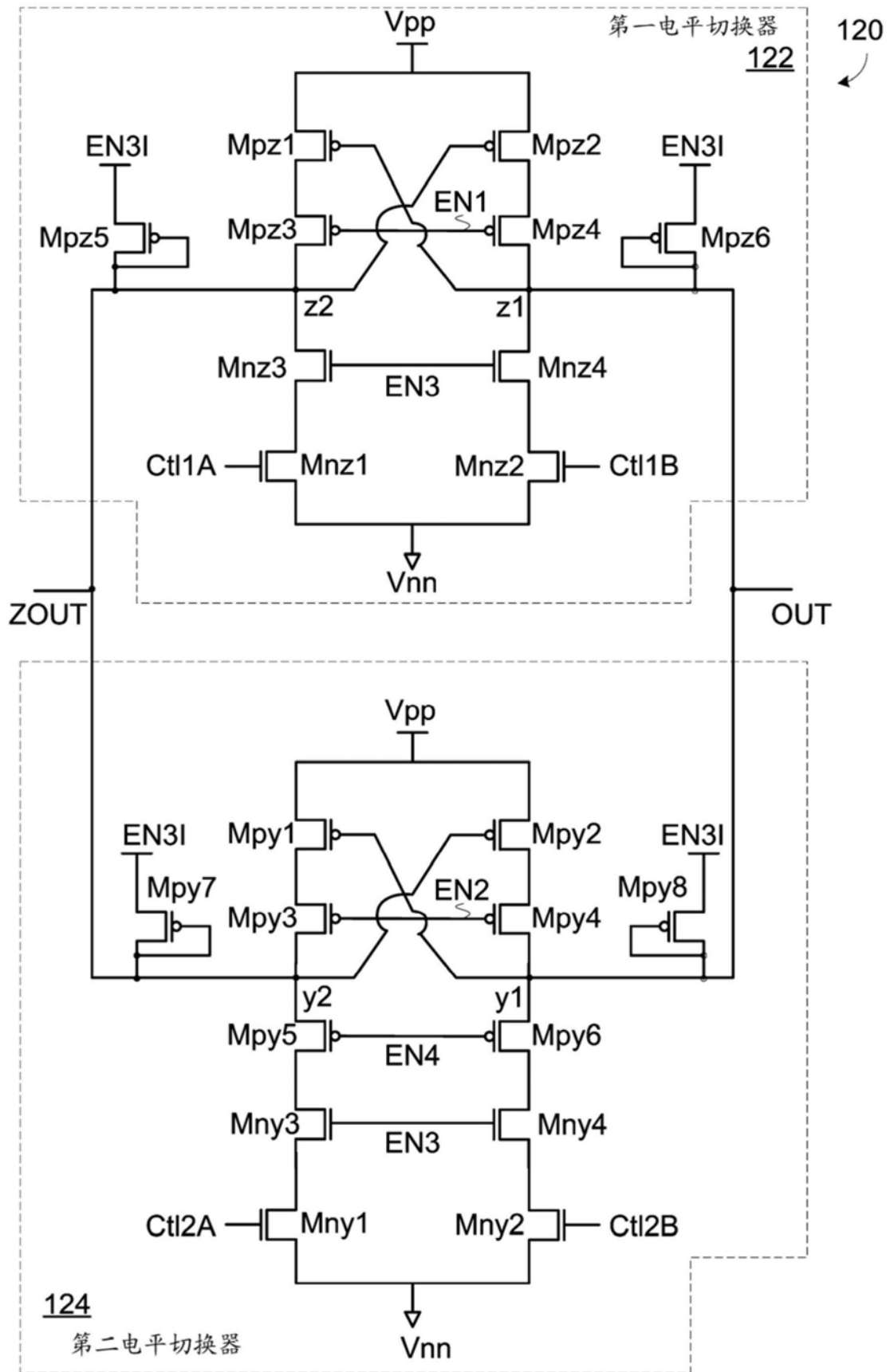


图2A

	Vdd	Vpp	Vnn	EN1	EN2	EN3	EN3	EN4	Ct1A, Ct1B	Ct2A, Ct2B	OUT, ZOUT
第一操作模式	$<V_{thn} + V_{thp} $	Vdd	0V	0V	Vdd	Vdd	0V	0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V
第二操作模式	$\geq V_{thn} + V_{thp} $	Vdd	0V	0	0	0	Vdd	0	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	Vdd, Vdd
							0	0	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V
							V1	$V2 = \frac{V2}{M \times Vdd}$	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=V1 'Lo'=V2

图2B

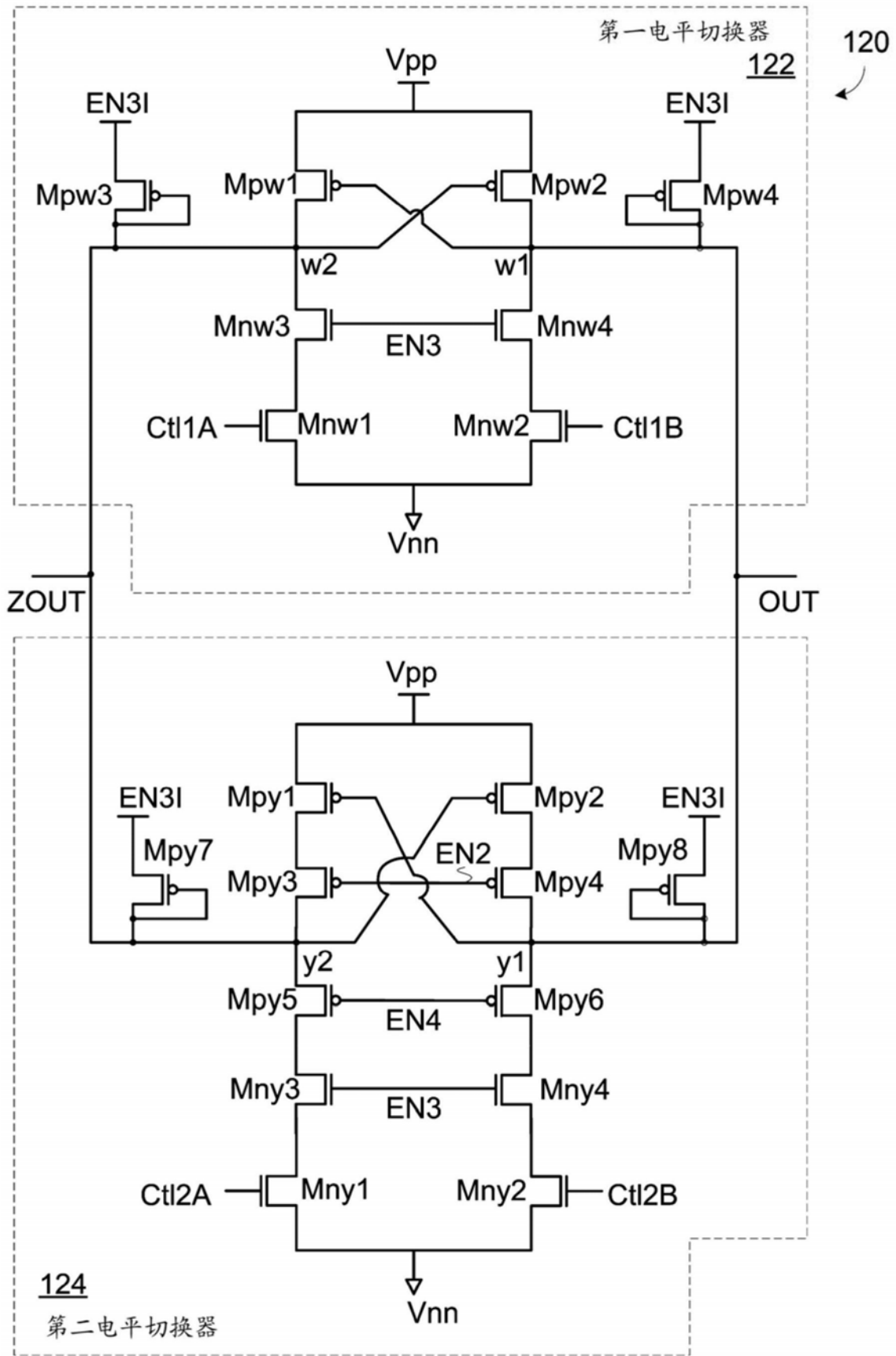


图3A

第一操作模式	Vdd	Vpp	Vnn	EN1	EN2	EN3	EN3I	EN4	Ct1A, Ct1B	Ct12A, Ct12B	OUT, ZOUT
	$<V_{thn} + V_{thp} $	Vdd	0V	-	Vdd	Vdd	0V	0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V
	$\geq V_{thn} + V_{thp} $	Vdd	0V	-	0	0	Vdd	0	0V, 0V	'Hi'=Vdd 'Lo'=0V	Vdd, Vdd
第二操作模式		V1= N x Vdd	0V	-	$V2 =$ M x Vdd	V1	V2	V2	0V, 0V	'Hi'=Vdd 'Lo'=0V	'Hi'=V1 'Lo'=V2

图3B

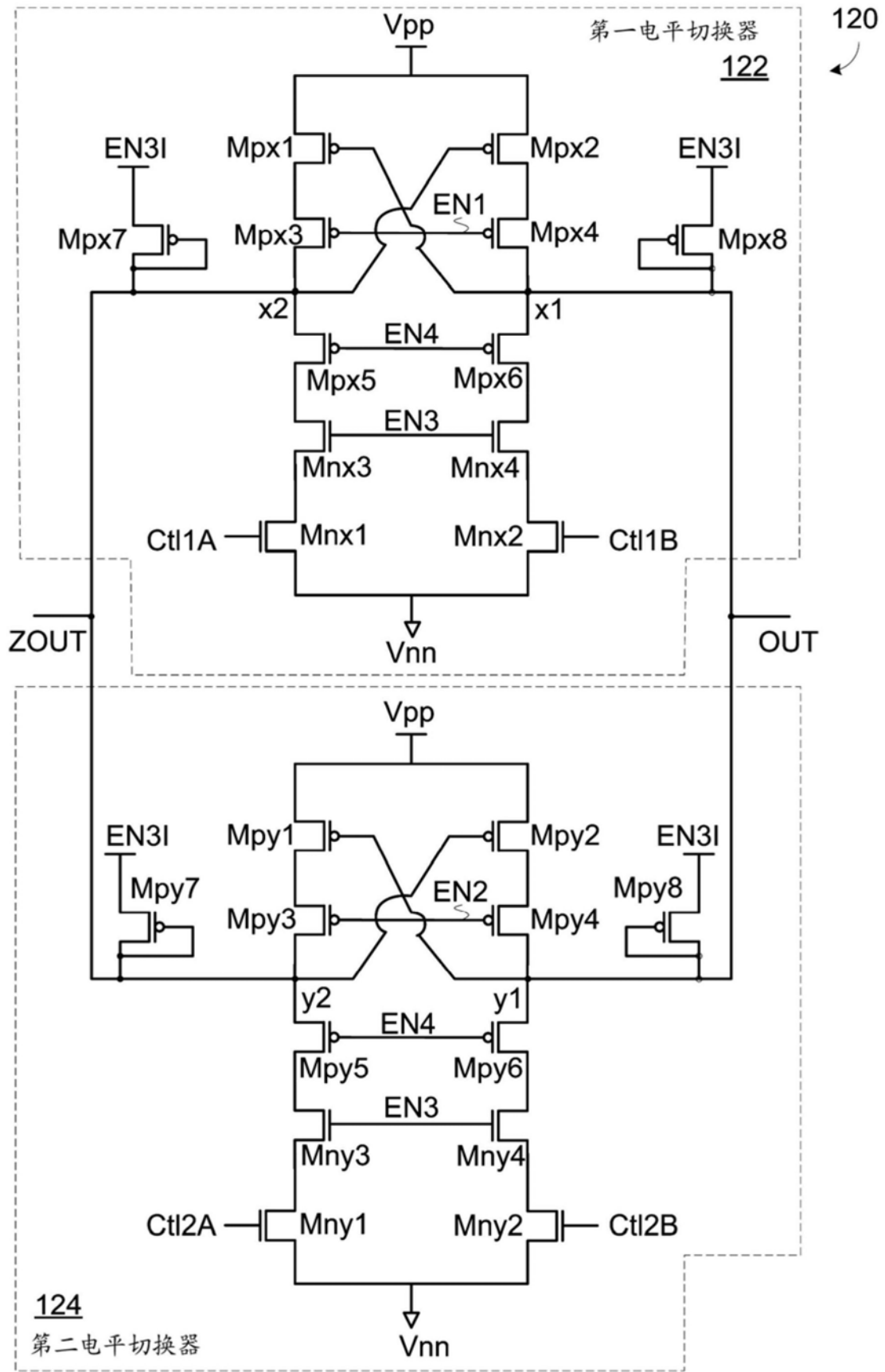


图4A

	Vdd	Vpp	Vnn	EN1	EN2	EN3	EN3	EN4	Ctl1A, Ctl1B	Ctl2A, Ctl2B	OUT, ZOUT
第一操作模式	$<V_{thn} + V_{thp} $	Vdd	0V	0V	Vdd	Vdd	0V	0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V
	第二操作模式	Vdd	0V	0	0	0	Vdd	0	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	Vdd, Vdd
0				0	Vdd	0	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V		
0				$V2 = \frac{V2}{M \times Vdd}$	V1	V2	'Hi'=Vdd 'Lo'=0V	'Hi'=Vdd 'Lo'=0V	'Hi'=V1 'Lo'=V2		

图4B

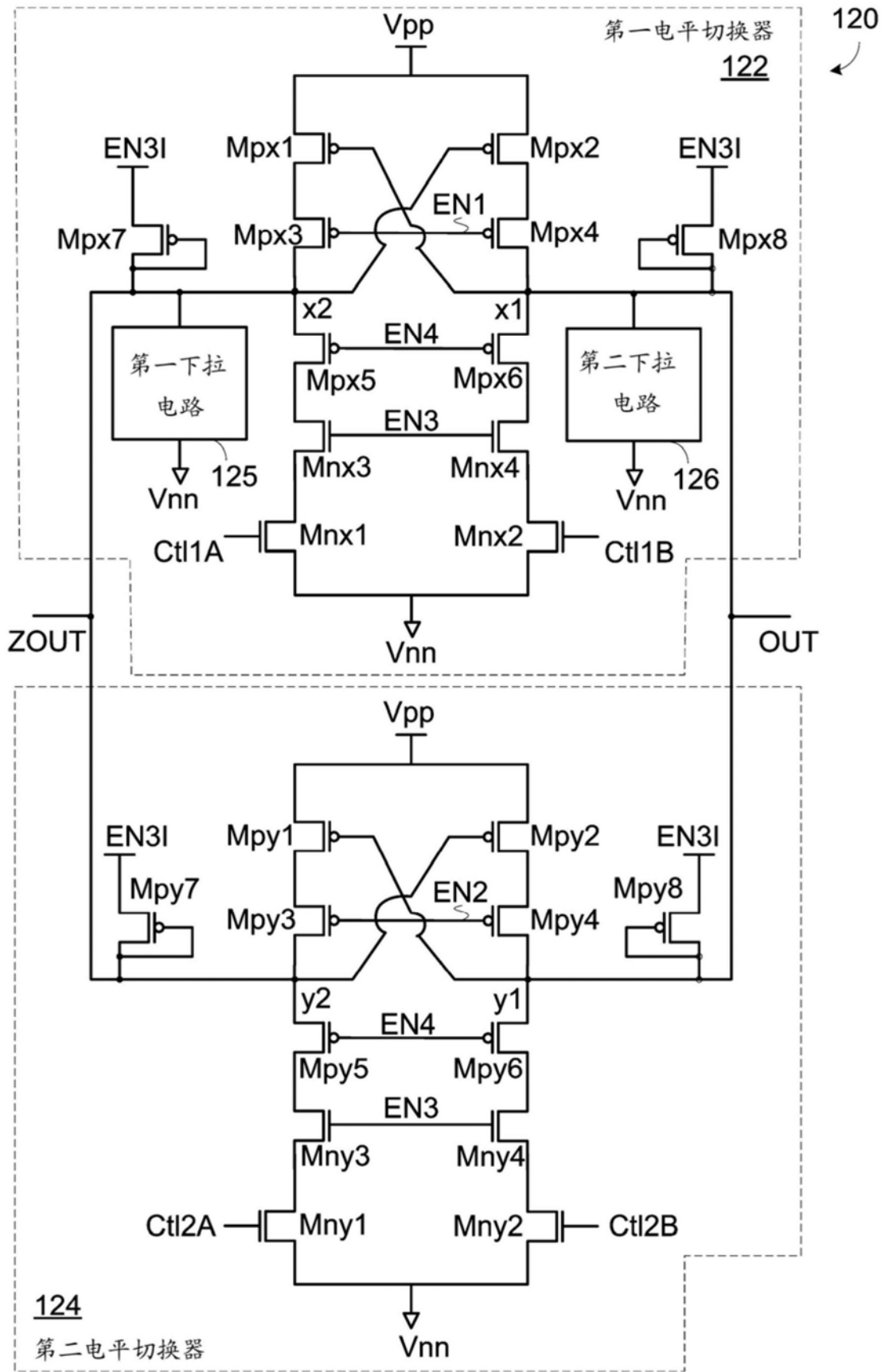


图5A

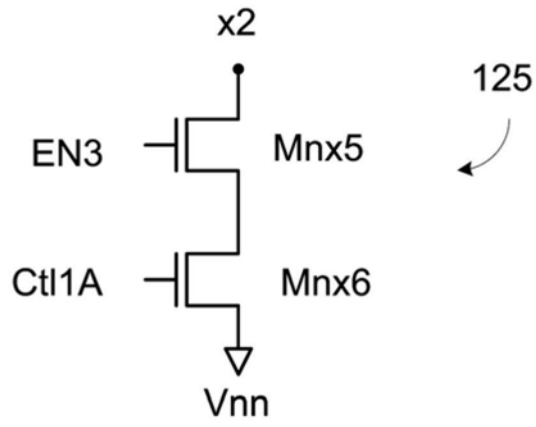


图5B

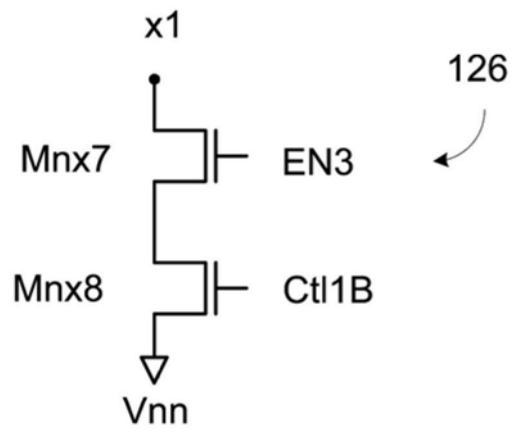


图5C