

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200810188831.0

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

[43] 公开日 2009年7月1日

[11] 公开号 CN 101471380A

[22] 申请日 2008.12.26

[21] 申请号 200810188831.0

[30] 优先权

[32] 2007.12.28 [33] KR [31] 10-2007-0139979

[71] 申请人 东部高科股份有限公司

地址 韩国首尔

[72] 发明人 朴日用

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 李丙林 张英

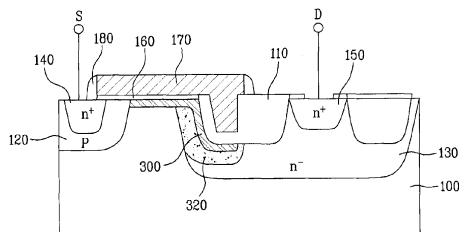
权利要求书5页 说明书7页 附图2页

## [54] 发明名称

横向双扩散金属氧化物半导体晶体管及其制造方法

## [57] 摘要

一种横向双扩散金属氧化物半导体(LDMOS)晶体管可以包括第一导电型半导体衬底以及在衬底中限定有源区的浅沟槽隔离膜。可以在半导体衬底的部分顶部上方布置第二导电型本体区。可以在本体区的顶部中布置第一导电型源极区。可以在半导体衬底的部分顶部上方布置第一导电型扩展漏极区,并且该第一导电型扩展漏极区与本体区相隔离。栅极介电膜覆盖第二导电型本体区和第一导电型源极区两者的表面以及覆盖第一导电型半导体衬底的部分顶部表面。栅极导电膜可以从第一导电型源极区开始延伸、延伸在栅极介电膜上方、延伸在浅沟槽隔离膜上方,以及在浅沟槽隔离膜的内部延伸。因此,本发明实施例防止了在导通状态下电流流动受到STI干扰,这样可以获得提高的导通电阻特性。



1. 一种装置，包括：

第一导电型半导体衬底；

浅沟槽隔离膜，在所述衬底中限定有源区；

第二导电型本体区，布置在所述半导体衬底的部分顶部上方；

第一导电型源极区，布置在所述本体区的顶部中；

第一导电型扩展漏极区，布置在所述半导体衬底的部分顶部上方，并且所述第一导电型扩展漏极区与所述本体区相隔离；

栅极介电膜，覆盖所述第二导电型本体区和所述第一导电型源极区两者的表面以及覆盖所述第一导电型半导体衬底的部分顶部表面；以及

栅极导电膜，从所述第一导电型源极区开始延伸、延伸在所述栅极介电膜上方、延伸在所述浅沟槽隔离膜上方，以及在所述浅沟槽隔离膜的内部延伸。

2. 根据权利要求 1 所述的装置，包括：

栅极隔离件膜，这些栅极隔离件膜形成在所述栅极导电膜和所述栅极介电膜两者的侧壁上。

3. 根据权利要求 1 所述的装置，其中，形成在所述浅沟槽隔离膜内部的所述栅极导电膜的厚度大于形成在所述栅极介电膜和所述浅沟槽隔离膜两者表面上方的所述栅极导电膜的厚度。

4. 根据权利要求 1 所述的装置，包括：

n+型层，形成在所述第一导电型扩展漏极区的内部，所述 n+型层从位于所述浅沟槽隔离膜之下的区域延伸至位于所述栅极介电膜之下的区域，其中位于所述浅沟槽隔离膜之下的所述区域在形成于所述浅沟槽隔离膜内部的所述栅极导电膜的下方。

5. 根据权利要求 4 所述的装置，包括：

积累层，在所述 n+型层和所述浅沟槽隔离膜之间延伸，以及在所述半导体衬底和所述栅极介电膜之间延伸。

6. 根据权利要求 1 所述的装置，其中，所述第一导电型是 n 型，而所述第二导电型是 p 型。

7. 根据权利要求 1 所述的装置，其中，所述第一导电型半导体衬底、所述第二导电型本体区、所述第一导电型源极区、所述第一导电型扩展漏极区、所述栅极介电膜和所述栅极导电膜形成横向双扩散金属氧化物半导体晶体管。

8. 根据权利要求 1 所述的装置，包括在所述扩展漏极区的顶部上方布置的第一导电型漏极区。

9. 根据权利要求 1 所述的装置，其中，在所述衬底之上所述栅极介电膜限定了一个平面，并且所述栅极导电膜在所述栅极介电膜的所述平面之下延伸。

10. 一种方法，包括：

在第一导电型半导体衬底中形成浅沟槽隔离膜，所述浅沟槽隔离膜限定有源区；

在所述半导体衬底的部分顶部上方形成第二导电型本体区；

在所述本体区的顶部中形成第一导电型源极区；

在所述半导体衬底的部分顶部上方形成第一导电型扩展漏极区，所述第一导电型扩展漏极区与所述本体区相隔离；

形成栅极介电膜，所述栅极介电膜覆盖所述第二导电型本体区和所述第一导电型源极区两者的表面以及覆盖所述第一导电型半导体衬底的部分顶部表面；以及

形成栅极导电膜，所述栅极导电膜从所述第一导电型源极区开始延伸、延伸在所述栅极介电膜的顶部上方、延伸在所述浅沟槽隔离膜的顶部上方，以及在所述浅沟槽隔离膜的内部延伸。

11. 根据权利要求 10 所述的方法，包括：

在所述栅极导电膜和所述栅极介电膜两者的侧壁上形成栅极隔离件膜。

12. 根据权利要求 10 所述的方法，其中，形成在所述浅沟槽隔离膜内部的所述栅极导电膜的厚度大于形成在所述栅极介电膜和所述浅沟槽隔离膜两者的表面上方的所述栅极导电膜的厚度。

13. 根据权利要求 10 所述的方法，包括：

在所述第一导电型扩展漏极区内部形成 n+型层，所述 n+型层从位于所述浅沟槽隔离膜之下的区域延伸至位于所述栅极介电膜之下的区域，其中，位于所述浅沟槽隔离膜之下的所述区域在形成于所述浅沟槽隔离膜内部的所述栅极导电膜的下方。

14. 根据权利要求 13 所述的方法，包括：

在所述附加的 n+型层和所述浅沟槽隔离膜之间、以及在所述半导体衬底和所述栅极介电膜之间形成积累层。

15. 根据权利要求 10 所述的方法，其中，所述形成所述浅沟槽隔离膜、形成所述第二导电型本体区、在所述本体区的顶部上方形成所述第一导电型源极区、形成所述第一导电型扩展漏极区、形成所述栅极介电膜以及形成所述栅极导电膜，这些步骤共同形成横向双扩散金属氧化物半导体晶体管。

16. 根据权利要求 10 所述的方法，其中，所述第一导电型是 n 型，而所述第二导电型是 p 型。

17. 根据权利要求 10 所述的方法，包括形成布置在所述扩展漏极区顶部上方的第一导电型漏极区。

18. 根据权利要求 10 所述的方法，其中，在所述衬底之上所述栅极介电膜限定了一个平面，并且所述栅极导电膜在所述栅极介电膜的所述平面之下延伸。

19. 一种装置，构造为：

在第一导电型半导体衬底中形成浅沟槽隔离膜，所述浅沟槽隔离膜限定有源区；

在所述半导体衬底的部分顶部上方形成第二导电型本体区；

在所述本体区的顶部中形成第一导电型源极区；

在所述半导体衬底的部分顶部上方形成第一导电型扩展漏极区，所述第一导电型扩展漏极区与所述本体区相隔离；

形成栅极介电膜，所述栅极介电膜覆盖所述第二导电型本体区和所述第一导电型源极区两者的表面以及覆盖所述第一导电型半导体衬底的部分顶部表面；以及

形成栅极导电膜，所述栅极导电膜从所述第一导电型源极区开始延伸、延伸在所述栅极介电膜的顶部上方、延伸在所述浅沟槽隔离膜的顶部上方，以及在所述浅沟槽隔离膜的内部延伸。

20. 根据权利要求 19 所述的装置，构造为：

在所述第一导电型扩展漏极区内部形成  $n^+$  型层，所述  $n^+$  型层从位于所述浅沟槽隔离膜之下的区域延伸至位于所述栅极介电膜之下的区域，其中，位于所述浅沟槽隔离膜之下的所述区域在形成于所述浅沟槽隔离膜内部的所述栅极导电膜的下方。

## 横向双扩散金属氧化物半导体晶体管及其制造方法

本申请基于 35 U.S.C 119 要求第 10-2007-0139979 号（于 2007 年 12 月 28 日递交）韩国专利申请的优先权，其全部内容结合于此作为参考。

### 技术领域

本发明涉及一种半导体器件及其制造方法，更具体地，涉及一种横向双扩散金属氧化物半导体（lateral double diffused metal oxide semiconductor）晶体管及其制造方法，该横向双扩散金属氧化物半导体晶体管具有改善的导通-电阻特性。

### 背景技术

随着半导体器件集成度的提高和相关制造设计技术的发展，主要的努力集中在将整个半导体系统合并到一块半导体芯片上。已经开发了单芯片系统，这些单芯片系统将控制器、存储器及其他工作在低压下的电路合并在一个芯片中。

然而，为了使系统小巧轻便，需要将控制系统电源的电路和执行主要功能的电路集成在一个芯片上，其中控制系统电源（power）的电路是指输入端和输出端。由于输入端和输出端都是高压电路，所以它们不能与普通低压 CMOS 电路相同的方法来制造。输入端和输出端由高压功率晶体管（high voltage power transistor）构成。

因此，为了减少系统的尺寸和重量，需要将电源电路的输入端和输出端以及控制器在一个芯片上制成。用功率 IC (power IC) 技术实现该目的是可能的，其中在功率 IC 技术中，使用一个芯片构成高压晶体管和低电压 CMOS 晶体管电路。

用于功率 IC 的技术是用来改进垂直 DMOS (VDMOS) 器件结构，该垂直 DMOS 器件结构是一种相关的离散功率晶体管。使用这种技术，可以实现横向 DMOS (LDMOS) 器件。该 LDMOS 器件能够通过水平布置漏极来确保高击穿电压，并且能够在沟道区和漏极区之间具有漂移区，以允许电流水平地流过。

使用 0.25  $\mu\text{m}$  之下的设计规则，形成在 LDMOS 器件中的器件隔离膜具有浅沟槽隔离 (STI) 结构，而不具有硅的局部氧化 (LOCOS) 结构，以增加逻辑器件的密度。将参照图 1 来描述具有上述相关的 STI 结构的横向双扩散金属氧化物半导体晶体管。

图 1 是示出了相关的横向双扩散金属氧化物半导体 (LDMOS) 晶体管的横截面图，该横向双扩散金属氧化物半导体晶体管具有浅沟槽隔离 (STI) 结构。参照图 1，n 型半导体衬底 10 具有由浅沟槽隔离 (STI) 膜 11 限定的有源区 (active region)。p 型本体区 12 和 n-型扩展漏极区 (n-type extended drain region) 13 以预定的距离相互隔离。在 p 型本体区 12 的顶部上布置 n+型源极区 14。p 型本体区 12 的部分顶部是沟道区，其中 p 型本体区 12 的这部分顶部与 n+型源极区 14 相邻，并且与栅极介电膜 16 和栅极导电膜 17 两者相重叠。在 n-型扩展漏极区 13 的顶部上方布置 n+型漏极区 15。在沟道区上方顺序堆叠栅极介电膜 16 和栅极导电膜 17，以及在栅极介电膜 16 和栅极导电膜 17 两者的侧壁上形成栅极隔离件膜 18。通过普通导线 (common wire)，将 n+型源极区 14 电连接至源极电极 S，而将 n+型漏极区 15 电连接至漏极电极 D。



然而，在相关的具有 STI 结构的横向双扩散金属氧化物半导体晶体管中，浅沟槽隔离膜 11 存在于源极和漏极之间，而栅极导电膜 17 从源极区 14 延伸至部分浅沟槽隔离膜 11。因此，当横向双扩散金属氧化物半导体晶体管导通时，电流的流动受到浅沟槽隔离膜 11 的干扰，从而引起导通电阻（on-state resistance）的不期望的增加。

## 发明内容

本发明实施例涉及一种半导体器件及其制造方法，更具体地，涉及一种横向双扩散金属氧化物半导体晶体管及其制造方法，其中该横向双扩散金属氧化物半导体晶体管具有改善的导通电阻特性。本发明实施例涉及一种横向双扩散金属氧化物半导体（LDMOS）晶体管，该横向双扩散金属氧化物半导体晶体管可以包括第一导电型半导体衬底和在衬底中用于限定有源区的浅沟槽隔离膜。可以在半导体衬底的部分顶部上方布置第二导电型本体区。可以在本体区的顶部中布置第一导电型源极区。可以在半导体衬底的部分顶部上方布置第一导电型扩展漏极区，并且该第一导电型扩展漏极区与本体区相隔离。栅极介电膜覆盖第二导电型本体区和第一导电型源极区两者的表面以及覆盖第一导电型半导体衬底的部分顶部表面。栅极导电膜可以从第一导电型源极区开始延伸、延伸在栅极介电膜上方、延伸在浅沟槽隔离膜上方，以及在浅沟槽隔离膜的内部延伸。

本发明实施例涉及一种制造横向双扩散金属氧化物半导体（LDMOS）晶体管的方法，该方法包括：在第一导电型半导体衬底中形成限定有源区的浅沟槽隔离膜；在半导体衬底的部分顶部上方形成第二导电型本体区；在本体区的顶部中形成第一导电型源极区；在半导体衬底的部分顶部上方形成第一导电型扩展漏极区，该第一导电型扩展漏极区与本体区相隔离；形成栅极介电膜，该栅极介电膜覆盖第二导电型本体区和第一导电型源极区两者的表面以

及覆盖第一导电型半导体衬底的部分顶部表面；以及形成栅极导电膜，该栅极导电膜从第一导电型源极区开始延伸、延伸在栅极介电膜的顶部上方、延伸在浅沟槽隔离膜的顶部上方，以及在浅沟槽隔离膜的内部延伸。

## 附图说明

图 1 是示出了相关的具有浅沟槽隔离 (STI) 结构的横向双扩散金属氧化物半导体 (LDMOS) 晶体管的横截面图。

实例图 2 是示出了根据本发明实施例的横向双扩散金属氧化物半导体 (LDMOS) 晶体管的横截面图。

## 具体实施方式

下文中，将参照附图详细地描述根据本发明实施例的横向双扩散金属氧化物半导体 (LDMOS) 晶体管，该横向双扩散金属氧化物半导体晶体管具有浅沟槽隔离 (STI) 结构。实例图 2 是示出了根据本发明实施例的具有浅沟槽隔离 (STI) 结构的横向双扩散金属氧化物半导体 (LDMOS) 晶体管的横截面图。

如实例图 2 所示，根据本发明实施例的 LDMOS 晶体管的 n 型半导体衬底 **100** 可以具有有源区，其中，该 LDMOS 晶体管具有 STI 结构，而有源区由浅沟槽隔离 (STI) 膜 **110** 来限定。可以在 n 型半导体衬底 **100** 的部分顶部上方布置 p 型本体区 **120**。可以在 n 型半导体衬底 **100** 顶部的一定区域上布置 n-型扩展漏极区 **130**，该 n-型扩展漏极区 **130** 与 p 型本体区 **120** 相隔预定的距离。可以在 p 型本体区 **120** 的顶部上布置 n+型源极区 **140**。p 型本体区 **120** 的部分顶部可以用作沟道区 (channel region)，其中，p 型本体区 **120** 的这部分顶部与 n+型源极区 **140** 相邻，并且与栅极介电膜 (gate dielectric

film) **160** 和栅极导电膜 (gate conductive film) **170** 两者相重叠。可以在 n-型扩展漏极区 (n- type extended drain region) **130** 的顶部布置 n+型漏极区 **150**。

可以在沟道区上方顺序堆叠栅极介电膜 **160** 和栅极导电膜 **170**。可以在栅极介电膜 **160** 和栅极导电膜 **170** 两者的侧壁上形成栅极隔离件膜 (gate spacer film) **180**。更具体地, 可以布置栅极介电膜 **160** 以覆盖 p 型本体区 **120** 和 n+型源极区 **140** 两者的表面以及覆盖 n 型半导体衬底 **100** 的顶部表面。

这里, 可以在栅极介电膜 **160** 的顶部上方和浅沟槽隔离膜 **110** 的部分表面上方形成栅极导电膜 **170**。栅极导电膜 **170** 可以延伸到部分浅沟槽隔离膜 **110** 的内部, 其中, 通过对靠近源极电极 **S** 那一侧的部分浅沟槽隔离膜 **110** 进行刻蚀来形成上述的部分浅沟槽隔离膜 **110**。如图 2 所示, 在衬底 **100** 之上栅极介电膜 **160** 限定了一个平面, 而在栅极介电膜的这个平面之下, 栅极导电膜延伸到浅沟槽隔离膜 **110** 中。这种结构不同于相关结构, 在相关结构中, 当晶体管导通时, 电流的流动受到干扰。如图 2 所示, 根据栅极电场, 在硅和位于浅沟槽隔离膜 **110** 内部的栅极导电膜 **170** 之间形成积累层 (accumulation layer) **300**, 从而降低导通电阻 (on-resistance)。

这里, 在浅沟槽隔离膜 **110** 内部形成的栅极导电膜 **170** 的厚度可以大于在栅极介电膜 **160** 和浅沟槽隔离膜 **110** 两者的顶部表面上方形成的栅极导电膜 **170** 的厚度。由于这种结构, 当晶体管截至时, 可以降低栅电极和硅之间的电场。

通过导线, 可以将 n+型源极区 **140** 电连接至源极电极 (source electrode) **S**, 并将 n+型漏极区 **150** 电连接至漏极电极 (drain electrode) **D**。根据本发明实施例的横向双扩散金属氧化物半导体晶体管可以包括附加的 n+型层 **320**, 该 n+型层 **320** 从位于浅沟槽隔离

膜 110 之下的部分延伸至位于栅极介电膜 160 之下的部分，其中，位于浅沟槽隔离膜 110 之下的所述部分在形成于沟槽隔离膜 110 内部的栅极导电膜 170 的下方。从而，当晶体管导通时，导通电阻可以进一步降低。换句话说，可以在附加的 n+型层 320 和浅沟槽隔离膜 110 之间，以及在半导体衬底 100 和栅极介电膜 160 之间形成积累层 300。

下文中，将参照实例图 2 来描述实例图 2 中所示的制造横向双扩散金属氧化物半导体晶体管的方法。首先，可以在第一导电型半导体衬底 100 中形成限定有源区的浅沟槽隔离膜 110。

此后，可以在半导体衬底 100 的部分顶部上方形成第二导电型本体区 120。然后，可以在本体区 120 的顶部上方形成第一导电型源极区 140。可以在半导体衬底 100 顶部的一定区域上方形成第一导电型扩展漏极区 130，该第一导电型扩展漏极区 130 与本体区 120 相隔离。

可以形成栅极介电膜 160，以覆盖第二导电型本体区 120 和第一导电型源极区 140 两者的表面以及覆盖第一导电型半导体衬底 100 的顶部表面。接下来，可以形成栅极导电膜 170，该栅极导电膜 170 从第一导电型源极区 140 开始延伸、延伸在栅极介电膜 160 上方、延伸在浅沟槽隔离膜 110 的顶部上方，然后延伸至浅沟槽隔离膜 110 内部的一定部分。形成在浅沟槽隔离膜 110 内部的栅极导电膜 170 的厚度可以大于形成在栅极介电膜 160 和浅沟槽隔离膜 110 两者的表面上方的栅极导电膜 170 的厚度。

制造横向双扩散金属氧化物半导体晶体管的方法可以进一步包括在栅极导电膜 170 和栅极介电膜 160 两者的侧壁上形成多个栅极隔离件膜 (gate spacer films) 180。此外，根据本发明实施例的制造横向双扩散金属氧化物半导体晶体管的方法可以进一步包括在

第一导电型扩展漏极区 **130** 内部形成附加的 n+型层 **320**, 该 n+型层 **320** 从位于浅沟槽隔离膜 **110** 之下的部分延伸至位于栅极介电膜 **160** 之下的部分, 其中, 位于浅沟槽隔离膜 **110** 之下的所述部分在形成于浅沟槽隔离膜 **110** 内部的栅极导电膜 **170** 的下方。

根据本发明实施例的制造横向双扩散金属氧化物半导体晶体管的方法进一步包括在附加的 n+型层 **320** 和浅沟槽隔离膜 **110** 之间, 以及在半导体衬底 **100** 和栅极介电膜 **160** 之间形成积累层 **300**。以上描述的第一导电型可以是 n 型, 而第二导电型可以是 p 型, 或者第一导电型可以是 p 型, 而第二导电型可以是 n 型。

如上所述, 因为在部分 STI 中形成了栅极, 所以根据本发明实施例的横向双扩散金属氧化物半导体晶体管及其制造方法防止在导通状态下电流流动受到 STI 的干扰, 这样可以获得提高的导通电阻特性。

在本发明所披露的实施例中可以作各种修改和变化, 这对本领域技术人员来说是明显和显而易见的。因此, 如果这些修改和变化落在所附权利要求和其等同替换的范围内, 本发明所披露的实施例旨在覆盖这些明显和显而易见的修改和变化。

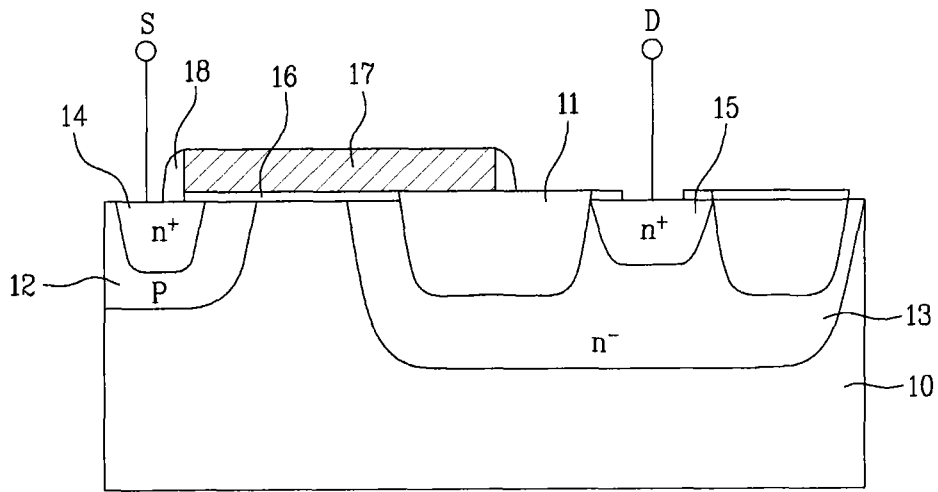


图 1

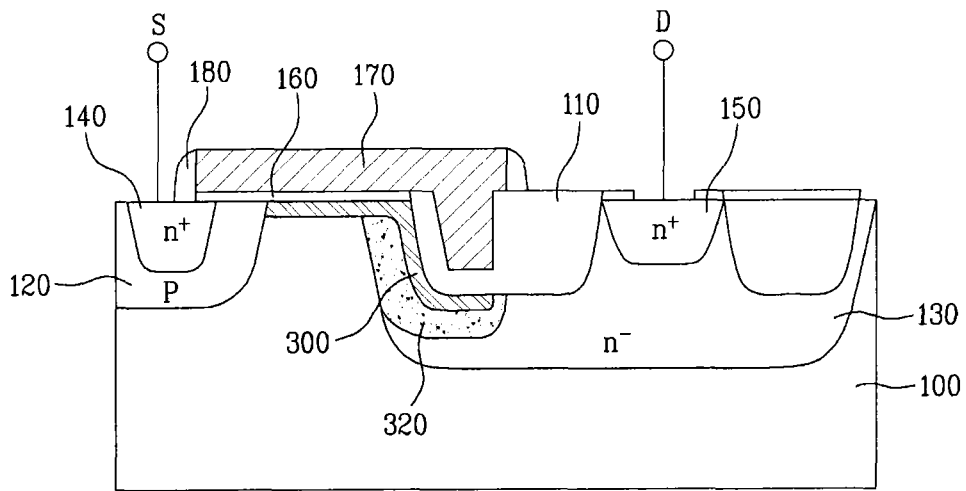


图 2