

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/407

(45) 공고일자 1994년09월26일
(11) 공고번호 특1994-0008718

(21) 출원번호	특1991-0018835	(65) 공개번호	특1993-0008859
(22) 출원일자	1991년10월25일	(43) 공개일자	1993년05월22일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	박용보 경기도 수원시 권선구 매탄동 196-43 박희철 서울특별시 서초구 반포동 한신2차아파트 112동 713호 임형규 서울특별시 강남구 대치3동 우성2차아파트 205동 1001호		
(74) 대리인	이건주		

심사관 : 장완호 (책자공보 제3749호)

(54) 직류 전류를 제거한 데이터 출력버퍼

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

직류 전류를 제거한 데이터 출력버퍼

[도면의 간단한 설명]

제1도는 종래의 기술에 의한 데이터 출력버퍼의 회로도.

제2도는 제1도의 동작 타이밍도.

제3도는 본 발명에 의한 데이터 출력버퍼의 회로도.

제4도는 제3도의 동작 타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 직류 전류의 발생을 제거한 출력버퍼에 관한 것이다.

데이터 출력버퍼라 함은 메모리 셀로부터 독출된 데이터를 입력하여 이를 전위 증폭시켜 칩(chip)외부로 출력하기 위한 장치를 이르는 것으로, 상기 데이터 출력 버퍼의 출력단은 통상적으로 큰 채널 크기를 가지는 트랜지스터로 이루어진다.

반도체 메모리 장치의 고집적화에 따른 동작속도의 고속화는 커다란 잡음(noise)을 수반하게 되는데, 이것의 가장 주된 이유는 상기 데이터 출력버퍼의 출력단이 커다란 채널(channel) 크기를 가지는 상태에서 천이(transition) 동작을 수행할 때 커다란 피크(peak) 전류를 발생시키는데, 이로 부터 칩내의 각 전원선에 영향을 미쳐 커다란 잡음을 유발함으로써 오동작을 일으키는 등 반도체 메모리 장치의 성능을 저하시킨다. 상기 데이터 출력버퍼의 출력단에서 임펄스(impulse)성의 피크전류가 발생하는 이유는 상기 출력단을 구성하는 트랜지스터의 채널크기가 큰데다가, 전원전압 레벨인 "하이(high)"에서 접지전압 레벨인 "로우(low)"로, 또는 "로우"에서 "하이"레벨로 풀(full) 스윙 동작을 하기 때문이다. 그래서 근래에는 상기 데이터 출력버퍼의 출력단이 "하이"에서 "로우"레벨로, 또는 "로우"에서 "하이"레벨로 바로 스윙동작을 가져가지 않고, 미리 "하이"와 "로우"레벨의 중간 레벨(이분야에는 통상적으로 "미들(middle)레벨"이라 알려져 있으며 이하 본 명세서상에는 "미들레벨"이라 칭한다.)로 유지된 상태에서 상기의 스윙동작을 갖도록 하는 방법이 제시되었고, 이에 관한 연구가 진행되고 있는 실정이다.

종래에 제시된 미들레벨을 가지는 데이터 출력버퍼의 회로를 제1도에 도시하였다. 그리고 상기 제1도 회로의 타이밍도를 제2도에 도시하였다. 상기 제1도에 도시된 회로는 일본 공개 특허 공보 "평1-149290"에 실린 "스택틱 램(static RAM)의 출력 회로"에 제시된 것을 인용한 것으로 하기하는 설명이외의 자세한 사항은 상기 공개 특허 공보를 참조하기 바란다. 상기 제1도의 구성을 보면, M1 및 M2 트랜지스터가 출력용 드라이버단을 구성하는 트랜지스터들이고, m1 및 m2트랜지스터가 데이터 출력버퍼의 출력신호인 Dout이 실리는 출력라인(7)의 전위를 데이터의 출력 동작시에 미리 미들레벨로 만들어 주기 위한 트랜지스터들이다. 그리고 S, \bar{S} 신호는 ATD(address transition detection) 회로(도시되지 않음 : 이는 어드레스의 천이 동작을 검출하는 회로로서 예를 들어 스택틱 램이나 리드전용 메모리(read only memory)와 같이 빠른 액세스(access)시간과 저소비 전력을 요구하는 장치에 구비된다.)에서 출력되는 펄스 신호의 제어를 받는 데이터 신호로서 이는 메모리 셀에서 나오는 데이터이다.

종래 기술에 의한 상기 제1도 회로의 동작 특성을 타이밍도인 상기 제2도를 참조하여 설명한다. 소정의 어드레스가 들어오면 ATD회로에 의하여 상기 S, \bar{S} 는 둘다 "로우"로 된다. 이것으로부터 상기 M1 및 M2 트랜지스터는 모두 "턴오프(turn-off)"된다. 그리고 상기 S신호는 인버터(3)를 통해 낸드게이트(4)의 일입력으로 들어가고, 상기 \bar{S} 신호는 바로 노아게이트(2)의 일입력으로 들어간다. 그러면 먼저 Dout의 이전 상태가 "하이"레벨로 유지되어 있는 경우를 본다. 이때에는 상기 낸드게이트(4)의 출력이 "로우"가 되어 상기 m2트랜지스터를 "턴온(turn-on)"시킨다. 그러면 상기 m2트랜지스터는 상기 M2트랜지스터의 게이트 전압을 상기 M2트랜지스터가 중간정도 "턴온"되도록(즉, 상기 dout이 상기 제2도에 도시된 바와같이 미들레벨로 유지되도록)상승시킨다. (여기에서, 상기 m1 및 m2트랜지스터는 완전히 "턴온"시에 상기 M1 및 M2트랜지스터의 게이트 전압을 중간 레벨 정도로 유지되도록 침설계시에 그 크기를 결정하게 된다.) 그러면 상기 Dout은 미들레벨로 유지되는 시간을 갖게 된다. 이때 상기 S 및 \bar{S} 신호가 각각 "로우" 및 "하이"레벨로 되면, 상기 M1트랜지스터의 게이트 전압을 제어하는 인버터(1)의 출력은 "하이"가 되어 상기 M1트랜지스터가 "턴오프"되고, 상기 M2트랜지스터의 게이트 전압을 제어하는 인버터(6)의 출력은 "하이"가 되어 상기 M2트랜지스터는 완전히 "턴온"된다. 따라서, 상기 Dout은 "로우"레벨로 변화된다.

다음으로 상기 Dout의 이전상태가 "로우"레벨로 유지되어 있는 경우를 본다. 이때에는 상기 노아게이트(2)의 출력이 "하이"가 되어 상기 m1트랜지스터를 "턴온"시킨다.(상기 S, \bar{S} 신호는 각각 "로우"로 되어 있음)그러면 상기 m1트랜지스터는 상기 M1트랜지스터의 (이전에 "하이"레벨로 되어 있는)게이트 전압을 상기 M1트랜지스터가 중간정도 "턴온"되도록 떨어뜨린다. 그러면 상기 Dout은 미들레벨로 유지되는 시간을 갖게 된다. 이때 상기 S 및 \bar{S} 신호가 각각 "하이" 및 "로우"레벨로 되면, 상기 M2트랜지스터는 "턴오프"되고, 상기 M1트랜지스터는 완전히 "턴온"된다. 따라서 상기 Dout은 "하이"레벨로 변화된다. 상기 설명과 같이 상기 제1도 회로와 같은 종래기술에 의한 데이터 출력버퍼는 상기 Dout을 "하이"에서 "로우"로 또는 "로우"에서 "하이"로 바로 천이하는 과정을 갖지 않고 미들레벨을 거쳐서 천이 동작을 수행하므로 미들레벨을 거치지 않고 천이동작을 수행하던 종래의 다른 회로에 비해서는 잡음의 발생이 줄어들고 또한 동작속도도 향상된다.

그러나 상술한 제1도 회로는 상기 Dout을 미들레벨로 만들어주기 위해 상기 M1과 M2트랜지스터의 각 게이트 전압을 "하이"와 "로우"레벨의 중간정도의 전압레벨로 만들음으로써 상기 m1 또는 m2트랜지스터의 채널을 통한 직류전류의 발생을 초래하게 된다. 즉, 상기 S 및 \bar{S} 신호가 모두 "로우"일때 상기 Dout이 "하이" 상태로 유지되어 있을시에는 상기 낸드게이트(4)의 "로우"출력에 의해서 상기 m2트랜지스터가 "턴온"되는데, 이때 상기 M2트랜지스터의 게이트 전압을 제어하는 인버터(6)내의 엔모오스 트랜지스터를 (상기 제1도의 각 인버터들은 씨모오스 회로로 이루어진다.) 통해서 전원전압단자(Vcc)과 접지전압단(Vss)사이에서 흐르는 (즉, 상기 인버터 (6)내의 엔모오스 트랜지스터의 채널과 상기 m2트랜지스터의 채널을 통해서 흐르는)직류전류가 발생된다. 마찬가지로 상기 S 및 \bar{S} 신호가 모두 "로우"일때 상기 Dout이 "로우"상태로 유지되어 있을시에는 상기 노아게이트(2)의 "하이" 출력에 의해서 상기 m1트랜지스터가 "턴온"되는데, 이때 상기 M1트랜지스터의 게이트 전압을 제어하는 인버터(1)내의 피모오스 트랜지스터를 통해서 전원전압단과 접지전압단 사이에서 흐르는 직류전류가 발생된다. 이와같이 상기 제1도의 회로는 통상적인 데이터 출력버퍼의 출력단에서 발생되던 직류전류의 발생을 방지하는데는 효과를 보았으나 또다른 피크전류의 발생을 야기시켜 직류전류의 발생으로 인한 데이터 출력버퍼의 잡음 및 동작속도의 저하라는 근본적인 문제를 해결하지 못한다.

따라서 본 발명의 목적은 직류전류의 발생이 방지되어 잡음의 발생이 최대한 억제되고 칩의 동작속도를 향상시키는 데이터 출력버퍼를 제공함에 있다.

상기 본 발명의 목적을 달성하기 위하여 본 발명은, 메모리셀로부터 독출되어 나온 소정의 데이터 신호와 출력인에이블신호(ϕOE)를 입력하여 전송하는 제1입력단(11)과, 상기 데이터의 반전신호와 상기 출력인에이블신호(ϕOE)를 입력하는 제2입력단(12)과, 상기 데이터신호레벨에 대응된 출력데이터(DOUT)가 출력되는 출력노드와, 상기 제1입력단(11)의 출력신호를 입력하고 이 입력레벨에 응답하여 상기 출력노드를 제1전원레벨로 풀업하는 풀업단(14, 15)과, 상기 제2입력단(12)의 출력신호를 입력하고 이 입력레벨에 응답하여 상기 출력노드를 제2전원레벨로 풀다운하는 풀다운(16)단을 가지는 데이터 출력버퍼에 있어서, 제1전원단자와 상기 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀업트랜지스터(27) (28)로 이루어지는 제2풀업단과, 제2전원단자와 상기 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀다운트랜지스터(29) (30)로 이루어지는 제2풀다운단과, 상기 제1입력단(11)의 출력신호와 반전된 출력인에이블신호(ϕOE)를 각각 입력하고 이 입력에 응답하여 상기 제1풀업트랜지스터(27)의 스위칭동작을 제어하는 제1제어회로(21, 22)와, 상기 출력데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제2풀업트랜지스터(28)의 스위칭동작을 제어하는 제2제어회로(23)와, 상기 출력데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제1풀다운트랜지스터(29)의 스위칭동작을 제어하는 제3제어회로(24, 25)와, 상기 제2입력단(12)의 출력신호와 상

기 반전된 출력인에이블신호($\overline{\phi OE}$)를 각각 입력하고 이 입력에 응답하여 상기 제2풀다운트랜지스터(30)의 스위칭동작을 제어하는 제4제어회로(26)를 각각 포함하여 이루어지는 프리셋회로(100)를 구비하고, 상기 출력인에이블신호(ϕOE)가 활성화될시에 상기 출력노드의 전압레벨에 대응하여 상기 출력데이터(DOUT)의 전압레벨을 상기 제1전원레벨과 제2전원레벨의 중간레벨로 미리 변화시키는 동작을 적어도 수행하는 데이터 출력버퍼임을 특징으로 한다. 상기에서 상기 ϕOE 와 $\overline{\phi OE}$ 신호는 각각 동일칩상에 구비되는 어드레스 천이 검출회로(ATD)로부터 출력되는 신호임을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 설명에 앞서 본 발명은 데이터의 출력시에 출력데이터가 미들레벨을 거쳐 출력이되며, 데이터 출력라인을 상기 미들레벨로 프리 셋팅(pre-setting)하는 동안에도 직류전류의 발생은 전혀 없음을 주목하여야 할 것이다.

본 발명에 의한 데이터 출력버퍼의 회로를 제3도에 도시하였다. 그리고 상기 제3도의 구성에 따른 동작타이밍도를 제4도에 도시하였다.

본 발명에 의한 상기 제3도 회로의 구성을 설명한다. 상기 제3도의 구성에서 점선블록(100)을 제외한 나머지의 소자들은 이 분야에 공지된 구성요소로서 설명을 생략한다. 상기 점선블록(100)이 본 발명에 의한 프리셋(pre-set)회로이며 그 구성요소는, 제1전원단자로서의 전원단자(Vcc)와 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀업트랜지스터(27)(28)로 이루어지는 풀업단과, 제2전원단자로서의 접지전원단자(Vss)와 상기 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀다운트랜지스터(29)(30)로 이루어지는 풀다운과, 제1입력단(11)의 출력신호와 반전된 출력인에이블신호($\overline{\phi OE}$)를 각각 입력하고 이 입력에 응답하여 상기 제1풀업트랜지스터(27)의 스위칭동작을 제어하는 제1제어회로(21,22)와, 상기 출력 데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제2풀업트랜지스터(28)의 스위칭동작을 제어하는 제2제어회로(23)와 상기 출력데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제1풀다운트랜지스터(29)의 스위칭동작을 제어하는 제3제어회로(24, 25)와, 제2입력단(12)의 출력신호와 상기 반전된 출력인에이블신호($\overline{\phi OE}$)를 각각 입력하고 이 입력에 응답하여 상기 제2풀다운트랜지스터(30)의 스위칭동작을 제어하는 제4제어회로(26)로 이루어진다. 상기 제1 및 제2풀업트랜지스터(27)(28)는 각각 피모오스트랜지스터 및 엔모오스트랜지스터로 실시되었다. 상기 제1 및 제2풀다운트랜지스터(29)(30)는 각각 엔모오스트랜지스터로 실시되었다. 상기 제1제어회로(21, 22)는 서로 직렬연결된 노아게이트(21)및 인버터(22)로 실시되었다. 상기 제2제어회로(23)는 인버터로 실시되었다. 상기 제3제어회로(24, 25)는 서로 직렬 연결된 2개의 인버터로 실시되었다. 상기 제4제어회로(26)는 노아게이트로 실시되었다.

상기 구성에 의거한 본 발명에 의한 데이터 출력버퍼를 타이밍도인 상기 제4도를 참조하여 상세히 설명한다. 소정의 어드레스가 칩(chip)내로 입력된 이것의 천이동작을 ATD회로(도시되지 않음)에서 검출하여 펄스신호인 ϕOE 와 $\overline{\phi OE}$ 를 발생시킨다. 상기 ϕOE 신호가 "하이" 레벨인 동안에 제1입력회로(11)의 출력신호인 N1과 제2입력회로(12)의 출력신호인 N2는 "로우"레벨의 신호로 된다. 한편 상기 N1과 N2가 "로우"레벨일시에 상기 $\overline{\phi OE}$ 가 상기 제1 및 제2제어회로(21, 22)(26)에 각각 입력된다. 이로부터 상기 제1제어회로(21, 22)의 출력신호인 N3은 "로우"가 되어 상기 풀업단(27, 28)의 제1풀업트랜지스터(27)를 "턴온"시키고, 상기 제4제어회로(26)의 출력신호인 N6은 "하이"가 되어 상기 풀다운(29, 30)의 제2풀다운트랜지스터(30)를 "턴온"시킨다. 한편, 상기 ϕOE 와 $\overline{\phi OE}$ 가 입력되기 전에 dout이 "하이"상태에 놓여있었다면 이는 상기 제3제어회로(24, 25)에 의해 "턴온"되는 상기 풀다운단(29, 30)의 제1풀다운트랜지스터(29)를 통해 미들레벨로 된다. (상기에서 Dout이 상기 미들레벨로 되는것은 상기 $\overline{\phi OE}$ 신호가 펄스로 발생하는 시간 동안임을 유의하기 바란다.)그리고 나서 상기 $\overline{\phi OE}$ 가 "하이"레벨로 되면 상기 N3와 N6신호가 각각 "하이"와 "로우"레벨로 되어 상기 제1풀업트랜지스터(27)와 제2풀다운트랜지스터(30)가 모두 "턴오프"된다. 만일 상기 ϕOE 와 $\overline{\phi OE}$ 신호가 입력되기전에 상기 Dout이 "로우"상태일시에는 상기 N4신호는 "하이"레벨로 되어 상기 제2풀업트랜지스터(28)를 "턴온"시키고, 상기 N5신호는 "로우"레벨로 되어 상기 제1풀업트랜지스터(29)를 "턴오프"시킨다.

그리고 나서 상기 $\overline{\phi OE}$ 신호가 "로우"로 되는 동안에(즉, 펄스 기간동안에) 상기 N3신호가 "로우"로 되어 상기 제1풀업트랜지스터(27)가 "턴온"되고 상기 Dout이 "로우"레벨에서 미들레벨로 상승하게 된다. 이후에 상기 ϕOE 신호가 "로우"레벨로 되고 상기 $\overline{\phi OE}$ 신호가 "하이"레벨로 되면 상기 제1풀업트랜지스터(27)와 제2풀다운트랜지스터(30)가 모두 "턴오프"된다. 한편 소정의 메모리 셀(도시되지 않음)로부터 나오는 데이터인 D, \overline{D} 의 레벨에 따라서 상기 Dout이 "하이"레벨이거나 "로우"레벨로 결정되며, 이는 상기 제4도에 도시된 바와같이 상기 ϕOE 와 $\overline{\phi OE}$ 신호의 변화에 따라 소정의 미들레벨 기간을 가지게 된다. 상기의 구성 및 동작 설명에서 본 발명에 의한 프리셋 회로(100)를 구비하는 데이터 출력버퍼는 직류전류가 발생하는 곳이 없게 된다.

상기 제3도와 같은 본 발명에 의한 데이터 출력버퍼는 본 발명의 기술적 사상을 실현한 최적의 실시예이지만 상기 프리셋 회로(100)의 구성 소자들은 조직(logic)에 따라 다르게 실시할 수 있음을 알아 할 것이다. 그리고 제3도의 구성에는 프리셋회로(10)내의 풀업단 및 풀다운단을 구성하는 트랜지스터가 각각 2개로 이루어진 것을 개시하였지만, 이는 본 발명의 기술적 범주내에서 예컨대 제1제어회로(21,22)와 제2제어회로(23)의 각 출력신호를 조합입력하는 하나의 트랜지스터로 이루어지는 로직구성도 가능하다는 것을 당기술분야에 통상의 지식을 가진 자라면 용이하게 알 수 있을 것이다.

상술한 바와 같이 본 발명에 의한 프리셋회로를 구비하는 데이터 출력버퍼는 직류전류의 발생이 방지되어 이에 따른 잡음의 발생방지 및 칩의 동작속도를 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

메모리셀로부터 독출되어 나온 소정의 데이터신호와 출력에이블신호(ϕOE)를 입력하여 전송하는 제1 입력단(11)과, 상기 데이터의 반전신호와 상기 출력에이블신호(ϕOE)를 입력하는 제2입력단(12)과, 상기 데이터신호레벨에 대응된 출력데이터(DOUT)가 출력되는 출력노드와, 상기 제1입력단(11)의 출력신호를 입력하고 이 입력레벨에 응답하여 상기 출력노드를 제1전원레벨로 풀업하는 풀업단(14, 15)과, 상기 제2입력단(12)의 출력신호를 입력하고 이 입력레벨에 응답하여 상기 출력노드를 제2전원레벨로 풀다운하는 풀다운(16)단을 가지는 데이터 출력버퍼에 있어서, 제1전원단자와 상기 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀업트랜지스터(27)(28)로 이루어지는 제2풀업단과, 제2전원단자와 상기 출력노드와의 사이에 채널이 직렬로 형성되는 제1 및 제2풀다운트랜지스터(29)(30)로 이루어지는 제2풀다운과, 상기 제1입력단(11)의 출력신호와 반전된 출력에이블신호($\overline{\phi OE}$)를 각각 입력하고 이 입력에 응답하여 상기 제1풀업트랜지스터(27)의 스위칭동작을 제어하는 제1제어회로(21, 22)와, 상기 출력데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제2풀업트랜지스터(28)의 스위칭동작을 제어하는 제2제어회로(23)와, 상기 출력데이터(DOUT)를 입력하고 이 입력레벨에 응답하여 상기 제1풀다운트랜지스터(29)의 스위칭동작을 제어하는 제3제어회로(24, 25)와, 상기 제2입력단(12)의 출력신호와 상기 반전된 출력에이블신호($\overline{\phi OE}$)를 각각 입력하고 이 입력에 응답하여 상기 제2풀다운트랜지스터(30)의 스위칭동작을 제어하는 제4제어회로(26)를 각각 포함하여 이루어지는 프리셋회로(100)를 구비하고, 상기 출력에이블신호(ϕOE)가 활성화될시에 상기 출력노드의 전압레벨에 대응하여 상기 출력데이터(DOUT)의 전압레벨을 상기 제1전원레벨과 제2전원레벨의 중간레벨로 미리 변화시키는 동작을 적어도 수행함을 특징으로 하는 데이터 출력버퍼.

청구항 2

제1항에 있어서, 상기 출력에이블신호(ϕOE) 및 반전된 출력에이블($\overline{\phi OE}$)신호가, 동일칩상에 구비되는 어드레스 천이 검출기(ATD)로부터 출력되는 신호임을 특징으로 하는 데이터 출력버퍼.

청구항 3

제1항에 있어서, 상기 중간레벨은 칩의 동작 전원전압(Vcc)의 1/2레벨임을 특징으로 하는 데이터 출력버퍼.

청구항 4

제1항에 있어서, 상기 제2풀업단이 상기 제1 및 제2제어회로(21, 22)(23)의 각 출력신호를 각각의 게이트에 대응입력하고 서로 채널이 직렬 연결되는 2개의 모오스 트랜지스터(27)(28)로 이루어짐을 특징으로 하는 데이터 출력버퍼.

청구항 5

제1항에 있어서, 상기 제2풀다운단이 상기 제3 및 제4제어회로(24, 25)(26)의 각 출력신호를 각각의 게이트에 대응입력하고 서로 채널이 직렬 연결되는 2개의 모오스 트랜지스터(29)(30)로 이루어짐을 특징으로 하는 데이터 출력버퍼.

도면

도면1



