



## 【特許請求の範囲】

## 【請求項 1】

基板と、第 1 導電型のエミッタ領域、前記第 1 導電型とは逆の第 2 導電型のベース領域及び前記第 1 導電型のコレクタ領域をもつバイポーラトランジスタを有する、シリコンからなる半導体本体とを有し、前記コレクタ領域及び前記エミッタ領域の一方の領域を有する第 1 半導体領域が、前記半導体本体内に形成され、前記第 1 半導体領域上に、前記ベース領域を有する第 2 半導体領域が存在し、該第 2 半導体領域上に、前記コレクタ領域及び前記エミッタ領域の他方の領域を有する第 3 半導体領域が存在し、前記半導体本体に、前記第 1 半導体領域と第 2 半導体領域との間の遷移位置に狭窄部を設け、該狭窄部は、前記半導体本体内に埋め込まれた第 1 埋め込み電氣的絶縁領域を用いて形成された半導体デバイスにおいて、

前記第 1 埋め込み電氣的絶縁領域の上方に形成された前記半導体本体の一部が、単結晶であることを特徴とする半導体デバイス。

## 【請求項 2】

前記第 2 半導体領域に、前記埋め込み絶縁領域の上方に位置決めされる少なくとも 1 つの電気接続部を設けることを特徴とする請求項 1 記載の半導体デバイス。

## 【請求項 3】

層構造を有する前記第 2 半導体領域の厚さは、メサ形状である前記第 3 半導体領域の両側で、前記第 3 半導体領域の下方よりも大きいことを特徴とする請求項 1 又は 2 記載の半導体デバイス。

## 【請求項 4】

前記半導体本体は、投影してみたとき、前記埋め込み電氣的絶縁領域よりも大きな距離で前記第 3 半導体領域から間隔をおいて配置された、埋没又は埋め込まれた第 2 埋め込み電氣的絶縁領域を有することを特徴とする請求項 1、2 又は 3 記載の半導体デバイス。

## 【請求項 5】

前記第 2 埋め込み電氣的絶縁領域は、前記第 1 埋め込み電氣的絶縁領域の厚さよりも大きな厚さを有することを特徴とする請求項 4 記載の半導体デバイス。

## 【請求項 6】

前記半導体本体は、前記狭窄部の位置に SiGe からなる混晶を有することを特徴とする請求項 1 ~ 5 のいずれか 1 項記載の半導体デバイス。

## 【請求項 7】

前記狭窄部は、前記第 2 半導体領域内に位置することを特徴とする請求項 6 記載の半導体デバイス。

## 【請求項 8】

前記第 1 半導体領域は、前記コレクタ領域を有し、前記第 3 半導体領域は、前記エミッタ領域を有することを特徴とする請求項 1 ~ 7 のいずれか 1 項記載の半導体デバイス。

## 【請求項 9】

前記ベース領域、好ましくは前記コレクタ領域についても、前記エミッタ領域の両側に二重の電気接続部を設けることを特徴とする請求項 8 記載の半導体デバイス。

## 【請求項 10】

基板と、第 1 導電型のエミッタ領域、前記第 1 導電型とは逆の第 2 導電型のベース領域及び前記第 1 導電型のコレクタ領域をもつバイポーラトランジスタを有する、シリコンからなる半導体本体とを有し、前記コレクタ領域及び前記エミッタ領域の一方の領域を有する第 1 半導体領域が、前記半導体本体内に形成され、前記第 1 半導体領域上に、前記ベース領域を有する第 2 半導体領域が存在し、該第 2 半導体領域上に、前記コレクタ領域及び前記エミッタ領域の他方の領域を有する第 3 半導体領域が存在し、前記半導体本体に、前記第 1 半導体領域と第 2 半導体領域との間の遷移位置に狭窄部を設け、該狭窄部は、前記半導体本体内に埋め込まれた第 1 埋め込み電氣的絶縁領域を用いて形成された半導体デバイスにおいて、

前記第 1 埋め込み電氣的絶縁領域の上方に存在する前記半導体本体の一部が、単結晶で

10

20

30

40

50

あるような方法で形成されることを特徴とする半導体デバイスの製造方法。

【請求項 1 1】

シリコン及びゲルマニウムの混晶の領域が、形成されるべきである前記第 1 埋め込み電氣的絶縁領域の位置に形成され、前記領域は選択エッチングにより除去され、その後、このようにして形成されたキャビティは電氣的絶縁材料で充填されることを特徴とする請求項 1 0 記載の半導体デバイスの製造方法。

【請求項 1 2】

前記第 1 埋め込み電氣的絶縁領域の上方に位置する前記半導体本体の部分は、前記領域の上にエピタキシーにより形成され、前記領域は、その除去を可能にするため、シリコン及びゲルマニウムの混晶として形成されることを特徴とする請求項 1 1 記載の半導体デバイスの製造方法。

10

【請求項 1 3】

前記第 2 半導体領域に、前記第 1 埋め込み電氣的絶縁領域の上方に形成された、少なくとも 1 つの電氣的接続部を設けることを特徴とする請求項 1 0、1 1 又は 1 2 記載の半導体デバイスの製造方法。

【請求項 1 4】

前記第 2 半導体領域に、好ましくは選択的エピタキシーにより、前記第 3 半導体領域の下方よりも両側にて、より大きな厚さで形成されることを特徴とする請求項 1 0 ~ 1 3 のいずれか 1 項記載の半導体デバイスの製造方法。

【請求項 1 5】

シリコン及びゲルマニウムからなる前記混晶の前記領域は、エピタキシャル層を含む SiGe の一部として形成されることを特徴とする請求項 1 2 記載の半導体デバイスの製造方法。

20

【請求項 1 6】

前記エピタキシャル層を含む前記 SiGe は、前記第 2 半導体領域内に形成されることを特徴とする請求項 1 5 記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板と、それぞれ、第 1 導電型、前記第 1 導電型とは逆の第 2 導電型及び上述の第 1 導電型の、エミッタ領域、ベース領域及びコレクタ領域を有するバイポーラトランジスタから構成されるシリコンの半導体本体とを有し、前記半導体本体 1 1 に形成された、前記コレクタ領域又はエミッタ領域から構成される第 1 半導体領域があり、該第 1 半導体領域 3 上に前記ベース領域から構成される積層構造の第 2 半導体領域があり、該第 2 半導体領域 2 上に上述のコレクタ領域及びエミッタ領域の他方から構成される第 3 半導体領域があり、上述の半導体本体は前記第 1 半導体領域と第 2 半導体領域との間の遷移位置に狭窄部が施され、その狭窄部は前記半導体本体に埋め込まれた電氣的絶縁領域を用いて形成される、半導体デバイスに関する。本発明はさらに、そのようなデバイスの製造方法に関する。

30

【背景技術】

【0002】

このようなデバイス及び製造方法は、特許文献 1 から知られている。上述の文献は、npn 型バイポーラトランジスタについて記載している。前記トランジスタのメサ形状のエミッタ領域は、前記トランジスタの層状のベース領域の上部にあり、前記トランジスタのコレクタ領域はベース領域の下部にある。前記ベース領域と前記コレクタ領域との間の接合部は、前記ベース領域に埋め込まれ、前記半導体本体の部分的な狭窄部を形成する電氣的絶縁領域に囲まれている。

40

【特許文献 1】米国特許出願公開第 2 0 0 4 / 0 2 2 4 4 6 1 号明細書

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 0 3 】

この従来のデバイスの短所としては、単品での使用には向いておらず、又は、さらなる横方向の小型化に寄与しないことである。一方、前記従来のトランジスタの可能な集積密度は、この問題に限られるが、加えて、例えば高い周波数のように、前記トランジスタの特性はさらに改良が可能である。とても高い周波数の用途の例としては、車のレーダーシステムが挙げられる。

## 【 0 0 0 4 】

したがって、その優れた高周波数特性のため前述の用途に適しており、さらに、困難性がなく横方向の小型化が実現できるデバイスを提供することが本発明の目的である。

## 【 課題を解決するための手段 】

## 【 0 0 0 5 】

上記目的を達成するために、前記イントロダクションで言及されている種類のデバイスは、前記埋め込み電氣的絶縁領域の上部に形成された前記半導体本体の一部が単結晶であることを特徴とする。本発明は、まず第1に、従来のデバイスでは、前記ベース領域はエピタキシーにより形成され、それらのパーツは電氣的絶縁領域の上部に形成されるため、上述の電氣的絶縁領域を埋め込むという認識に基づいている。前記パーツは、上述のように、多結晶で形成されているが、一方、前記コレクタ領域上部の接触部分は、単結晶である。本発明は、さらに、上述の結果として、単結晶シリコンと多結晶シリコンとの遷移位置は、前記従来のデバイスの前記トランジスタの横方向の小型化を困難にするか、又は不可能にする、という認識に基づいている。前記埋め込み電氣的絶縁領域の上部の前記半導体本体の前記領域を単結晶にすることにより、結果として、本発明による前記デバイスは、とても小さな横寸法をもち、優れた高周波数の作用を示すように設計することが可能となる。本発明は、本発明の製造方法を用いる場合、前記埋め込み電氣的絶縁領域の上部にある前記半導体本体の一部が、エピタキシーにより形成されるにも関わらず、単結晶で作られるという驚くべき認識に基づいている。

## 【 0 0 0 6 】

簡潔にいうと、これは前記埋め込み電氣的絶縁領域の位置にあるSiGe領域をまず形成することにより達成され、前記電氣的絶縁領域の上には、エピタキシーにより前記半導体本体の一部が堆積している。前記SiGeが、度を超えない厚さと組み合わせ、あまり高いものではない場合、前述のエピタキシーは単結晶の積層をもたらす。以下の、前記外側から前記SiGe領域の一部の内部までの突出は、選択的エッチングにより除去され、その後、埋め込み電氣的絶縁領域が、上記で形成された前記空洞内に形成される。

## 【 0 0 0 7 】

本発明による方法の好ましい実施形態としては、前記ベース領域は、少なくとも1つの、前記埋め込み電氣的絶縁領域上に位置する電気接続が設けられる。その位置にある、前記ベース領域が現在、単結晶であるという事実により、前記横寸法の縮小が可能となり、一方、前記ベース領域の前記抵抗を低くすることができる。

## 【 0 0 0 8 】

好ましくは、前記半導体本体の前記狭窄部は、前記ベース領域内に位置する。この利点は、前記狭窄部の形成に用いられる前記SiGe領域についても、前記ベース領域内に位置することである。上述の形成後に残存する前記SiGe領域の一部は、前記トランジスタの性質（例えばその速度）に関して、非常に有利なものである。

## 【 0 0 0 9 】

前記電氣的絶縁領域上に形成される前記ベース領域の前記一部は、バリエーションの中でも比較的薄いため、層構造を有している前記第2半導体領域の前記厚さが、本実施形態ではとりわけ、好ましくは前記第3半導体領域の両側で、前記第3半導体領域よりも大きい、メサ形状である。

## 【 0 0 1 0 】

非常に有利な実施形態において、前記半導体本体は、前記第3半導体領域から前記埋め込み電氣的絶縁領域よりも大きな間隔をあけて配置された、更なる沈み込み又は埋め込み

10

20

30

40

50

電氣的絶縁領域を有する。通常の絶縁領域は、本目的のため、STI（シャロートレンチアイソレーション）領域又はLOCOS（シリコンの部分的酸化）領域のように、一般的な絶縁領域が用いられる。それに加えて、上述の更なる沈み込み又は埋め込み電氣的絶縁領域は、本発明による前記デバイス中の前記トランジスタの前記特性のさらなる最適化を可能とする。

#### 【0011】

このように、前記ベース領域と前記コレクタ領域の間のキャパシタンスを、前記埋め込み絶縁領域よりも大きな厚みを有する上述の更なる沈み込み又は埋め込み電氣的絶縁領域を形成することによりさらに低減することが可能であり、高周波数特性に有利な効果を奏する。

#### 【0012】

これに関連して、従来のバイポーラトランジスタで前記エミッタ領域及び前記コレクタ領域がその役目を交換した場合、前記トランジスタは逆トランジスタと呼ばれることが意味されている。本発明による前記デバイスでもまた、前記エミッタ領域が、対応するやり方で、前記ベース領域の下に位置する。結局、両方の領域は、相対的に小さな横寸法を有している。

#### 【0013】

本発明によるデバイスにとって、そのような交換は、前記トランジスタの遮断周波数（ $f_T$ ）の有効な改良を導く。今後のベースコレクタ記憶容量が大きく低減し、SiGe層に形成される空洞に埋め込まれた均一でとても薄い酸化層が、電荷輸送の侵入を防ぐためである。

#### 【0014】

しかしながら、前記第1半導体領域が前記コレクタ領域からなり、前記第3半導体領域が前記エミッタ領域からなることが好ましい。前記ベース領域の有利なバリエーション、好ましくは前記コレクタ領域についても、前記エミッタ領域の他方に二重の電気接続が設けられている。

#### 【0015】

本発明によれば、基板及びシリコンの半導体本体を有する半導体デバイスの製造方法は、第1導電型、前記第1導電型とは逆の第2導電型及び上述の第1導電型の、エミッタ領域、ベース領域及びコレクタ領域を有するバイポーラトランジスタが配設されている。その中に、前記コレクタ領域及びエミッタ領域の一方の領域を有する第1半導体領域があり、該第1半導体領域3上に前記ベース領域を有する積層構造の第2半導体領域2があり、該第2半導体領域2上に上述のコレクタ領域及びエミッタ領域の他方の領域を有する第3半導体領域1が形成される。その中で、上述の半導体本体は、前記第1半導体領域と第2半導体領域との間の遷移位置に狭窄部が施され、狭窄部は前記半導体本体に埋め込まれた電氣的絶縁領域を用いて形成される。本発明は、前記半導体本体の一部が、前記埋め込み絶縁領域上にあり、単結晶を用いて形成されることを特徴とする。

#### 【0016】

本発明による方法の好ましい実施形態では、シリコン及びゲルマニウムの混合結晶の領域が、前記埋め込み絶縁領域の位置で形成され、前記混合結晶の領域は、形成された前記空洞が電氣的絶縁物質により充填された後、選択エッチングにより除去される。空気又はガスが、前記電氣的絶縁物質として用いられるが、好ましくは、設けられた前記が、誘電体、例えば二酸化シリコンで充填されることが好ましい。これは、CVD（有機金属化学気相体積）プロセスを用いて形成されるが、好ましくは、熱酸化プロセスを用いる。

#### 【0017】

本発明による前記デバイスの議論ですでに言及されたが、前記埋め込み電氣的絶縁領域上の前記半導体本体の前記一部は、その除去を可能とするために、シリコン及びゲルマニウムの混合結晶として形成された前記領域上に、エピタキシーにより形成される。前記ベース領域の前記電気接続は、好ましくは、前記埋め込み電氣的絶縁領域上に形成される。

#### 【0018】

10

20

30

40

50

好ましくは、前記第2半導体領域は、好ましくは選択的エピタキシーにより、前記第3半導体領域の他方の側の厚さが、前記第3半導体領域の下より大きくなるように形成される。前記SiGe領域が、好ましくは、SiGeエピタキシャル層の形で形成される。仮に上述の層が前記ベース領域として形成される場合、上述のSiGe層の前記残存は、前記トランジスタの前記特性に貢献するであろう。

#### 【0019】

前記SiGe層の一部の選択的エッチング後に、さらなるエッチングステップを実施、例えばSiGeを選択したシリコンのエッチング液を使用することにより、前記埋め込み絶縁電気抵抗領域の前記厚さは増加する。この利点は、前記SiGeの前記残部の前記横方向の寸法が上述のステップにより変更されないことである。原理的には、前記SiGe層の前記エッチングがやがて取って代わるであろう。要求があるのであれば、例えば横方向pn接合の付加することなど、横方向のエッチストップを前記SiGe層に付加してもよい。

10

#### 【発明を実施するための最良の形態】

#### 【0020】

本発明は、実施形態及び図面により詳細に説明されている。前記図面は縮尺がなく、いくつかの寸法は明確にするために誇張されている。同様の領域又は部分は、できる限り同じ参照番号により示されている。

図1～図9は、本発明に従う方法を用いて、その製造の一連の工程を示しながら、本発明に従うデバイスの概略断面を示したものである。この実施形態における、少なくとも実質的に完成したデバイス10(図9参照)は、この場合、n型シリコン基板12と、このn型シリコン基板上に形成された半導体層構造と、バイポーラトランジスタとをもつ半導体本体11を有する。(この実施形態の場合、)ディスクリートトランジスタは、n型エミッタ領域1、p型ベース領域2及びn型コレクタ領域3を有し、これらの領域に、それぞれ、第1接続導体100、第2接続導体200及び第3接続導体300を設ける。前記ベース領域2は、20原子%のゲルマニウムを含有する、シリコンとゲルマニウムの混晶を有し、この実施形態では、ドーピング濃度が $1 \times 10^{19} \sim 1 \times 10^{20}$  at/cm<sup>3</sup>の範囲である。2つの層領域21、22は、厚さ方向に見て、前記ベース領域の両側に位置し、それらの層領域21、22は、遷移層として機能し、比較的低いドーピング濃度、例えば $1 \times 10^{17} \sim 1 \times 10^{19}$  at/cm<sup>3</sup>の範囲のドーピング濃度を有している。前記エミッタ領域1は、外方拡散により前記n型遷移層22内に形成される。前記コレクタ3及び前記エミッタ1は、この場合、シリコンを有する。前記コレクタ3は、この場合、前記n型(又は真性)の遷移層21及び前記基板12の一部を有し、さらに、この実施形態とは異なり、ドリフト領域と称される低ドーブ部や、前記基板に隣接して位置決めされるか、若しくは前記基板の一部を形成する高ドーブ部から構成されていてもよい。前記エミッタ領域1の前記接続導体100と、前記ベース領域2の前記接続導体200は、ケイ素化合物、この場合、例えばニッケル又はコバルトのケイ素化合物を有し、一方、前記コレクタ領域3の前記接続導体300は、この場合、アルミニウムを有する。前記エミッタ接続領域1Aは、この場合、多結晶シリコン領域を有し、スペーサ4を用いて前記ベース接続領域2Aから(電氣的に)絶縁されている。

20

30

#### 【0021】

前記半導体本体11、この場合、前記半導体本体11の前記ベース領域2の位置に、狭窄部を設け、前記ベース領域2は、前記半導体本体内に埋め込まれた第1埋め込み電氣的絶縁領域である電氣的絶縁領域26、27の間に形成される。前記電氣的絶縁領域26、27は、この場合、二酸化シリコンを有し、それら電氣的絶縁領域26、27は、前記半導体本体11のメサ形状の部分30の側壁から、前記ベース領域2の方向に延在し、かつ、この場合、前記ベース領域2と同じ厚さを有している。本発明によれば、前記領域26、27の上方に存在する半導体本体11の一部は、単結晶である。このことは、前記デバイス10が、非常に小さな横寸法と、非常に良好な高周波数特性を有することを可能にする。このことは全て、本発明による方法を用いて前記デバイスを製造することにより達成することができる。知られている製造方法を用いると、前述した前記半導体本体11の一

40

50

部は多結晶であるか、あるいは非晶質でさえある。

【0022】

前記ベース接続領域2Aは、この実施形態では、多結晶シリコン導電領域2AAと、窒化タンタルからなる下層導電領域2ABを有し、前記多結晶のシリコン領域2AAは、下層導電領域2ABに対して選択的エッチングすることができる。前記エミッタ接続領域1Aは、この実施形態では、(断面で見て、)T字状であり、前記多結晶シリコン領域2AA上に存在する絶縁領域5の上方に延びる前記T字状のアームを有する。さらに、前記デバイス10は、部分的に沈められかつ部分的に埋め込まれた第2埋め込み電氣的絶縁領域16、17を有し、これらの第2埋め込み電氣的絶縁領域16、17は、この場合、二酸化シリコンを有し、前記第1埋め込み電氣的絶縁領域26、27よりも大きな厚さを有し、そして、前記第1埋め込み電氣的絶縁領域26、27よりも大きな距離だけ前記エミッタ領域1から間隔をおいて配置される。

10

【0023】

本実施形態の前記デバイス10の横寸法は、 $1\mu\text{m}\times 10\mu\text{m}$ である。前記エミッタ領域1は、約 $10^{20}\text{at}/\text{cm}^3$ のドーピング濃度と、約10nmの厚さを有している。前記ベース領域2は、前記隣接遷移層21、22を有するとき、約20nmの厚さを有する。本実施形態の前記デバイス10は、例えば、本発明による方法を用いて、後述のように製造されている。

【0024】

出発点(図1参照)は、n型シリコン基板12であり、本実施形態では、この基板において、いわゆるSTI(Shallow Trench Isolation)と称される領域16、17が形成される。前記基板12の下にある部分は、簡略化のため、図面からは外されている。P型層21、22は、エピタキシーにより前記基板12の上にも積層され、SiGeで形成される中央の層及びSiで形成される外側の2つの層を有する。ドーピング濃度及び厚さは、上記に示されるように選択される。そして、例えば別の積層デバイスのように、さらなる層構造が設けられ、その構造は、連続的に、窒化タンタルの導電層2AB、多結晶であり高ドープのシリコン層2AA及び二酸化シリコンの絶縁層5を有する。例えば本実施形態では前記導電層2ABを積層する場合には、好ましくは、積層技術としてスパッタリング又はMOCVD(有機金属化学気相体積法)を用い、一方、前記多結晶シリコン層2AA及び絶縁層はCVD(化学気相体積法)により形成されることが好ましく、上述の層は、それぞれ10nm、100nm及び50nmの厚さを有する。

20

30

【0025】

その後、(図2参照)開口部6が、フォトリソグラフィックマスクM1を用いて前記絶縁層5及び前記多結晶シリコン層2AAのエッチングにより形成される。これは、例えばドライエッチングプロセスにより行われる。上述のプロセスにおいて、前記窒化タンタル層2ABエッチングストップ層としての機能を果たす。

【0026】

次に、(図3参照)M1により形作られる前記窒化タンタル層2ABの一部は、前記シリコン層22に対して、例えばドライ又はウェットケミカルエッチングプロセスなどの、さらなるエッチングプロセスにより、選択的にエッチング除去が施される。

【0027】

前記マスクM1の除去後(図4参照)、スペイサー4が前記開口部6に形成され、そのスペイサー4は、本実施形態では、2つの薄い二酸化シリコン及び窒化シリコンの層41、42でできており、その厚さは10及び50~100nmである。前記層は、均一に設けられ、その後、前記平坦部の部分が異方性エッチングプロセスにより除去される。

40

【0028】

この後(図5参照)、前記開口部6に、n型多結晶シリコン層1Aが充填される。上述の層は、CVDプロセスにより形成される。熱制御の結果に構造が左右されるため、エミッタ領域1は、前記遷移層22について前記エミッタ接続領域1Aの前記n型汚染物質の外方拡散の結果としての部分的な過ドーピングにより形成される。

【0029】

50

その後（図6参照）、前記エミッタ接続領域1Aは、段面図のT形状を得るため、フォトリソグラフィ及びエッチングによりパターンが形成される。底部での前記Tの幅は約200nmであり、前記頂部での前記Tの前記幅は約500nmである。この後、前記ベース領域2の高ドープ部分2Cは、前記p型イオンの打ち込みにより形成され、T形状接続領域1Aはマスクとしての機能を果たす。実際のところ、フォトレジストマスクは、まだ図で示すものとは正反対の段階で前記T形状のメサの上にあることが顕著である。そして、そのような場合、図5及び図6に示されている製造段階の間に上述の打ち込みが行われる。一方では、前記フォトレジストマスクは、前記エミッタ接続領域1Aを前記打ち込みから保護し、他方では、前記金属シリサイド層100、200は上述のマスクの除去の後の1つのステップで形成される。

10

#### 【0030】

そして、前記接続導電100、200は、例えば、ニッケル又はコバルトの金属層を積層することにより形成され、それは、珪素化によりニッケル又はコバルトのシリサイドに変換することができる。本実施形態では、前記基板12の背面側は、アルミニウムが接続され、その結果、コレクタ領域3の前記接続導体300を形成する。前記コレクタ領域3も、埋没接続領域及び接続導体経路で前記半導体本体11の上面と有利に接触できる。

#### 【0031】

この後（図7参照）、マスクM2（本実施形態の場合はフォトレジスト）が、前記デバイス10に塗布され、その後前記半導体本体は、本実施形態の場合ドライエッチングプロセスを用いて、前記表面に位置するメサ形状部分30が設けられる。

20

#### 【0032】

実質的に（図8参照）、前記ベース領域2を形成する層2の一部は、選択的ウェット又はドライケミカルエッチングプロセスを用いて前記半導体本体11の前記メサ形状部分30の側壁から除去される。空洞26A、27Aは、その結果、Si含有層21、22及び、前記ベース領域2を形成する前記SiGe層2の残部に隣接して形成される。

#### 【0033】

本実施例では（図9参照）、形成された前記空洞は、該空洞に電気的絶縁物質、本実施例では、二酸化シリコンを充填することにより、前記埋め込み電気的絶縁層26、27に変換される。とくに、前記空洞があまり厚くないのであれば、低温熱酸化物を充填すればよい。要求があるのであれば、前記メサ形状部分30及び前記空洞26A、27Aの形成は、これをうけて、前記接続導体100、200、300のダメージを防ぐために製造のより早い段階で実施される。

30

#### 【0034】

その後、切断又はエッチングのような分離技術が実行され、本発明による個々のデバイス10が得られる。

#### 【0035】

本発明は、ここで述べられた実施形態に限られず、本発明の範囲内に含まれる技術にとって可能なバリエーション及び修正がある。このように、個々の半導体デバイスの使用に適することに加えて、本発明は、例えば(BI)CMOS（(バイポーラ)相補形金属酸化膜半導体）やIC（集積回路）のような、集積半導体デバイスの使用にも優れた適正がある。実際に、最良の実施形態の中で述べられた前記トランジスタの前記構造及び前記製造は、かなりIC用途に適したものである。

40

#### 【0036】

さらに、STI隔離領域を用いる代わりに、LOCOS（シリコンの部分的酸化）技術により得られる隔離領域を用いることも可能であることに留意すべきである。SiGeに加えて、選択的にエッチングでき、その上にシリコン単結晶を成長させることができる他の物質を用いることも可能である。そのような物質の一例はSiCである。それに加えて、シリコンに、ほとんどシリコンの格子定数に影響を与えることなく、選択的エッチングを可能とする不純物が加えられてもよい。このように、n型シリコンは、例えばp型シリコンに対して選択的にエッチングされることが可能であり、逆もまた同様である。さらに、電

50

氣的に不活性なドーパントは、十分な量のシリコンのエッチング能力に影響を与える。

【 0 0 3 7 】

本発明による方法に関しては、多くの変形や修正が可能である。このように、前記SiGe層又はSiGe領域も、シリコン領域へゲルマニウムを打ち込むことにより形成される。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 図 1 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連のステップを示している。

【 図 2 】 図 2 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 3 】 図 3 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 4 】 図 4 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 5 】 図 5 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 6 】 図 6 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 7 】 図 7 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 8 】 図 8 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

【 図 9 】 図 9 は、本発明によるデバイスの厚さ方向と直交する、概略断面図であり、その本発明による方法を用いた製造の一連の段階を示している。

10

20

【 図 1 】

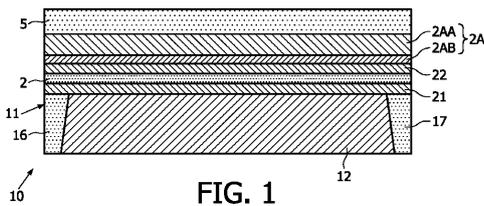


FIG. 1

【 図 4 】

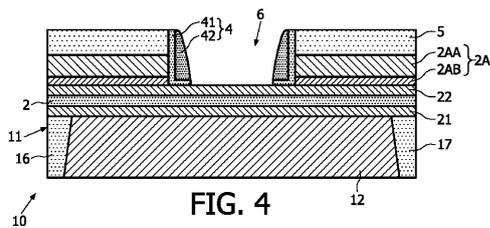


FIG. 4

【 図 2 】

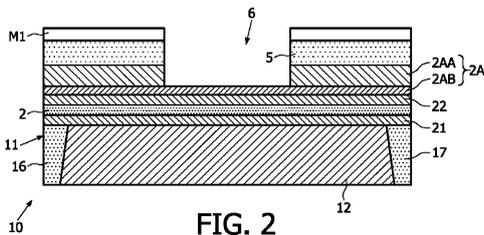


FIG. 2

【 図 5 】

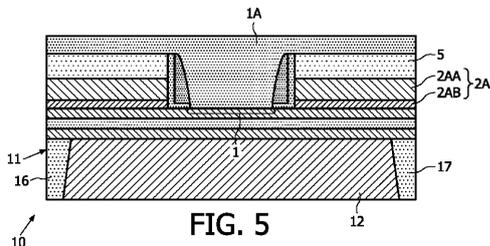


FIG. 5

【 図 3 】

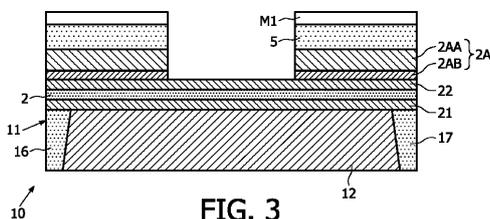


FIG. 3

【 図 6 】

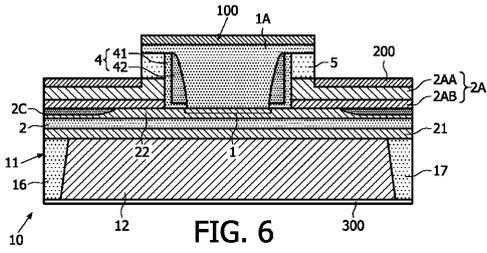


FIG. 6

【 図 9 】

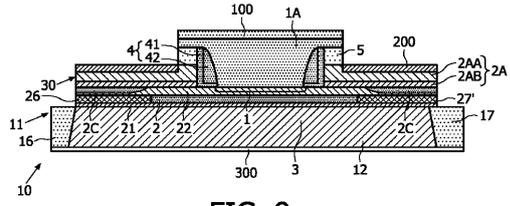


FIG. 9

【 図 7 】

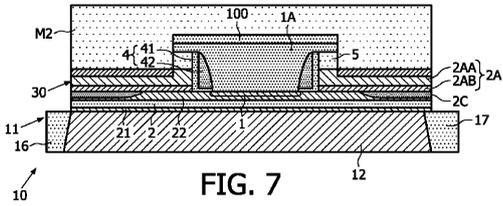


FIG. 7

【 図 8 】

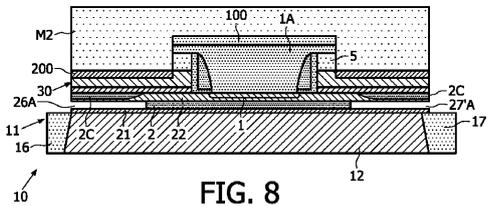


FIG. 8

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No PCT/IB2006/052559
---

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/331 H01L29/10 H01L29/732 H01L29/737		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 439 832 A (NAKAMURA SHUNJI [JP]) 8 August 1995 (1995-08-08) abstract; figures 9A-9F; example 6	1-16
A	US 2003/098465 A1 (SUZUMURA ISAO [JP] ET AL) 29 May 2003 (2003-05-29) abstract; figures 7,8; example 2	1-16
A	US 2001/039100 A1 (GONZALEZ FERNANDO [US] ET AL) 8 November 2001 (2001-11-08) abstract; figures 7,8	1-16
A	US 2004/214355 A1 (MIURA HIDEO [JP] ET AL) 28 October 2004 (2004-10-28) abstract; figures 2,13	1-16
A	US 5 399 511 A (TAKA SHIN-ICHI [JP] ET AL) 21 March 1995 (1995-03-21) abstract; figures 14A,B	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search  29 March 2007		Date of mailing of the international search report  10/04/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 940-2040, Tx. 91 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Dauw, Xavier

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/IB2006/052559

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5439832	A	08-08-1995	JP	3176758 B2	18-06-2001
			JP	6349768 A	22-12-1994
US 2003098465	A1	29-05-2003	JP	2003168689 A	13-06-2003
US 2001039100	A1	08-11-2001	US	2002031898 A1	14-03-2002
US 2004214355	A1	28-10-2004	NONE		
US 5399511	A	21-03-1995	NONE		

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ヨハネス イェー テー エム ドンケルス  
 オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6  
 (72)発明者 ウィボ デー ファン ノールト  
 オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6  
 (72)発明者 フランソワ スイリ  
 オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6  
 Fターム(参考) 5F003 BA23 BA92 BA97 BB01 BB02 BB05 BB07 BB08 BB90 BC08  
 BE01 BE02 BE07 BE08 BE90 BF06 BG06 BH05 BH07 BM01  
 BP01 BP11 BP21 BP31  
 5F045 AB01 AC19 CA02

## 【要約の続き】

0 は、本発明による製造方法を用いたその製造の結果、可能なものとなる。