



(12)发明专利申请

(10)申请公布号 CN 110137319 A
(43)申请公布日 2019.08.16

(21)申请号 201910423309.4

(22)申请日 2019.05.21

(71)申请人 芜湖德豪润达光电科技有限公司
地址 241000 安徽省芜湖市经济技术开发区纬二次路11号

(72)发明人 冷鑫钰 曾硕尧 汪琼 纪秉峰
邢琨 陈柏松

(74)专利代理机构 广州华进联合专利商标代理有限公司 44224
代理人 熊文杰 李双皓

(51) Int. Cl.
H01L 33/00(2010.01)
H01L 33/14(2010.01)

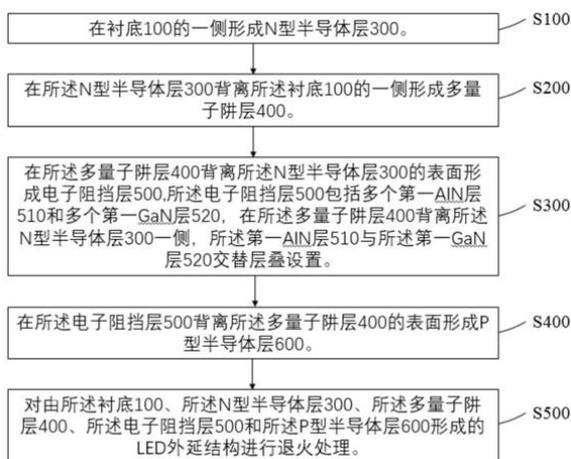
权利要求书3页 说明书10页 附图4页

(54)发明名称

LED外延结构及其制作方法

(57)摘要

本申请涉及一种LED外延结构及其制作方法。所述LED外延结构的制作方法在N型半导体层与多量子阱层之间形成电子阻挡层,电子阻挡层中的第一AlN层比P型半导体层的能阶高,有效阻挡N型半导体层的电子溢流,减少P型半导体层的Mg渗透到多量子阱层。晶体扩散形成部分AlGaIn,使晶体致密性更好。所述电子阻挡层与前后层晶格匹配度更好,杂质更少,出光更好,且高温热退火可以增加P层Mg的活化,提高了所述LED外延结构的发光效率。



1. 一种LED外延结构及其制作方法,其特征在于,所述制作方法包括:

在衬底(100)的一侧形成N型半导体层(300);

在所述N型半导体层(300)背离所述衬底(100)的一侧形成多量子阱层(400);

在所述多量子阱层(400)背离所述N型半导体层(300)的表面形成电子阻挡层(500),所述电子阻挡层(500)包括多个第一AlN层(510)和多个第一GaN层(520),在所述多量子阱层(400)背离所述N型半导体层(300)一侧,所述第一AlN层(510)与所述第一GaN层(520)交替层叠设置;

在所述电子阻挡层(500)背离所述多量子阱层(400)的表面形成P型半导体层(600);

对由所述衬底(100)、所述N型半导体层(300)、所述多量子阱层(400)、所述电子阻挡层(500)和所述P型半导体层(600)形成的LED外延结构进行退火处理,以使所述电子阻挡层(500)中的所述第一AlN层(510)与所述第一GaN层(520)之间部分晶体相互扩散形成AlGaN。

2. 如权利要求1所述的制作方法,其特征在于,在所述多量子阱层(400)背离所述N型半导体层(300)的表面形成电子阻挡层(500),所述电子阻挡层(500)包括多个第一AlN层(510)和多个第一GaN层(520),在所述多量子阱层(400)背离所述N型半导体层(300)一侧,所述第一AlN层(510)与所述第一GaN层(520)交替层叠设置,包括:

在所述多量子阱层(400)背离所述N型半导体层(300)的表面通过所述Al靶材溅射生长所述第一AlN层(510);

在所述第一AlN层(510)背离所述多量子阱层(400)的表面通过所述GaO靶材溅射生长所述第一GaN层(520);

按照预定循环次数重复实施在所述多量子阱层(400)背离所述N型半导体层(300)的表面通过所述Al靶材溅射生长所述第一AlN层(510)和在所述第一AlN层(510)背离所述多量子阱层(400)的表面通过所述GaO靶材溅射生长所述第一GaN层(520)。

3. 如权利要求2所述的制作方法,其特征在于,所述预定循环次数为5-10。

4. 如权利要求1所述的制作方法,其特征在于,在所述多量子阱层(400)背离所述N型半导体层(300)的表面形成电子阻挡层(500),所述电子阻挡层(500)包括多个第一AlN层(510)和多个第一GaN层(520),在所述多量子阱层(400)背离所述N型半导体层(300)一侧,所述第一AlN层(510)与所述第一GaN层(520)交替层叠设置中,每层所述第一AlN层(510)的厚度为1nm-5nm,每层所述第一GaN层(520)的厚度为1nm-5nm。

5. 如权利要求1所述的制作方法,其特征在于,在衬底(100)的一侧形成N型半导体层(300)之后,还包括:

在所述衬底(100)的表面生成填平层(200),且所述N型半导体层(300)形成于所述填平层(200)背离所述衬底(100)的一侧。

6. 如权利要求5所述的制作方法,其特征在于,在所述衬底(100)的表面生成填平层(200),且所述N型半导体层(300)形成于所述填平层(200)背离所述衬底(100)的一侧之后,所述制作方法还包括:

在所述填平层(200)背离所述衬底(100)的表面形成缺陷阻挡层(210),且所述N型半导体层(300)形成于所述缺陷阻挡层(210)远离所述填平层(200)的表面,所述缺陷阻挡层(210)包括多个第二AlN层(211)和多个第二GaN层(212),在垂直于所述衬底(100)的方向上,所述第二AlN层(211)与所述第二GaN层(212)交替层叠设置。

7. 如权利要求6所述的制作方法,其特征在于,在所述填平层(200)背离所述衬底(100)的表面形成缺陷阻挡层(210),且所述N型半导体层(300)形成于所述缺陷阻挡层(210)远离所述填平层(200)的表面,所述缺陷阻挡层(210)包括多个第二AlN层(211)和多个第二GaN层(212),在垂直于所述衬底(100)的方向上,所述第二AlN层(211)与所述第二GaN层(212)交替层叠设置的步骤包括:

在所述填平层(200)背离所述衬底(100)的表面通过所述Al靶材溅射生长所述第二AlN层(211);

在所述第二AlN层(211)背离所述填平层(200)的表面通过所述GaO靶材溅射生长所述第二GaN层(212);

按照预定循环次数重复实施在所述填平层(200)背离所述衬底(100)的表面通过所述Al靶材溅射生长所述第二AlN层(211)和在所述第二AlN层(211)背离所述填平层(200)的表面通过所述GaO靶材溅射生长所述第二GaN层(212)。

8. 如权利要求6所述的制作方法,其特征在于,所述第二AlN层(211)与所述第二GaN层(212)交替次数为10-20。

9. 如权利要求5所述的制作方法,其特征在于,在所述衬底(100)的表面生成填平层(200),且所述N型半导体层(300)形成于所述填平层(200)背离所述衬底(100)的一侧之前,所述制作方法还包括:

在所述衬底(100)的表面形成缓冲层(110),且所述填平层(200)形成于所述缓冲层(110)远离所述衬底(100)的表面。

10. 一种LED外延结构,其特征在于,包括:

N型半导体层(300),设置于衬底(100)的一侧;

多量子阱层(400),设置于所述N型半导体层(300)背离所述衬底(100)的表面;

电子阻挡层(500),设置于所述多量子阱层(400)背离所述N型半导体层(300)的表面,所述电子阻挡层(500)包括多个第一AlN层(510)和多个第一GaN层(520),在所述多量子阱层(400)背离所述N型半导体层(300)一侧,所述第一AlN层(510)与所述第一GaN层(520)交替分布;

P型半导体层(600),设置于所述电子阻挡层(500)背离所述多量子阱层(400)的表面;

所述第一AlN层(510)与所述第一GaN层(520)之间部分晶体相互扩散形成AlGaIn。

11. 如权利要求10所述的LED外延结构,其特征在于,所述电子阻挡层(500)中所述第一AlN层(510)与所述第一GaN层(520)层叠交替次数为5-10。

12. 如权利要求11所述的LED外延结构,其特征在于,每层所述第一AlN层(510)的厚度为1nm-5nm,每层所述第一GaN层(520)的厚度为1nm-5nm。

13. 如权利要求10所述的LED外延结构,其特征在于,还包括:

填平层(200),设置于所述衬底(100)与所述N型半导体层(300)之间。

14. 如权利要求13所述的LED外延结构,其特征在于,还包括:

缺陷阻挡层(210),设置于所述填平层(200)与所述N型半导体层(300)之间,所述缺陷阻挡层(210)包括多个第二AlN层(211)和多个第二GaN层(212),在所述多量子阱层(400)背离所述N型半导体层(300)一侧,所述第二AlN层(211)与所述第二GaN层(212)交替层叠设置。

15. 如权利要求14所述的LED外延结构,其特征在于,所述第二AlN层(211)与所述第二GaN层(212)层叠交替次数为10-20。

16. 如权利要求13所述的LED外延结构,其特征在于,还包括:
缓冲层(110),设置于所述衬底(100)与所述填平层(200)之间。

LED外延结构及其制作方法

技术领域

[0001] 本申请涉及LED技术领域,特别是涉及一种LED外延结构及其制作方法。

背景技术

[0002] 发光二极管(Light-Emitting Diode, LED)是一种能发光的半导体电子元件。因具有体积小、能耗低、寿命长、驱动电压低等优点而倍受欢迎,广泛用于指示灯、显示屏等领域。外延片的晶体质量是影响芯片良率的重点所在,因此,改善晶体质量,提高芯片的发光效率,是目前制备高亮度、高光效LED器件的关键。

[0003] 传统的LED外延结构底层生长过程中形成的缺陷较多、电子的运动速度比较快,容易跃迁到p侧形成非辐射复合、p侧的Mg容易渗透到量子阱中形成缺陷,影响发光效率。传统的LED外延结构发光效率低是亟待解决的问题。

发明内容

[0004] 基于此,有必要针对LED外延结构发光效率低的问题,提供一种LED外延结构及其制作方法。

[0005] 一种LED外延结构及其制作方法,所述制作方法包括在衬底的一侧形成N型半导体层。在所述N型半导体层背离所述衬底的一侧形成多量子阱层。在所述多量子阱层背离所述N型半导体层的表面形成电子阻挡层,所述电子阻挡层包括多个第一AlN层和多个第一GaN层,在所述多量子阱层背离所述N型半导体层一侧,所述第一AlN层与所述第一GaN层交替层叠设置。在所述电子阻挡层背离所述多量子阱层的表面形成P型半导体层。对由所述衬底、所述N型半导体层、所述多量子阱层、所述电子阻挡层和所述P型半导体层形成的LED外延结构进行退火处理,以使所述电子阻挡层中的所述第一AlN层与所述第一GaN层之间部分晶体相互扩散形成AlGaIn。

[0006] 在一个实施例中,在所述多量子阱层背离所述N型半导体层的表面形成电子阻挡层,所述电子阻挡层包括多个第一AlN层和多个第一GaN层,在所述多量子阱层背离所述N型半导体层一侧,所述第一AlN层与所述第一GaN层交替层叠设置步骤,包括:

[0007] 在所述多量子阱层背离所述N型半导体层的表面通过所述Al靶材溅射生长所述第一AlN层。

[0008] 在所述第一AlN层背离所述多量子阱层的表面通过所述GaO靶材溅射生长所述第一GaN层。

[0009] 按照预定循环次数重复实施在所述多量子阱层背离所述N型半导体层的表面通过所述Al靶材溅射生长所述第一AlN层步骤和在所述第一AlN层背离所述多量子阱层的表面通过所述GaO靶材溅射生长所述第一GaN层。

[0010] 在一个实施例中,所述预定循环次数为5-10。

[0011] 在一个实施例中,在所述多量子阱层背离所述N型半导体层的表面形成电子阻挡层,所述电子阻挡层包括多个第一AlN层和多个第一GaN层,在所述多量子阱层背离所述N型

半导体层一侧,所述第一AlN层与所述第一GaN层交替层叠设置步骤中,每层所述第一AlN层的厚度为1nm-5nm,每层所述第一GaN层的厚度为1nm-5nm。

[0012] 在一个实施例中,在在衬底的一侧形成N型半导体层之后,所述制作方法还包括:

[0013] 在所述衬底的表面生成填平层,且所述N型半导体层形成于所述填平层背离所述衬底的一侧。

[0014] 在一个实施例中,在所述衬底的表面生成填平层,且所述N型半导体层形成于所述填平层背离所述衬底的一侧的步骤之后,还包括:

[0015] 在所述填平层背离所述衬底的表面形成缺陷阻挡层,且所述N型半导体层形成于所述缺陷阻挡层远离所述填平层的表面,所述缺陷阻挡层包括多个第二AlN层和多个第二GaN层,在垂直于所述衬底的方向上,所述第二AlN层与所述第二GaN层交替层叠设置。

[0016] 在一个实施例中,在所述填平层背离所述衬底的表面形成缺陷阻挡层,且所述N型半导体层形成于所述缺陷阻挡层远离所述填平层的表面,所述缺陷阻挡层包括多个第二AlN层和多个第二GaN层,在垂直于所述衬底的方向上,所述第二AlN层与所述第二GaN层交替层叠设置的步骤包括:

[0017] 在所述填平层背离所述衬底的表面通过所述Al靶材溅射生长所述第二AlN层。

[0018] 在所述第二AlN层背离所述填平层的表面通过所述GaO靶材溅射生长所述第二GaN层。

[0019] 按照预定循环次数重复实施在所述填平层背离所述衬底的表面通过所述Al靶材溅射生长所述第二AlN层和在所述第二AlN层背离所述填平层的表面通过所述GaO靶材溅射生长所述第二GaN层。

[0020] 在一个实施例中,所述第二AlN层与所述第二GaN层交替次数为10-20。

[0021] 在一个实施例中,在所述衬底的表面生成填平层,且所述N型半导体层形成于所述填平层背离所述衬底的一侧之前,所述制作方法还包括:

[0022] 在所述衬底的表面形成缓冲层,且所述填平层形成于所述缓冲层远离所述衬底的表面。

[0023] 一种LED外延结构,包括顺次层叠的N型半导体层、多量子阱层、电子阻挡层和P型半导体层。

[0024] 所述N型半导体层设置于衬底的一侧。所述多量子阱层设置于所述N型半导体层背离所述衬底的表面。所述电子阻挡层设置于所述多量子阱层背离所述N型半导体层的表面。所述电子阻挡层包括多个第一AlN层和多个第一GaN层。在所述多量子阱层背离所述N型半导体层一侧,所述第一AlN层与所述第一GaN层交替分布。所述P型半导体层设置于所述电子阻挡层背离所述多量子阱层的表面。所述第一AlN层与所述第一GaN层之间部分晶体相互扩散形成AlGaIn。

[0025] 在一个实施例中,所述电子阻挡层中所述第一AlN层与所述第一GaN层层叠交替次数为5-10。

[0026] 在一个实施例中,每层所述第一AlN层的厚度为1nm-5nm,每层所述第一GaN层的厚度为1nm-5nm。

[0027] 在一个实施例中,所述LED外延结构还包括填平层。所述填平层设置于所述衬底与所述N型半导体层之间。

[0028] 在一个实施例中,所述LED外延结构还包括缺陷阻挡层。所述缺陷阻挡层设置于所述填平层与所述N型半导体层之间。所述缺陷阻挡层包括多个第二AlN层和多个第二GaN层。在所述多量子阱层背离所述N型半导体层一侧,所述第二AlN层与所述第二GaN层交替层叠设置。

[0029] 在一个实施例中,所述第二AlN层与所述第二GaN层层叠交替次数为10-20。

[0030] 在一个实施例中,所述LED外延结构还包括缓冲层。所述缓冲层设置于所述衬底与所述填平层之间。

[0031] 本申请提供的所述LED外延结构的制作方法,包括在衬底的一侧形成N型半导体层。在所述N型半导体层背离所述衬底的一侧形成多量子阱层。在所述多量子阱层背离所述N型半导体层的表面形成电子阻挡层。所述电子阻挡层包括多个第一AlN层和多个第一GaN层,在垂直于所述衬底的方向上,所述第一AlN层与所述第一GaN层交替分布。在所述电子阻挡层背离所述多量子阱层的表面形成P型半导体层。对由所述衬底、所述N型半导体层、所述多量子阱层、所述电子阻挡层和所述P型半导体层的LED外延结构进行退火处理,相邻所述第一AlN层与所述第一GaN层之间部分晶体相互扩散形成AlGaIn。所述制作方法在所述N型半导体层与所述多量子阱层之间形成所述电子阻挡层,所述电子阻挡层中的所述第一AlN层比所述P型半导体层的能阶高,有效阻挡所述N型半导体层的电子溢流,减少P型半导体层的Mg渗透到多量子阱层。晶体扩散形成部分AlGaIn,使晶体致密性更好。所述电子阻挡层与前后层晶格匹配度更好,杂质更少,出光更好,且高温热退火可以增加P层Mg的活化,提高了所述LED外延结构的发光效率。

附图说明

[0032] 图1为本申请一个实施例中提供的所述LED外延结构的制作方法的流程图;

[0033] 图2为本申请一个实施例中提供的所述LED外延结构的结构示意图;

[0034] 图3为本申请另一个实施例中提供的所述LED外延结构的制作方法的流程图;

[0035] 图4为本申请另一个实施例中提供的所述LED外延结构的结构示意图;

[0036] 图5为本申请另一个实施例中提供的所述LED外延结构的结构示意图;

[0037] 图6为本申请另一个实施例中提供的所述LED外延结构的结构示意图;

[0038] 图7为本申请另一个实施例中提供的所述LED外延结构的结构示意图。

[0039] 附图标号:

[0040] LED外延结构 20

[0041] 衬底 100

[0042] 缓冲层 110

[0043] 填平层 200

[0044] 缺陷阻挡层 210

[0045] 第二AlN层 211

[0046] 第二GaN层 212

[0047] N型半导体层 300

[0048] 多量子阱层 400

[0049] 阱层 410

- [0050] 垒层 420
- [0051] 电子阻挡层 500
- [0052] Al靶材 501
- [0053] GaO靶材 502
- [0054] 第一AlN层 510
- [0055] 第一GaN层 520
- [0056] P型半导体层 600

具体实施方式

[0057] 为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本申请。但是本申请能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本申请内涵的情况下做类似改进，因此本申请不受下面公开的具体实施的限制。

[0058] 本文中为部件所编序号本身，例如“第一”、“第二”等，仅用于区分所描述的对象，不具有任何顺序或技术含义。而本申请所说“连接”、“联接”，如无特别说明，均包括直接和间接连接(联接)。在本申请的描述中，需要理解的是，术语“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。

[0059] 在本申请中，除非另有明确的规定和限定，第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触，或第一和第二特征通过中间媒介间接接触。而且，第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方，或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方，或仅仅表示第一特征水平高度小于第二特征。

[0060] 请参见图1，本申请实施例提供一种LED外延结构20及其制作方法。所述制作方法包括：

[0061] S100，在衬底100的一侧形成N型半导体层300。

[0062] S200，在所述N型半导体层300背离所述衬底100的一侧形成多量子阱层400。

[0063] S300，在所述多量子阱层400背离所述N型半导体层300的表面形成电子阻挡层500，所述电子阻挡层500包括多层第一AlN层510和多层第一GaN层520，在所述多量子阱层400背离所述N型半导体层300一侧，所述第一AlN层510与所述第一GaN层520交替层叠设置。

[0064] S400，在所述电子阻挡层500背离所述多量子阱层400的表面形成P型半导体层600。

[0065] S500，对由所述衬底100、所述N型半导体层300、所述多量子阱层400、所述电子阻挡层500和所述P型半导体层600形成的LED外延结构进行退火处理，以使所述电子阻挡层500中的所述第一AlN层510与所述第一GaN层520之间部分晶体相互扩散形成AlGaN。

[0066] 本申请实施例提供的所述LED外延结构20的所述制作方法，在所述N型半导体层300与所述多量子阱层400之间形成所述电子阻挡层500，所述电子阻挡层500中的所述第一

AlN层510比所述P型半导体层600的能阶高,有效阻挡所述N型半导体层300的电子溢流,减少所述P型半导体层600的Mg渗透到所述多量子阱层400,提高了所述LED外延结构20的发光效率。退火后所述电子阻挡层500中的所述第一AlN层510与所述第一GaN层520之间部分晶体相互扩散形成所述AlGa_N。晶体扩散形成部分AlGa_N,使晶体致密性更好。所述电子阻挡层与前后层晶格匹配度更好,杂质更少,出光更好,且高温热退火可以增加P层Mg的活化,提高了所述LED外延结构的发光效率。

[0067] 在一个实施例中,所述衬底100为蓝宝石衬底、Si衬底或SiC衬底等。

[0068] 在所述步骤S100中,在所述衬底100的一侧形成所述N型半导体层300。所述N型半导体层300为N型GaN层,所述N型GaN层提供电子。

[0069] 在所述步骤S200中,所述多量子阱层400包括至少一层垒层420以及至少一层阱层410。当所述多量子阱层400仅具有一层所述垒层420以及一层所述阱层410时,所述阱层410位于所述垒层420与所述N型半导体层300之间。当所述多量子阱层400具有多层所述垒层420和多层所述阱层410时,在垂直于所述衬底100的方向上,所述阱层410与所述垒层420交替分布。

[0070] 在一个实施例中,所述阱层410为In_xGa_(1-x)N,其中 $x=0.20-0.22$ 。所述阱层410的厚度为20nm-40nm。所述垒层420为掺Si的GaN。所述垒层420的厚度为100nm-140nm,以提高所述电子和空穴的复合率,提高发光效率。

[0071] 在所述步骤S300中,所述N型半导体层300的表面形成电子阻挡层500,所述电子阻挡层500包括多层所述第一AlN层510和多层所述第一GaN层520,在所述多量子阱层400背离所述N型半导体层300一侧,所述第一AlN层510与所述第一GaN层520交替层叠设置。

[0072] 在一个实施例中,所述电子阻挡层500包括多层电子阻挡单元。每层所述电子阻挡单元包括一层所述第一AlN层510和一层所述第一GaN层520。定义第一个所述电子阻挡单元设置于所述多量子阱层400的表面。定义最后一个所述电子阻挡单元的表面形成所述P型半导体层600。

[0073] 在一个实施例中,在所述第一个所述电子阻挡单元中,所述第一AlN层510形成于所述垒层420的表面,所述第一GaN层520形成于所述第一AlN层510背离所述垒层420的表面。在所述最后一个所述电子阻挡单元中,所述第一AlN层510背离上一个所述电子阻挡单元的所述第一GaN层520的表面形成所述第一GaN层520,所述第一GaN层520背离所述第一AlN层510的表面形成所述P型半导体层600。

[0074] 在一个实施例中,所述第一AlN层510形成于所述垒层420的表面。所述垒层420为掺Si的GaN。在退火过程中,所述第一AlN层510与所述GaN之间的晶体相互扩散形成所述AlGa_N。晶体扩散形成部分所述AlGa_N,使晶体致密性更好。所述电子阻挡层与前后层晶格匹配度更好,杂质更少,出光更好,且高温热退火可以增加P层Mg的活化,提高了所述LED外延结构的发光效率。

[0075] 在所述步骤S400中,所述P型半导体层600为P型GaN。在所述LED外延结构20发光时,所述N型半导体层300提供电子,所述P型半导体层600提供空穴,所述电子和所述空穴在所述多量子阱层400复合,辐射可见光。

[0076] 在所述步骤S500中,对由所述衬底100、所述N型半导体层300、所述多量子阱层400、所述电子阻挡层500和所述P型半导体层600形成的LED外延结构进行退火处理,以使所

述电子阻挡层500中的所述第一AlN层510与所述第一GaN层520之间部分晶体相互扩散形成所述AlGaN。

[0077] 所述电子阻挡层500中的所述第一AlN层510比所述P型半导体层600的能阶高,有效阻挡所述N型半导体层300的电子溢流,减少所述P型半导体层600的Mg渗透到所述多量子阱层400。所述AlGaN晶体致密性更好,更好的阻挡了所述N型半导体层300的电子溢流和P型半导体层600的Mg渗透,提高了所述LED外延结构20的发光效率。

[0078] 所述电子阻挡层500采用物理气相沉积PVD的工艺形成。所述物理气相沉积PVD工艺简单、成膜均匀致密、对环境污染小,原材消耗少、与基板的结合力强等优点。

[0079] 在一个实施例中,所述步骤S300包括:

[0080] S310,在所述多量子阱层400背离所述N型半导体层300的表面通过所述Al靶材溅射生长所述第一AlN层510。

[0081] S320,在所述第一AlN层510背离所述多量子阱层400的表面通过所述GaO靶材溅射生长所述第一GaN层520。

[0082] S330,按照预定循环次数重复实施所述步骤S310和所述步骤S320。

[0083] 所述电子阻挡层500采用物理气相沉积PVD形成所述多量子阱层400与所述P型半导体层600之间。所述电子阻挡层500的能级较高,能够更好地阻挡电子溢流。此外,相较于化学气相沉积(MOCVD)的方法,所述物理气相沉积PVD形成的所述电子阻挡层500具有较好的晶体质量。较好的晶体质量的所述电子阻挡层500更有效的阻挡p侧的Mg渗透到所述多量子阱层400,避免p侧的Mg渗透到所述多量子阱层400中形成缺陷。最终在整个结构长完以后取出放入高温炉中进行高温热退火,所述电子阻挡层500结构中晶体重新排列,部分晶体扩散形成所述AlGaN。所述电子阻挡层500的晶体致密性更好,与前后层晶格匹配度更好,杂质更少,出光更好。且高温热退火可以增加P层Mg的活化性,增加所述LED外延结构20的发光效率。

[0084] 请一并参见图2,在一个实施例中,在所述步骤S310之前,还包括:

[0085] S301,PVD腔室中有两个靶材,分别为Al靶材501和GaO靶材502,向所述PVD腔室中冲入氮气。

[0086] 在一个实施例中,所述步骤S310的操作温度为500℃,在此温度下的所述第一AlN层510的晶体结构质量更好。在一个实施例中,所述步骤S320的操作温度为500℃,在此温度下的所述第一GaN层520的晶体结构质量更好。在一个实施例中,在所述步骤S330中,预定循环次数为5-10,能够有效阻挡电子溢流,提高发光效率。

[0087] 在一个实施例中,在所述步骤S300中,每层所述第一AlN层510的厚度为1nm-5nm,每层所述第一GaN层520的厚度为1nm-5nm。

[0088] 采用所述物理气相沉积(PVD)工艺形成的所述第一AlN层510杂质少、成膜更加致密均匀、晶体质量更高,能更有效阻挡电子穿过所述第一AlN层510。所述第一GaN层520与所述P型半导体层600的金属构成相同,使所述空穴更容易注入所述多量子阱层400,提高所述LED外延结构的发光效率。所述第一GaN层520与所述第一AlN层510层叠设置,能够多层阻挡所述电子溢流,同时能够层层诱导空穴注入所述多量子阱层400,提高了所述LED外延结构的发光效率。

[0089] 在一个实施例中,在所述步骤S100之后,还包括:

[0090] S110,在所述衬底100的表面生成填平层200,且所述N型半导体层300形成于所述填平层200背离所述衬底100的一侧。

[0091] 在一个实施例中,所述填平层200的材质为U型GaN,即为无掺杂Si的GaN。所述填平层200形成于所述衬底100与所述N型半导体层300之间,为所述N型半导体层300提供平摊的晶体核基层,以保证所述N型半导体层300的晶体结构的质量。

[0092] 所述步骤S110的操作温度为从500℃升至1100℃,在所述衬底100的表面形成所述填平层200。所述填平层200的厚度为0.5um-1um。

[0093] 在一个实施例中,在所述步骤S110之后,还包括:

[0094] S120,在所述填平层200背离所述衬底100的表面形成缺陷阻挡层210,且所述N型半导体层300形成于所述缺陷阻挡层210远离所述填平层200的表面,所述缺陷阻挡层210包括多层第二AlN层211和多层第二GaN层212,在所述填平层200背离所述衬底100的一侧,所述第二AlN层211与所述第二GaN层212交替层叠设置。

[0095] 所述步骤S120采用物理气相沉积(PVD)的工艺。所述缺陷阻挡层210在高真空条件下溅射生长,杂质少、成膜更加致密均匀、晶体质量更高。所述缺陷阻挡层210能够阻挡底层晶格缺陷通过所述N型半导体层300,延伸至所述多量子阱层400。物理气相沉积(PVD)提升所述缺陷阻挡层210的晶体质量,减少了线缺陷、螺位错和刃位错等晶格缺陷。

[0096] 在一个实施例中,所述步骤120包括:

[0097] S121,在所述填平层200背离所述衬底100的表面通过所述Al靶材溅射生长所述第二AlN层211。

[0098] S122,在所述第二AlN层211背离所述填平层200的表面通过所述GaO靶材溅射生长所述第二GaN层212。

[0099] S123,按照预定循环次数重复实施所述步骤S121和所述步骤S122。

[0100] 相较于化学气相沉积(MOCVD)的方法,所述物理气相沉积(PVD)方法形成的所述缺陷阻挡层210成膜均匀致密,晶体质量更好。所述缺陷阻挡层210能够更有效阻挡底层缺陷延伸至所述多量子阱层400,从而提高了所述LED外延结构的发光效率。

[0101] 在一个实施例中,所述第二AlN层211与所述第二GaN层212交替次数为10-20,能够有效阻挡底层的缺陷,为所述N型半导体层300提供平坦的操作面。

[0102] 在一个实施例中,所述步骤S120的操作温度为500℃,在此温度下的晶体分布均匀,晶格之间的距离相差不大,成膜更加致密均匀,晶体质量更高。所述缺陷阻挡层210能够阻挡底层晶格缺陷通过所述N型半导体层300,延伸至提升所述缺陷阻挡层210的晶体质量,减小了线缺陷、螺位错和刃位错等晶格缺陷。

[0103] 在一个实施例中,所述第二AlN层211的厚度为1nm-5nm,所述第二GaN层212的厚度为1nm-5nm。

[0104] 在一个实施例中,在所述步骤S110之前,还包括:

[0105] S101,在所述衬底100的表面形成缓冲层110,且所述填平层200形成于所述缓冲层110远离所述衬底100的表面。

[0106] 在一个实施例中,所述缓冲层110的材料为GaN。所述步骤S101的操作温度为550°。所述缓冲层110的厚度为25nm-35nm。所述缓冲层110的GaN与所述填平层200的U-GaN的基础元素相同,晶体之间的融合性较好,减小晶格缺陷的产生的几率。

[0107] 请参见图3,本申请实施例提供一种LED外延结构,包括顺层层叠的N型半导体层300、多量子阱层400、电子阻挡层500和P型半导体层600。

[0108] 所述N型半导体层300设置于所述衬底100的一侧。所述多量子阱层400设置于所述N型半导体层300背离所述衬底100的表面。所述电子阻挡层500设置于所述多量子阱层400背离所述N型半导体层300的表面。所述电子阻挡层500包括多层第一AlN层510和多层第一GaN层520,在所述多量子阱层400背离所述N型半导体层300一侧。所述第一AlN层510与所述第一GaN层520交替分布。所述P型半导体层600设置于所述电子阻挡层500背离所述多量子阱层400的表面。所述第一AlN层510与所述第一GaN层520之间部分晶体相互扩散形成AlGaN。

[0109] 本申请实施例提供的所述LED外延结构20,所述电子阻挡层500设置于所述N型半导体层300与所述多量子阱层400之间,所述电子阻挡层500中的所述第一AlN层510比所述P型半导体层600的能阶高,有效阻挡所述N型半导体层300的电子溢流,减少所述P型半导体层600的Mg渗透到所述多量子阱层400。退火后所述电子阻挡层500中的所述第一AlN层510与所述第一GaN层520之间部分晶体相互扩散形成所述AlGaN。所述AlGaN晶体致密性更好,更好的阻挡了所述N型半导体层300的电子溢流和P型半导体层600的Mg渗透,提高了所述LED外延结构20的发光效率。

[0110] 在一个实施例中,所述衬底100为蓝宝石衬底、Si衬底或SiC衬底等。

[0111] 在一个实施例中,所述N型半导体层300为N型GaN层,所述N型GaN层提供电子。所述P型半导体层600为P型GaN。在所述LED外延结构20发光时,所述N型半导体层300提供电子,所述P型半导体层600提供空穴,所述电子和所述空穴在所述多量子阱层400复合,辐射可见光。

[0112] 在一个实施例中,所述多量子阱层400包括至少一层垒层420以及至少一层阱层410。当所述多量子阱层400仅具有一层所述垒层420以及一层所述阱层410时,所述阱层410位于所述垒层420与所述N型半导体层300之间。当所述多量子阱层400具有多层所述垒层420和多层所述阱层410时,在垂直于所述衬底100的方向上,所述阱层410与所述垒层420交替分布。

[0113] 在一个实施例中,所述阱层410为 $\text{In}_x\text{Ga}_{(1-x)}\text{N}$,其中 $x=0.20-0.22$ 。所述阱层410的厚度为20nm-40nm。所述垒层420为掺Si的GaN。所述垒层420的厚度为100nm-140nm,以提高所述电子和空穴的复合率,提高发光效率。

[0114] 在一个实施例中,所述电子阻挡层500包括多层电子阻挡单元。每层所述电子阻挡单元包括一层所述第一AlN层510和一层所述第一GaN层520。定义第一个所述电子阻挡单元设置于所述多量子阱层400的表面。定义最后一个所述电子阻挡单元的表面形成所述P型半导体层600。

[0115] 在一个实施例中,在所述第一个所述电子阻挡单元中,所述第一AlN层510形成于所述垒层420的表面,所述第一GaN层520形成于所述第一AlN层510背离所述垒层420的表面。在所述最后一个所述电子阻挡单元中,所述第一AlN层510背离上一个所述电子阻挡单元的所述第一GaN层520的表面形成所述第一GaN层520,所述第一GaN层520背离所述第一AlN层510的表面形成所述P型半导体层600。

[0116] 所述电子阻挡层500中的所述第一AlN层510与所述第一GaN层520之间部分晶体相

互扩散形成所述AlGaIn。

[0117] 所述电子阻挡层500中的所述第一AlN层510比所述P型半导体层600的能阶高,有效阻挡所述N型半导体层300的电子溢流,减少所述P型半导体层600的Mg渗透到所述多量子阱层400。所述AlGaIn晶体致密性更好,更好的阻挡了所述N型半导体层300的电子溢流和P型半导体层600的Mg渗透,提高了所述LED外延结构20的发光效率。

[0118] 所述电子阻挡层500采用物理气相沉积(PVD)的工艺形成。所述物理气相沉积(PVD)工艺简单、成膜均匀致密、对环境污染小,原材消耗少、与基板的结合力强等优点。

[0119] 在一个实施例中,所述电子阻挡层500中所述第一AlN层510与所述第一GaIn层520层叠交替次数为5-10,能够有效阻挡电子溢流,提高发光效率。所述第一GaIn层520与所述第一AlN层510层叠设置,能够多层阻挡所述电子溢流,同时能够层层诱导空穴注入所述多量子阱层400,提高了所述LED外延结构的发光效率。

[0120] 在一个实施例中,每层所述第一AlN层510的厚度为1nm-5nm,每层所述第一GaIn层520的厚度为1nm-5nm,多层阻挡所述电子溢流,同时保证所述空穴注入所述多量子阱层400。

[0121] 请一并参见图4,在一个实施例中,所述LED外延结构还包括填平层200。所述填平层200设置于所述衬底100与所述N型半导体层300之间。

[0122] 所述填平层200为U型GaIn,即为无掺杂Si的GaIn。所述填平层200的厚度为0.5 μ m-1 μ m。所述填平层200设置于所述衬底100与所述N型半导体层300之间,为所述N型半导体层300提供平摊的晶体核基层,以保证所述N型半导体层300的晶体结构的质量。

[0123] 请一并参见图5,在一个实施例中,所述LED外延结构还包括缺陷阻挡层210。所述缺陷阻挡层210设置于所述填平层200与所述N型半导体层300之间,所述缺陷阻挡层210包括多层第二AlN层211和多层第二GaIn层212,在所述多量子阱层400背离所述N型半导体层300一侧,所述第二AlN层211与所述第二GaIn层212交替层叠设置。

[0124] 所述缺陷阻挡层210采用物理气相沉积(PVD)的工艺形成。所述缺陷阻挡层210在高真空条件下溅射生长,杂质少、成膜更加致密均匀、晶体质量更高。所述缺陷阻挡层210能够阻挡底层晶格缺陷延伸至所述N型半导体层300,提升所述N型半导体层300的晶体质量,减小了线缺陷、螺位错和刃位错等晶格缺陷。

[0125] 在一个实施例中,所述第二AlN层211与所述第二GaIn层212层叠交替次数为10-20,能够有效阻挡底层的缺陷,为所述N型半导体层300提供平坦的操作面。

[0126] 在一个实施例中,所述第二AlN层211的厚度为1nm-5nm,所述第二GaIn层212的厚度为1nm-5nm。

[0127] 在一个实施例中,退火后,所述缺陷阻挡层210中的所述第二AlN层211与所述第二GaIn层212之间部分晶体相互扩散形成AlGaIn。所述AlGaIn的晶体分布更均匀,成膜更加致密均匀,能够有效阻挡底层晶格缺陷延伸至所述N型半导体层300,提升所述N型半导体层300的晶体质量,减小了线缺陷、螺位错和刃位错等晶格缺陷,提高所述LED外延结构的晶格性质,进而提高发光效率。

[0128] 请一并参见图6,在一个实施例中,所述LED外延结构还包括缓冲层110。所述缓冲层110设置于所述衬底100与所述填平层200之间。

[0129] 所述缓冲层110的材料为GaIn。所述缓冲层110的厚度为25nm-35nm。所述缓冲层110

的GaN与所述填平层200的U-GaN的基础元素相同,晶体之间的融合性较好,较小晶格缺陷的产生。

[0130] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0131] 以上所述实施例仅表达了本申请的几种实施方式,但并不能因此而理解为对本申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请专利的保护范围应以所附权利要求为准。

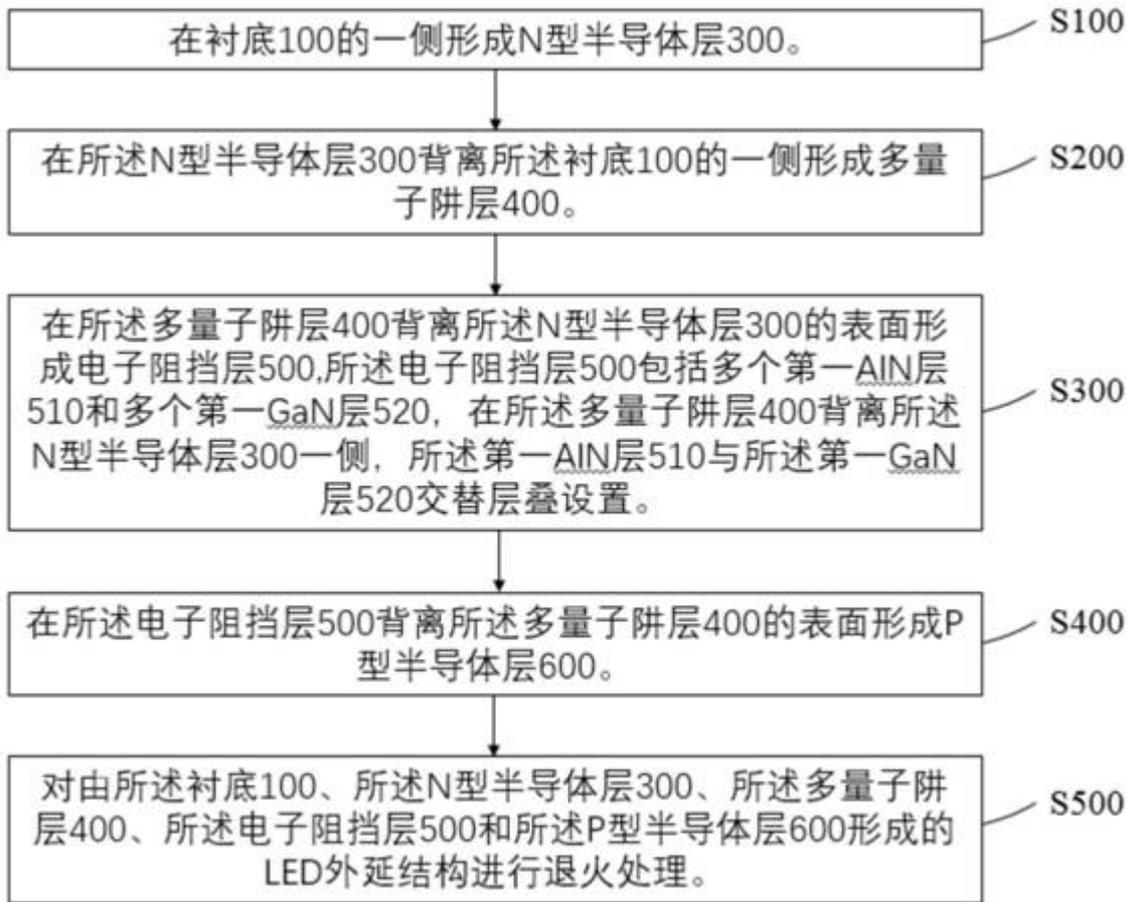


图1

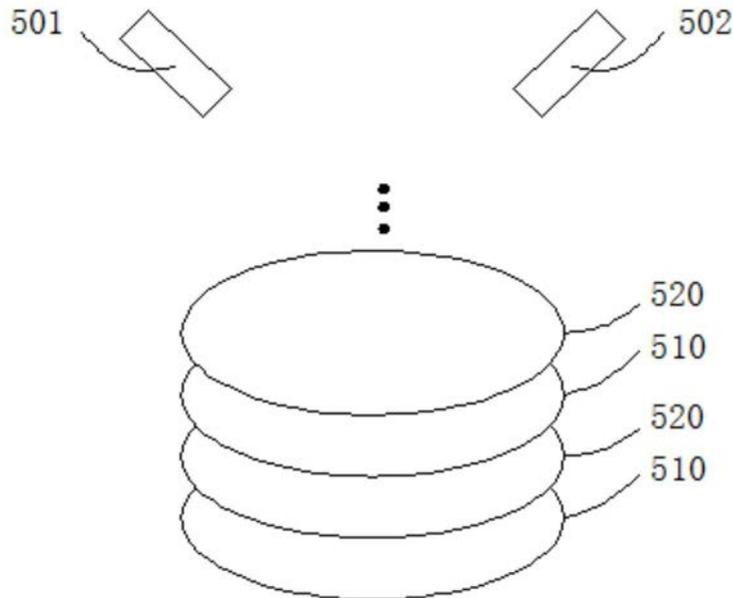


图2

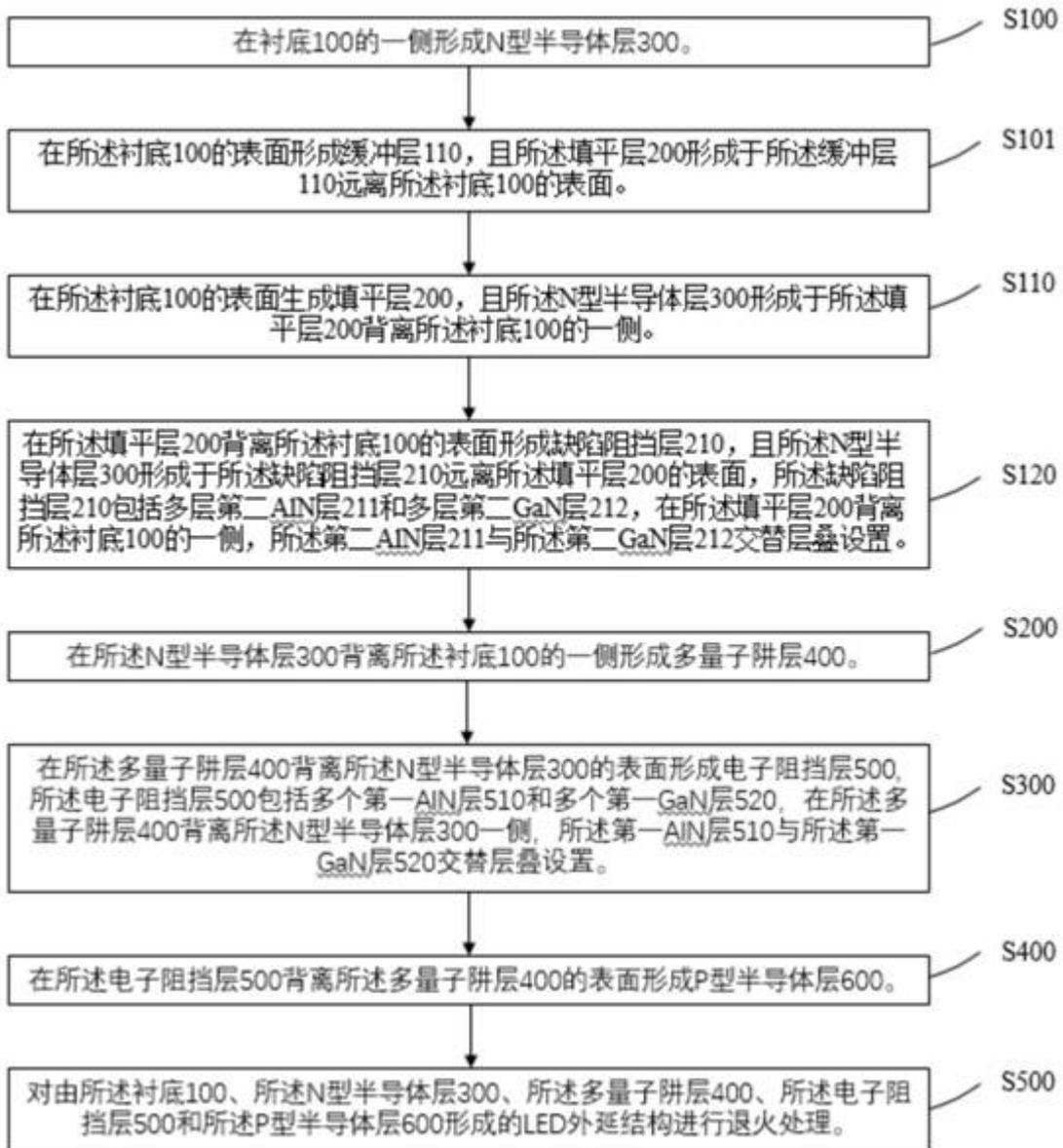


图3

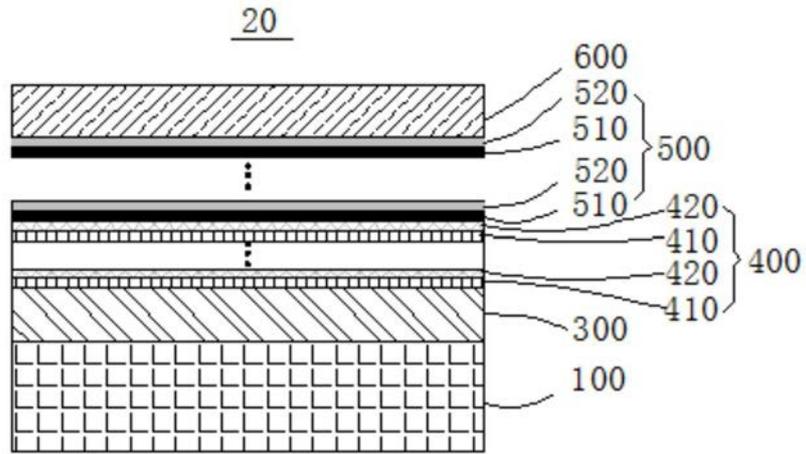


图4

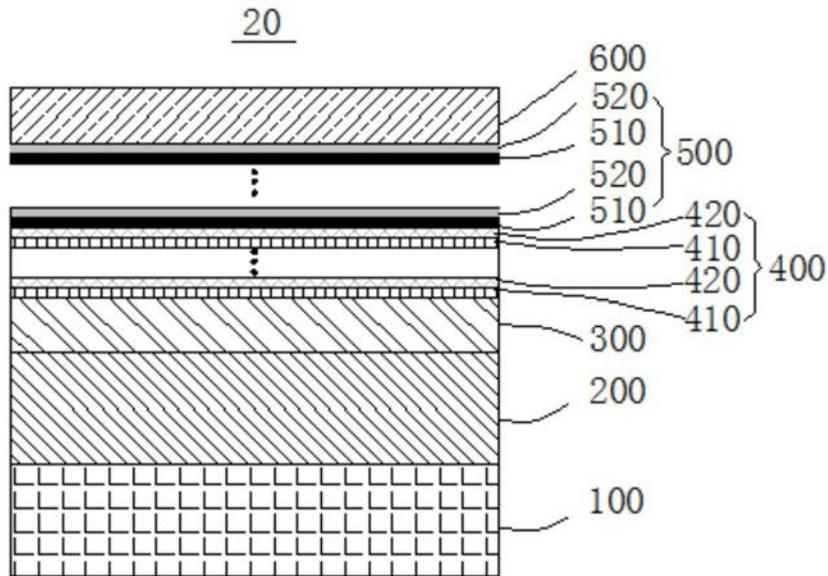


图5

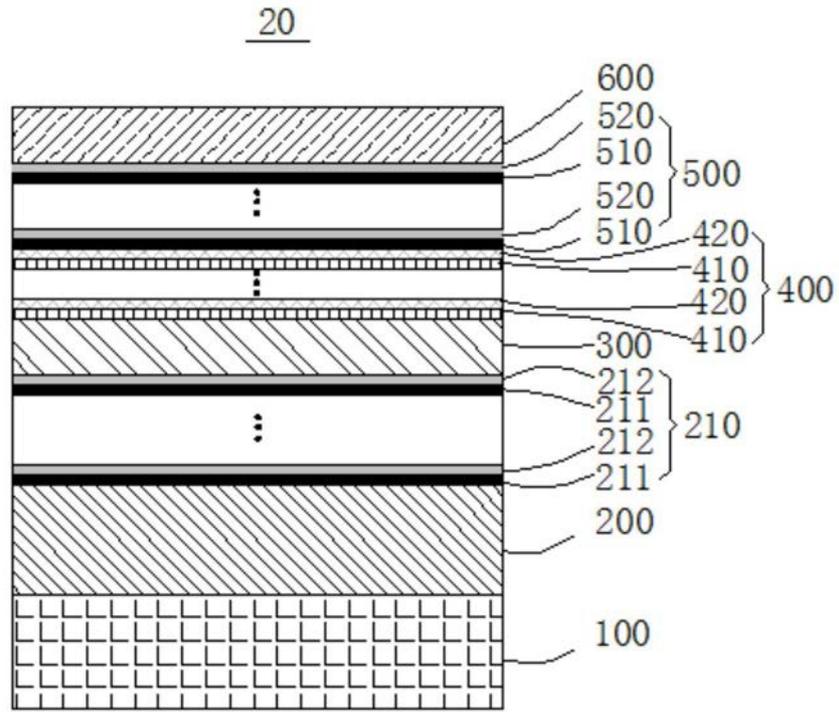


图6

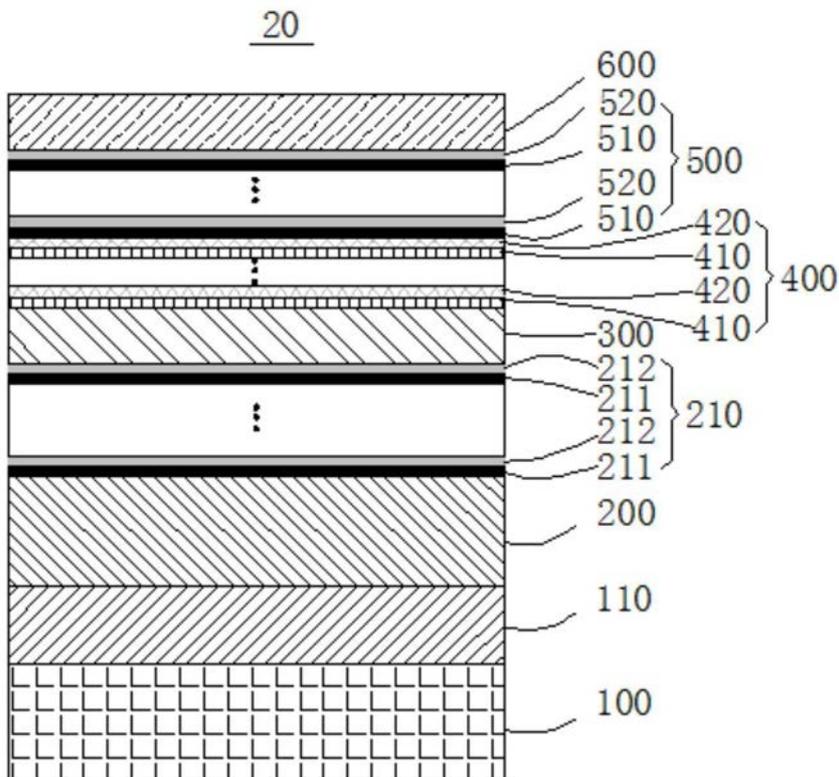


图7