



# (12) 发明专利

(10) 授权公告号 CN 114758688 B

(45) 授权公告日 2023. 08. 18

(21) 申请号 202210198020.9

G11C 7/18 (2006.01)

(22) 申请日 2022.03.01

G11C 8/14 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 114758688 A

(56) 对比文件

CN 101866687 A, 2010.10.20

CN 101217059 A, 2008.07.09

US 2003128620 A1, 2003.07.10

CN 1396602 A, 2003.02.12

(43) 申请公布日 2022.07.15

(73) 专利权人 厦门智多晶科技有限公司

地址 361024 福建省厦门市集美区软件园

三期诚毅北大街56号9层902-2单元

审查员 夏玉倩

(72) 发明人 蔡旭伟 王黎明 韦焱 程显志

贾红

(74) 专利代理机构 西安嘉思特知识产权代理事

务所(普通合伙) 61230

专利代理师 刘长春

(51) Int. Cl.

G11C 7/12 (2006.01)

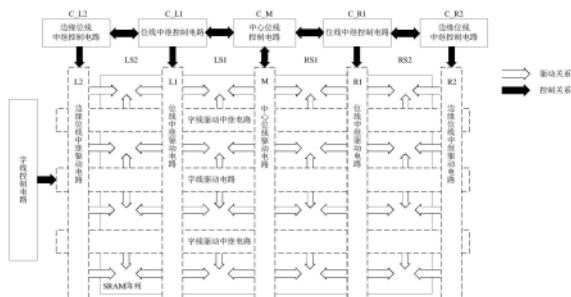
权利要求书3页 说明书11页 附图2页

## (54) 发明名称

一种基于中继电路的FPGA SRAM配置电路架构及FPGA

## (57) 摘要

本发明提供了一种基于中继电路的FPGA SRAM配置电路架构及FPGA,包括字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路,位线驱动电路将驱动的SRAM阵列分割,减小了每一段驱动电路的负载,形成多个SRAM阵列区域,通过位线控制电路以及字线控制电路相互配合以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动,同时对于一段分割后的位线而言,它由两侧的驱动电路共同驱动,相较于现有技术的单侧驱动,驱动能力更强。因此本发明可以有效提升SRAM阵列写入成功率,提高产品可靠性;同时在SRAM阵列扩大后,容易直接复用扩展,无需再考虑驱动能力问题,可以节约设计验证成本。



1. 一种基于中继电路的FPGA SRAM配置电路架构,其特征在于,包括:字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路;所述字线驱动电路包括位于中心位置的中心字线驱动电路以及多个字线中继驱动电路,所述位线控制电路包括位于中心位置的中心位线控制电路、多个位线中继控制电路以及位于两侧边缘的边缘位线中继控制电路;所述位线驱动电路包括位于中心位置的中心位线驱动电路、多个位线中继驱动电路以及两侧边缘的边缘位线中继驱动电路;

其中,所述中心位线控制电路与两侧的位线中继控制电路相连,每个所述位线中继驱动电路与两侧的位线中继驱动电路连接,每个所述位线中继控制电路对应控制一个所述位线中继驱动电路,所述中心位线控制电路对应控制所述中心位线驱动电路,所述边缘位线中继控制电路对应控制同侧的所述边缘位线中继驱动电路;每个所述位线中继驱动电路将SRAM阵列分割,形成多个SRAM阵列区域,以实现每个SRAM阵列区域的位线由两侧的所述位线驱动电路共同驱动。

2. 根据权利要求1所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,基于中继电路的FPGA SRAM配置电路架构的工作状态包括:空闲状态、写操作状态以及读操作状态;

在所述位线中继驱动电路两侧中,靠近所述中心位线驱动电路方向的一侧为读一侧,远离所述中心位线驱动电路方向的一侧为写一侧;所述中心位线驱动电路两侧为写一侧,所述边缘位线中继驱动电路的一侧为读一侧。

3. 根据权利要求1所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,

所述中心位线控制电路,用于向所述中心位线驱动电路发送位线控制信号以及向相邻的所述位线中继控制电路传递位线控制信号直至所述边缘位线中继控制电路,并接收相邻的所述位线中继控制电路返回的位线控制信号;

所述中心位线驱动电路,用于根据位线控制信号产生驱动信号,并将所述驱动信号向两侧的所述位线中继驱动电路传递直至所述边缘位线中继驱动电路,以增强驱动信号驱动位线;

所述字线控制电路,用于产生字线控制信号发送至所述中心字线驱动电路;

所述中心字线驱动电路,用于根据所述字线控制信号控制字线状态;

所述字线中继驱动电路,用于检测所述中心字线驱动电路驱动的字线状态,并根据字线控制信号控制自身的字线状态。

4. 根据权利要求3所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,所述位线控制信号包括:预充电控制信号,驱动使能信号,读操作标志信号以及操作访问地址标志信号;

所述字线控制信号包括:字线驱动使能信号以及读操作标志信号;

其中,所述位线中继驱动电路、所述中心位线驱动电路两侧可由不同的预充电控制信号、驱动使能信号分别控制。

5. 根据权利要求4所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,

所述中心位线控制电路,进一步用于向自身对应控制的所述中心位线驱动电路发送预充电控制信号;

所述中心位线驱动电路,进一步用于控制位线维持在预充电状态,等待写操作或者读

操作,并向通过两侧的所述位线中继驱动电路传递预充电控制信号直至所述边缘位线中继驱动电路;

每个所述位线中继驱动电路,进一步用于控制位线维持在预充电状态;

所述字线控制电路,进一步用于根据所述预充电控制信号,将自身字线驱动使能信号设为无效,并发送至所述字线驱动电路以控制所述字线驱动电路关闭其向上、向下的驱动,使其字线保持关闭状态;

所述字线中继驱动电路,用于检测所述字线驱动电路的字线是否打开,当未打开时则关闭远离所述字线驱动电路方向的驱动,使后续的字线保持关闭,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态。

6. 根据权利要求4所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,

所述中心位线控制电路,进一步用于接收写操作请求,将自身的读操作标志信号设置为无效,向所述中心位线驱动电路串行移入需要写入的数据,以及将读操作标志信号向写一侧传递直至到达所述边缘位线中继控制电路;

所述字线控制电路,进一步用于接收写操作请求,设定需要写入的地址,将读操作标志信号设置为无效,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态。

7. 根据权利要求4所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,当基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态时,

所述中心位线控制电路,进一步用于向相邻的所述位线中继控制电路以及所述中心位线驱动电路发送预充电控制信号,以使所述位线中继驱动电路关闭预充电信号控制两侧位线退出预充电状态;

所述中心位线控制电路,进一步用于将驱动使能信号发送至所述中心位线驱动电路,并通过所述位线中继控制电路将所述驱动使能信号依次传递至所述边缘位线中继驱动电路;

所述中心位线驱动电路,进一步用于将需要写入的数据向两侧的位线驱动;

所述位线中继驱动电路,进一步用于采集已经驱动的位线信号,打开读一侧位线驱动,使位线信号增强,打开写一侧位线驱动,将位线信号传递出去直至所述边缘位线中继驱动电路;

所述字线控制电路,进一步用于通过向字线驱动电路传递字线驱动使能控制信号以控制字线驱动电路适时打开或关闭字线;

所述字线中继驱动电路,进一步用于检测所述字线驱动电路的字线状态,如果是打开,则打开远离所述字线驱动电路一侧的字线,如果是关闭,则关闭远离所述中心位线驱动电路一侧的字线;

所述中心位线控制电路,进一步用于向所述中心位线驱动电路发送关闭驱动使能控制信号以及预充电信号,通过控制所述位线驱动电路关闭驱动的位线使位线处于预充电状态,使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态,完成写操作。

8. 根据权利要求5所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,

所述字线控制电路,进一步用于接收读操作请求,设定所述字线驱动电路需要读取的地址信息以及每个SRAM阵列区域的操作访问地址标志信号,并将所述操作访问地址标志信

号发送至所述中心位线控制电路；

所述中心位线控制电路,进一步用于接收读操作请求,将自身的读操作标志信号设置为有效,并且将读操作标志信号向写一侧传递直至到达所述边缘位线中继控制电路以及将所述操作访问地址标志信号向两侧传递直至到达所述边缘位线中继控制电路；

所述字线控制电路,进一步用于将读操作标志信号设置为有效,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态。

9. 根据权利要求8所述的基于中继电路的FPGA SRAM配置电路架构,其特征在于,当基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态时,

所述位线中继控制电路,进一步用于根据访问地址标志信号判断当前访问位置是否位于读一侧,如果是则通过发送关闭预充电信号控制直接相连的所述位线中继驱动电路的读一侧位线退出预充电状态；

所述中心位线控制电路,进一步用于根据访问地址标志信号判断当前访问位置是否位于写一侧,如果是则所述中心位线驱动电路控制访问地址标志信号指示一侧的位线退出预充电状态,并准备采集控制访问地址标志信号指示一侧的位线信号；

所述字线控制电路,进一步用于向所述字线驱动电路发送字线驱动使能信号及设定所述字线驱动电路为有效的读操作标志状态,使所述字线驱动电路将根据地址设定的字线缓慢打开；

所述字线中继驱动电路,进一步用于检测到字线打开后,打开远离所述中心字线驱动电路一侧的字线；

所述字线控制电路,进一步用于向所属字线驱动电路关闭字线驱动使能信号,关闭打开的字线；

所述字线中继驱动电路,进一步用于检测到字线关闭后,关闭远离所述中心字线驱动电路一侧的字线,采集到设定地址的数据；

所述位线控制电路,进一步用于当所述读操作请求所读取数据的区域不与所述中心位线驱动电路相邻时,则与所述中心位线驱动电路相邻的所述位线中继驱动电路执行关闭位线预充电,并在传递设定地址的数据之后向所述中心位线驱动电路发送及预充电信号,如果相邻则直接发送关闭驱动使能控制信号以及预充电信号,通过控制所述位线驱动电路关闭驱动的位线,使位线处于预充电状态,使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态,完成读操作。

10. 一种FPGA,其特征在于,包括权利要求1至9任一项所述的基于中继电路的FPGA SRAM配置电路架构。

## 一种基于中继电路的FPGA SRAM配置电路架构及FPGA

### 技术领域

[0001] 本发明属于FPGA技术领域,具体涉及一种基于中继电路的FPGA SRAM配置电路架构及FPGA。

### 背景技术

[0002] FPGA是集成电路领域重要的器件,其通过接收一组特定的配置数据进行功能配置,不同的配置数据可使FPGA实现不同的功能。配置数据存储于FPGA的SRAM阵列中,因此确保SRAM阵列写入成功对FPGA实现各功能至关重要。

[0003] FPGA SRAM配置电路架构及其优秀的性能是SRAM阵列写入成功的必要条件。SRAM写操作需要将SRAM字线打开,同时位线驱动控制位线设为需要写入的数据值。SRAM读操作是用于校验SRAM是否写入成功的基本方式,SRAM读操作需要将SRAM字线打开,同时保证位线不被位线驱动电路驱动,SRAM上存储的数据将通过位线返回。

[0004] 参考图1,SRAM组成方式一般为二维阵列,位线驱动电路、字线驱动电路分别分布于SRAM阵列的字线、位线中心,分别向两侧提供驱动。在参考图2,在应用于大规模SRAM阵列下,电路中位线( $data[j]$ 、 $data_n[j]$ )长度很长,因此寄生电阻、寄生电容较大。在写入远离位线驱动电路的地址(例如图1中地址 $2^m-1$ 或地址0)时,较大的寄生电阻会导致写入时产生较大的压降。同时,由于一根字线上挂有大量的SRAM单元,即使每个SRAM单元的漏电流非常小,但累加在一起后也会影响写入。在制造过程中,晶体管性能与设计目标会有部分偏差,有概率会产生较大的偏差,在大规模SRAM阵列下,这种较大的偏差更容易显现。字线( $addr[i]$ )长度很长也会存在相似的问题。由于以上因素,SRAM单元上接受到的电压无法满足正确写入的要求,SRAM无法正确写入,最终影响FPGA的功能。

### 发明内容

[0005] 为了解决现有技术中存在的上述问题,本发明提供了一种基于中继电路的FPGA SRAM配置电路架构及FPGA。本发明要解决的技术问题通过以下技术方案实现:

[0006] 本发明提供了一种基于中继电路的FPGA SRAM配置电路架构包括:字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路;字线驱动电路包括位于中心位置的中心字线驱动电路以及多个字线中继驱动电路,位线控制电路包括位于中心位置的位线控制电路、多个位线中继控制电路以及位于两侧边缘的边缘位线中继控制电路;位线驱动电路包括位于中心位置的位线驱动电路、多个位线中继驱动电路以及两侧边缘的边缘位线中继驱动电路;

[0007] 其中,中心位线控制电路与两侧的位线中继控制电路相连,每个位线中继驱动电路与两侧的位线中继驱动电路连接,每个位线中继控制电路对应控制一个位线中继驱动电路,中心位线控制电路对应控制中心位线驱动电路,边缘位线中继控制电路对应控制同侧的边缘位线中继驱动电路;每个位线中继驱动电路将SRAM阵列分割,形成多个SRAM阵列区域,以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动。

- [0008] 可选的,基于中继电路的FPGA SRAM配置电路架构的工作状态包括:空闲状态、写操作状态以及读操作状态;
- [0009] 位线中继驱动电路两侧中,靠近中心位线驱动电路方向的一侧为读一侧,远离中心位线驱动电路方向的一侧为写一侧;中心位线驱动电路两侧为写一侧,边缘位线中继驱动电路的一侧为读一侧。
- [0010] 可选的,
- [0011] 中心位线控制电路,用于向中心位线驱动电路发送位线控制信号以及向相邻的位线中继控制电路传递位线控制信号直至边缘位线中继控制电路,并接收相邻的位线中继控制电路返回的位线控制信号;
- [0012] 中心位线驱动电路,用于根据位线控制信号产生驱动信号,并将驱动信号向两侧的位线中继驱动电路传递直至边缘位线中继驱动电路,以增强驱动信号驱动位线;
- [0013] 字线控制电路,用于产生字线控制信号发送至中心字线驱动电路;
- [0014] 中心字线驱动电路,用于根据字线控制信号控制字线状态;
- [0015] 字线驱动中继电路,用于检测中心字线驱动电路驱动的字线状态,并根据字线控制信号控制自身的字线状态。
- [0016] 可选的,位线控制信号包括:预充电控制信号,驱动使能信号,读操作标志信号以及操作访问地址标志信号;
- [0017] 字线控制信号包括:字线驱动使能信号以及读操作标志信号;
- [0018] 其中,位线中继驱动电路、中心位线驱动电路两侧可由不同的预充电控制信号、驱动使能信号分别控制。
- [0019] 可选的,
- [0020] 中心位线控制电路,进一步用于向自身对应控制的中心位线驱动电路发送预充电控制信号;
- [0021] 中心位线驱动电路,进一步用于控制位线维持在预充电状态,等待写操作或者读操作,并向通过两侧位线中继驱动电路传递预充电控制信号直至边缘位线中继驱动电路;
- [0022] 每个位线中继驱动电路,进一步用于控制位线维持在预充电状态;
- [0023] 字线控制电路,进一步用于根据预充电控制信号,将自身字线驱动使能信号设为无效,并发送至字线驱动电路控制字线驱动电路关闭其向上、向下的驱动,使其字线保持关闭状态;
- [0024] 字线中继驱动电路,用于检测字线驱动电路的字线是否打开,当未打开时则关闭远离字线驱动电路方向的驱动,使后续的字线保持关闭,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态。
- [0025] 可选的,中心位线控制电路,进一步用于接收写操作请求,将自身的读操作标志信号设置为无效,向中心位线驱动电路串行移入需要写入的数据,以及将读操作标志信号向写一侧传递直至到达边缘位线中继控制电路;
- [0026] 字线控制电路,进一步用于接收写操作请求,设定需要写入的地址,将读操作标志信号设置为无效,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态。
- [0027] 可选的,当基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态

时，

[0028] 中心位线控制电路，进一步用于向相邻的位线中继控制电路以及中心位线驱动电路发送预充电控制信号，以使位线中继驱动电路关闭预充电信号控制两侧位线退出预充电状态；

[0029] 中心位线控制电路，进一步用于将驱动使能信号发送至中心位线驱动电路，并通过位线中继控制电路将驱动使能信号依次传递至边缘位线中继驱动电路；

[0030] 中心位线驱动电路，进一步用于将需要写入的数据向两侧的位线驱动；

[0031] 位线中继驱动电路，进一步用于采集已经驱动的位线信号，打开读一侧位线驱动，使位线信号增强，打开写一侧位线驱动，将位线信号传递出去直至边缘位线中继驱动电路；

[0032] 字线控制电路，进一步用于通过向字线驱动电路传递字线驱动使能控制信号以控制字线驱动电路适时打开或关闭字线；

[0033] 字线中继驱动电路，进一步用于检测字线驱动电路的字线状态，如果是打开，则打开远离字线驱动电路侧的字线，如果是关闭，则关闭远离中心位线驱动电路一侧字线；

[0034] 中心位线控制电路，进一步用于向中心位线驱动电路发送关闭驱动使能控制信号以及预充电信号，通过传递控制位线驱动电路关闭驱动的位线使位线处于预充电状态，使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态，完成写操作。

[0035] 可选的，字线控制电路，进一步用于接收读操作请求，设定字线驱动电路需要读取的地址信息以及每个SRAM阵列区域的操作访问地址标志信号，并将操作访问地址标志信号发送至中心位线控制电路；

[0036] 中心位线控制电路，进一步用于接收读操作请求，将自身的读操作标志信号设置为有效，并且将读操作标志信号以向写一侧传递直至到达边缘位线中继控制电路以及将操作访问地址标志信号向两侧传递直至到达边缘位线中继控制电路；

[0037] 字线控制电路，进一步用于将读操作标志信号设置为有效，以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态。

[0038] 可选的，当基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态时，

[0039] 位线中继控制电路，进一步用于根据访问地址标志信号判断当前访问位置是否位于读一侧，如果是则通过发送关闭预充电信号控制直接相连的位线中继驱动电路的读一侧位线退出预充电状态；

[0040] 中心位线控制电路，进一步用于根据访问地址标志信号判断当前访问位置是否位于写一侧，如果是则中心位线驱动电路控制访问地址标志信号指示一侧的位线退出预充电状态，并准备采集控制访问地址标志信号指示一侧的位线信号；

[0041] 字线控制电路，进一步用于向字线驱动电路发送字线驱动使能信号及设定为有效的读操作标志状态，使其打开根据地址设定的字线缓慢打开；

[0042] 字线中继驱动电路，进一步用于检测到字线打开后，打开远离字线中心驱动电路侧的字线；

[0043] 字线控制电路，进一步用于向字线驱动电路关闭字线驱动使能信号，关闭打开的字线；

[0044] 字线中继驱动电路，进一步用于检测到字线关闭后，关闭远离字线中心驱动电路

侧的字线,采集到设定地址的数据;

[0045] 位线控制电路,进一步用于当读操作请求所读取数据的区域不与中心位线驱动电路相邻时,则执行与中心位线驱动电路相邻的位线中继驱动电路执行关闭位线预充电,传递设定地址的数据过程之后向中心位线驱动电路发送及预充电信号,如果相邻则直接发送关闭驱动使能控制信号以及预充电信号,通过传递控制位线驱动电路关闭驱动的位线,使位线处于预充电状态,使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态,完成读操作。

[0046] 第二方面,本发明提供一种FPGA,包括第一方面的基于中继电路的FPGA SRAM配置电路架构。

[0047] 本发明提供一种基于中继电路的FPGA SRAM配置电路架构及FPGA,包括字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路,位线驱动电路将驱动的SRAM阵列分割,减小了每一段驱动电路的负载,形成多个SRAM阵列区域,通过位线控制电路以及字线控制电路相互配合以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动,同时对于一段分割后的位线而言,它由两侧的驱动电路共同驱动,相较于现有技术的单侧驱动,驱动能力更强。因此本发明可以有效提升SRAM阵列写入成功率,提高产品可靠性;同时在SRAM阵列扩大后,容易直接复用扩展,无需再考虑驱动能力问题,可以节约设计验证成本。

[0048] 以下将结合附图及实施例对本发明做进一步详细说明。

## 附图说明

[0049] 图1是现有技术中SRAM阵列及控制、驱动电路架构简化图;

[0050] 图2是现有技术中SRAM阵列及控制、驱动电路架构图;

[0051] 图3是本发明实施例提供的SRAM阵列及控制、驱动电路架构简化图。

## 具体实施方式

[0052] 下面结合具体实施例对本发明做进一步详细的描述,但本发明的实施方式不限于此。

[0053] 参考图3,本发明提供一种基于中继电路的FPGA SRAM配置电路架构包括:字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路;字线驱动电路包括位于中心位置的中心字线驱动电路以及多个字线中继驱动电路,位线控制电路包括位于中心位置的位线控制电路、多个位线中继控制电路以及位于两侧边缘的边缘位线中继控制电路;位线驱动电路包括位于中心位置的位线驱动电路、多个位线中继驱动电路以及两侧边缘的边缘位线中继驱动电路;

[0054] 其中,中心位线控制电路与两侧的位线中继控制电路相连,每个位线中继驱动电路与两侧的位线中继驱动电路连接,每个位线中继控制电路对应控制一个位线中继驱动电路,中心位线控制电路对应控制中心位线驱动电路,边缘位线中继控制电路对应控制同侧的边缘位线中继驱动电路;每个位线中继驱动电路将SRAM阵列分割,形成多个SRAM阵列区域,以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动。

[0055] 参考图3,图3中填充为黑色的箭头表示两者控制信号传递关系,填充为白色的箭头表示驱动传播方向。字线驱动电路控制字线,即地址线,字线纵向传播,位线驱动电路控



制位线,位线横向传播。L2、L1、M、R1、R2为各位线驱动电路代号,C\_L2、C\_L1、C\_M、C\_R1、C\_R2为各位线控制电路代号,LS2、LS1、RS1、RS2为被位线驱动电路分割的SRAM阵列区域。

[0056] 值得说明的是,本发明图3只是展示部分位线中继控制电路、部分位线中继驱动电路以及部分字线驱动中继电路。本发明不限定位线中继控制电路、部分位线中继驱动电路以及部分字线驱动中继电路的个数,对于较大规模的SRAM阵列,在图3的基础上只要向两侧添加C\_L3、C\_L4……,C\_R3、C\_R4、L3、L4等,向上、下添加字线驱动中继电路即可很方便扩展至更大规模SRAM阵列使用。

[0057] 其中,基于中继电路的FPGA SRAM配置电路架构的工作状态包括:空闲状态、写操作状态以及读操作状态;

[0058] 位线中继驱动电路两侧中,靠近中心位线驱动电路方向的一侧为读一侧,远离中心位线驱动电路方向的一侧为写一侧;中心位线驱动电路两侧为写一侧,边缘位线中继驱动电路的一侧为读一侧。

[0059] 参考图3,位线中继驱动电路向左右两侧提供位线驱动,靠近中心位线驱动电路的方向称为读一侧,远离中心位线驱动电路的方向称为写一侧;边缘位线中继驱动电路向一侧提供位线驱动,其仅有读一侧。中心位线驱动电路向两侧提供位线驱动,两侧均为写一侧。例如,LS1是L1读一侧的SRAM区域,LS2是L1写一侧的区域,RS2是R2的读一侧。

[0060] 值得说明的是:

[0061] 本发明的写操作基本工作方式原理如下:

[0062] 中心位线驱动电路向两侧驱动位线,位线中继驱动电路灵敏放大器选择放大其读一侧位线信号,并采集此数据,将此数据向读一侧驱动,即增强原有驱动,同时向写一侧驱动,将信号传递至下一级位线中继驱动电路或边缘位线中继驱动电路。直到边缘位线中继驱动电路开始驱动后,字线控制电路开始驱动字线,打开需要写入的字线,将数据写入SRAM中。写入完成后,字线控制电路关闭字线驱动。然后,位线驱动电路关闭位线驱动。

[0063] 本发明的读操作基本工作方式原理如下:

[0064] 首先关闭需要读取地址字线所在区域的位线预充电,再打开需要读取地址的字线,位线中继控制电路根据操作访问地址标志信号判断字线打开的位置是否在对驱动电路控制下,且是位于写一侧的,如果是,那么控制其对应驱动电路中灵敏放大器放大写一侧位线信号,并采集其数据,采集完成后向读一侧的驱动电路打开驱动,将回读到的数据向中心依次传递。最终中心驱动电路采集得到需要回读的SRAM数据信息,并串行向中心控制电路返回。

[0065] 本发明提供了一种基于中继电路的FPGA SRAM配置电路架构,包括字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路,位线驱动电路将驱动的SRAM阵列分割,减小了每一段驱动电路的负载,形成多个SRAM阵列区域,通过位线控制电路以及字线控制电路相互配合以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动,同时对于一段分割后的位线而言,它由两侧的驱动电路共同驱动,相较于现有技术的单侧驱动,驱动能力更强。因此本发明可以有效提升SRAM阵列写入成功率,提高产品可靠性;同时在SRAM阵列扩大后,容易直接复用扩展,无需再考虑驱动能力问题,可以节约设计验证成本。

[0066] 在一种实施例中,中心位线控制电路,用于向中心位线驱动电路发送位线控制信号以及向相邻的位线中继控制电路传递位线控制信号直至边缘位线中继控制电路,并接收

相邻的位线中继控制电路返回的位线控制信号；

[0067] 中心位线驱动电路,用于根据位线控制信号产生驱动信号,并将驱动信号向两侧的位线中继驱动电路传递直至边缘位线中继驱动电路,以增强驱动信号驱动位线；

[0068] 字线控制电路,用于产生字线控制信号发送至中心字线驱动电路；

[0069] 中心字线驱动电路,用于根据字线控制信号控制字线状态；

[0070] 字线驱动中继电路,用于检测中心字线驱动电路驱动的字线状态,并根据字线控制信号控制自身的字线状态。

[0071] 在一种实施例中,位线控制信号包括:预充电控制信号,驱动使能信号,读操作标志信号以及操作访问地址标志信号；

[0072] 字线控制信号包括:字线驱动使能信号以及读操作标志信号。

[0073] 其中,位线中继驱动电路、中心位线驱动电路两侧可由不同的预充电控制信号、驱动使能信号分别控制,即位线中继驱动电路、中心位线驱动电路两侧工作状态可不相同。

[0074] 值得说明的是:位线控制信号包含:预充电控制信号,驱动使能信号,读操作标志信号,操作访问地址标志信号(读操作时为位线驱动电路指示当前访问地址是否在其写一侧或读一侧)等。字线控制信号包含:字线驱动使能信号,读操作标志信号等。

[0075] 在一种实施例中,中心位线控制电路,进一步用于向自身对应控制的中心位线驱动电路发送预充电控制信号；

[0076] 中心位线驱动电路,进一步用于控制位线维持在预充电状态,等待写操作或者读操作,并向通过两侧位线中继驱动电路传递预充电控制信号直至边缘位线中继驱动电路；

[0077] 每个位线中继驱动电路,用于控制位线维持在预充电状态；

[0078] 字线控制电路,进一步用于根据预充电控制信号,将自身字线驱动使能信号设为无效,并发送至字线驱动电路控制字线驱动电路关闭其向上、向下的驱动,使其字线保持关闭状态；

[0079] 字线中继驱动电路,用于检测字线驱动电路的字线是否打开,当未打开时则关闭远离字线驱动电路方向的驱动,使后续的字线保持关闭,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态。

[0080] 以图3为例说明本发明配置电路架构的工作状态处于空闲状态时,电路架构内部的控制过程。

[0081] 值得说明的是,本发明的空闲状态,即可称为预充电状态：

[0082] 首先字线控制电路控制字线驱动电路,关闭其向上、向下的驱动,使字线保持关闭状态。字线驱动中继电路未检测到字线打开,则关闭其远离字线驱动电路方向的驱动,使中继后的字线保持关闭。C<sub>M</sub>控制M,使其控制的位线维持在预充电状态,等待进行写操作或读操作；同时C<sub>M</sub>向相邻的C<sub>L1</sub>、C<sub>R1</sub>传递控制信号,表明当前处于空闲状态。C<sub>L1</sub>、C<sub>R1</sub>分别向L1、R1发出控制信号,使其控制的位线维持在预充电状态；同时向C<sub>L2</sub>、C<sub>R2</sub>传递控制信号,表明当前处于空闲状态。C<sub>L2</sub>、C<sub>R2</sub>分别向L2、R2发出控制信号,使其控制的位线维持在预充电状态。

[0083] 在一种实施例中,中心位线控制电路,进一步用于接收写操作请求,将自身的读操作标志信号设置为无效,设定位线中继驱动电路需要写入的地址位,向中心位线驱动电路串行移入需要写入的数据,以及将读操作标志信号向写一侧传递直至到达边缘位线中继控

制电路；

[0084] 字线控制电路,进一步用于接收写操作请求,设定需要写入的地址,将读操作标志信号设置为无效,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态。

[0085] 当基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态时,

[0086] 中心位线控制电路,进一步用于向相邻的位线中继控制电路以及中心位线驱动电路发送预充电控制信号,以使位线中继驱动电路关闭预充电信号控制两侧位线退出预充电状态;

[0087] 中心位线控制电路,进一步用于将驱动使能信号发送至中心位线驱动电路,并通过位线中继控制电路将驱动使能信号依次传递至边缘位线中继驱动电路;

[0088] 位线中继驱动电路,进一步用于采集已经驱动的位线信号,打开读一侧位线驱动,使位线信号增强,打开写一侧位线驱动,将位线信号传递出去直至边缘位线中继驱动电路;

[0089] 字线控制电路,进一步用于通过向字线驱动电路传递字线驱动使能控制信号以控制字线驱动电路适时打开或关闭字线;

[0090] 字线中继驱动电路,进一步用于检测字线驱动电路的字线状态,如果是打开,则打开远离字线驱动电路侧的字线,如果是关闭,则关闭远离中心位线驱动电路一侧字线;

[0091] 中心位线控制电路,进一步用于向中心位线驱动电路发送关闭驱动使能控制信号以及预充电信号,通过传递控制位线驱动电路关闭驱动的位线使位线处于预充电状态,使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态,完成写操作。

[0092] 参考图3,如果需要执行写操作,首先需要基于中继电路的FPGA SRAM配置电路架构的工作状态处于写操作状态。其过程如下:

[0093] ①C<sub>M</sub>向M串行移入需要写入的数据;

[0094] ②字线控制电路向位字线驱动电路设定需要写入的地址信息;

[0095] ③接收到写操作请求后,C<sub>M</sub>将读操作标志信号设为无效,字线控制电路将读操作标志信号设为无效,C<sub>M</sub>将读操作标志信号向两侧传递至C<sub>L1</sub>、C<sub>R1</sub>,C<sub>L1</sub>、C<sub>R1</sub>将读操作标志信号向各自写一侧传递,传递至C<sub>L2</sub>、C<sub>R2</sub>,进入写操作状态;

[0096] ④C<sub>M</sub>向M发送关闭预充电控制信号关闭LS1、RS1侧预充电,同时,向相邻的C<sub>L1</sub>、C<sub>R1</sub>传递关闭预充电信号,使LS1、RS1位线退出预充电状态;

[0097] ⑤C<sub>M</sub>向M发送驱动使能信号,打开两侧驱动电路,使中心位线驱动电路将准备好的数据向两侧(LS1、RS1)驱动,同时,向相邻的C<sub>L1</sub>、C<sub>R1</sub>传递驱动使能信号;

[0098] ⑥C<sub>L1</sub>、C<sub>R1</sub>接收到驱动使能信号后,分别向L1、R1发出驱动使能控制信号,使用灵敏放大器放大、采集LS1、RS1位线信号,并打开各自读一侧驱动电路向LS1、RS1提供驱动,增强LS1、RS1位线上原有的信号;

[0099] ⑦C<sub>L1</sub>、C<sub>R1</sub>接收到驱动使能信号后还产生用于写一侧的关闭预充电信号,分别向L1、R1发送此关闭预充电信号关闭LS2、RS2侧预充电,同时向远离C<sub>M</sub>的C<sub>L2</sub>、C<sub>R2</sub>传递新产生的关闭预充电信号,使LS2、RS2位线退出预充电状态;

[0100] ⑧C<sub>L1</sub>、C<sub>R1</sub>接收到驱动使能信号后还产生用于写一侧的驱动使能信号,分别向L1、R1发送此驱动使能信号,打开各自写一侧驱动电路,将灵敏放大器采集到的数据向LS2、RS2驱动,同时,向相邻的C<sub>L2</sub>、C<sub>R2</sub>传递驱动使能信号;

[0101] ⑨C\_L2、C\_R2接收到驱动使能信号后,分别向L2、R2发出驱动使能控制信号,使用灵敏放大器放大、采集LS2、RS2位线信号,并打开各自读一侧驱动电路向LS2、RS2提供驱动,增强LS2、RS2位线上原有的信号;

[0102] 至此,所有SRAM阵列位线信号准备完毕。

[0103] ⑩字线控制电路向字线驱动电路发送控制信号,打开设定的字线,保持其余字线处于关闭状态;

[0104] ⑪字线驱动中继电路检测到字线打开后,打开远离位线驱动电路侧的字线;

[0105] 此时,数据写入完成。

[0106] ⑫字线控制电路向字线驱动电路发送控制信号,关闭打开的字线;

[0107] ⑬字线驱动中继电路检测到字线关闭后,关闭远离字线驱动电路侧的字线;

[0108] ⑭C\_M向M发送关闭驱动使能信号,使M关闭向LS1、RS1侧的位线驱动,同时,发送打开预充电信号,使LS1、RS1预充电,并将控制信号传递至C\_L1、C\_R1;

[0109] ⑮C\_L1、C\_R1接收到C\_M传递的关闭驱动使能信号后,分别关闭向LS1LS2、RS1RS2侧的位线驱动,同时,接收到C\_M传递的打开预充电信号后,分别使LS1 LS2、RS1 RS2预充电,并将控制信号传递至C\_L2、C\_R2;

[0110] ⑯C\_L2、C\_R2分别接收到C\_L1、C\_R1传递的关闭驱动使能信号后,分别关闭向LS2、RS2侧的位线驱动,同时,接收到C\_L1、C\_R1传递的打开预充电信号后,分别使LS2、RS2预充电;

[0111] 至此,恢复至空闲状态,写操作结束。

[0112] 在一种实施例中,

[0113] 字线控制电路,进一步用于接收读操作请求,设定字线驱动电路需要读取的地址信息以及每个SRAM阵列区域的操作访问地址标志信号,并将操作访问地址标志信号发送至中心位线控制电路;

[0114] 中心位线控制电路,进一步用于接收读操作请求,将自身的读操作标志信号设置为有效,并且将读操作标志信号以向写一侧传递直至到达边缘位线中继控制电路以及将操作访问地址标志信号向两侧传递直至到达边缘位线中继控制电路;

[0115] 字线控制电路,进一步用于将读操作标志信号设置为有效,以使基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态。

[0116] 当基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态时,

[0117] 位线中继控制电路,进一步用于根据访问地址标志信号判断当前访问位置是否位于读一侧,如果是则通过发送关闭预充电信号控制直接相连的位线中继驱动电路的读一侧位线退出预充电状态;

[0118] 中心位线控制电路,进一步用于根据访问地址标志信号判断当前访问位置是否位于写一侧,如果是则中心位线驱动电路控制访问地址标志信号指示一侧的位线退出预充电状态,并准备采集控制访问地址标志信号指示一侧的位线信号;

[0119] 字线控制电路,进一步用于向字线驱动电路发送字线驱动使能信号及设定为有效的读操作标志状态,使其打开根据地址设定的字线缓慢打开;

[0120] 字线中继驱动电路,进一步用于检测到字线打开后,打开远离字线中心驱动电路侧的字线;

[0121] 字线控制电路,进一步用于向字线驱动电路关闭字线驱动使能信号,关闭打开的字线;

[0122] 字线中继驱动电路,进一步用于检测到字线关闭后,关闭远离字线中心驱动电路侧的字线,采集到设定地址的数据;

[0123] 位线控制电路,进一步用于当读操作请求所读取数据的区域不与中心位线驱动电路相邻时,则执行与中心位线驱动电路相邻的位线中继驱动电路执行关闭位线预充电,传递设定地址的数据过程之后向中心位线驱动电路发送及预充电信号,如果相邻则直接发送关闭驱动使能控制信号以及预充电信号,通过传递控制位线驱动电路关闭驱动的位线,使位线处于预充电状态,使得基于中继电路的FPGA SRAM配置电路架构的工作状态处于空闲状态,完成读操作。

[0124] 参考图3,如果需要执行读操作,首先需要基于中继电路的FPGA SRAM配置电路架构的工作状态处于读操作状态。其过程如下:

[0125] 以读取LS1 (RS1) 区域SRAM为例,当读取区域与中心位线驱动电路相邻时,读操作步骤:

[0126] ①字线控制电路向字线驱动电路设定需要读取的地址位信息;

[0127] ②接收到读操作请求后,C\_M将读操作标志信号设为有效,C\_M将读操作标志信号向两侧传递至C\_L1、C\_R1,C\_L1、C\_R1将读操作标志信号向各自写一侧传递,传递至C\_L2、C\_R2,字线控制电路将读操作标志信号设为有效,进入读操作状态;

[0128] ③C\_L1 (C\_R1) 根据操作访问地址标志信号判断当前访问位置位于读一侧,因此向L1 (R1) 发送关闭预充电信号;同时C\_M根据操作访问地址标志信号判断当前访问位置位于其写一侧,因此向M发送关闭预充电信号,并准备在地址打开后开启灵敏放大器采集LS1 (RS1) 侧位线信号;

[0129] ④字线控制电路向字线驱动电路发送控制信号,打开设定的字线,保持其余字线处于关闭状态,由于处于读操作状态,控制字线缓慢打开;

[0130] ⑤字线驱动中继电路检测到字线打开后,打开远离字线驱动电路侧的字线,由于处于读操作状态,控制字线缓慢打开,SRAM字线打开后,由于位线没有驱动,SRAM将存储的数据读出至位线上;

[0131] ⑥字线打开完成后,C\_M控制M开启灵敏放大器采集LS1 (RS1) 侧位线信号;

[0132] ⑦字线控制电路向字线驱动电路发送控制信号,关闭打开的字线;

[0133] ⑧字线驱动中继电路检测到字线关闭后,关闭远离字线驱动电路侧的字线;

[0134] 至此,M采集得到设定地址的数据。

[0135] ⑨C\_M向M发送打开预充控制信号,LS1、RS1预充电,并将控制信号传递至C\_L1、C\_R1;

[0136] ⑩接收到C\_M传递的打开预充电信号后,分别使LS1、RS1预充电,并将控制信号传递至C\_L2、C\_R2,由于LS2、RS2处于预充电状态,因此无任何操作;

[0137] 至此,位线回到预充电状态。

[0138] ⑪C\_M从M中串行读出所需地址的数据。

[0139] 至此,读取操作完成。

[0140] 读取LS2 (RS2) 区域SRAM,即当读取区域与中心位线驱动电路不相邻时,读操作步骤:

[0141] ①字线控制电路向字线驱动电路设定需要读取的地址位信息;

[0142] ②接收到读操作请求后,C\_M将读操作标志信号设为有效,C\_M将读操作标志信号向两侧传递至C\_L1、C\_R1,C\_L1、C\_R1将读操作标志信号向各自写一侧传递,传递至C\_L2、C\_R2,字线控制电路将读操作标志信号设为有效,进入读操作状态;

[0143] ③C\_L2 (C\_R2) 根据操作访问地址标志信号判断当前访问位置位于读一侧,因此向L2 (R2) 发送关闭预充电信号;同时C\_L1 (C\_R1) 根据操作访问地址标志信号判断当前访问位置位于其写一侧,因此向L1 (R1) 发送关闭预充电信号,并准备在地址打开后开启灵敏放大器采集LS2 (RS2) 侧位线信号;

[0144] ④字线控制电路向字线驱动电路发送控制信号,打开设定的字线,保持其余字线处于关闭状态,由于处于读操作状态,控制字线缓慢打开;

[0145] ⑤字线驱动中继电路检测到字线打开后,打开远离位线驱动电路侧的字线,由于处于读操作状态,控制位线缓慢打开,SRAM字线打开后,由于位线没有驱动,SRAM将存储的数据读出至位线上;

[0146] ⑥字线打开完成后,C\_L1 (C\_R1) 控制L1 (R1) 开启灵敏放大器采集LS2 (RS2) 侧位线信号;

[0147] ⑦字线控制电路向字线驱动电路发送控制信号,关闭打开的字线;

[0148] ⑧字线驱动中继电路检测到字线关闭后,关闭远离字线驱动电路侧的字线;

[0149] 至此,L1 (R1) 采集得到设定地址的数据。

[0150] 由于读取区域与中心位线驱动电路不相邻,因此需要将数据传递至位线中心位线驱动电路,因此位线中心控制电路的位线中继控制电路需要执行控制位线退出预充电以及传递设定地址的数据过程,如下:

[0151] ⑨C\_L1 (C\_R1) 发送关闭预充电信号,控制L1 (R1) 关闭LS1 (RS1) 位线预充电,同时向C\_M传递关闭预充电信号;

[0152] ⑩C\_M接收到关闭预充电信号后,控制M关闭LS1 (RS1) 位线预充电;

[0153] ⑪C\_L1 (C\_R1) 向L1 (R1) 发送打开驱动使能信号,打开读一侧驱动电路,将步骤⑥灵敏放大器采集的数据向LS1 (RS1) 位线发出;

[0154] ⑫C\_M控制M打开后开启灵敏放大器采集LS1 (RS1) 侧位线信号;

[0155] 至此,M采集得到设定地址的数据。

[0156] ⑬C\_M向M发送打开预充控制信号,LS1、RS1预充电,并将控制信号传递至C\_L1、C\_R1;

[0157] ⑭接收到C\_M传递的打开预充电信号后,分别使LS1、RS1预充电,并将控制信号传递至C\_L2、C\_R2,使LS2、RS2恢复至预充电状态;

[0158] 至此,位线回到预充电状态。

[0159] ⑮C\_M从M中串行读出所需地址的数据。

[0160] 至此,读取操作完成。

[0161] 本发明提供了一种FPGA包括基于中继电路的FPGA SRAM配置电路架构。

[0162] 本发明提供了一种FPGA,包括基于中继电路的FPGA SRAM配置电路架构,该架构包括字线控制电路、字线驱动电路、位线控制电路以及位线驱动电路,位线驱动电路将驱动的SRAM阵列分割,减小了每一段驱动电路的负载,形成多个SRAM阵列区域,通过位线控制电路以及字线控制电路相互配合以实现每个SRAM阵列区域的位线由两侧的位线驱动电路共同驱动,同时对于一段分割后的位线而言,它由两侧的驱动电路共同驱动,相较于现有技术的单侧驱动,驱动能力更强。因此本发明可以有效提升SRAM阵列写入成功率,提高产品可靠性;同时在SRAM阵列扩大后,容易直接复用扩展,无需再考虑驱动能力问题,可以节约设计验证成本。

[0163] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0164] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0165] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0166] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。此外,本领域的技术人员可以将本说明书中描述的不同实施例或示例进行接合和组合。

[0167] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

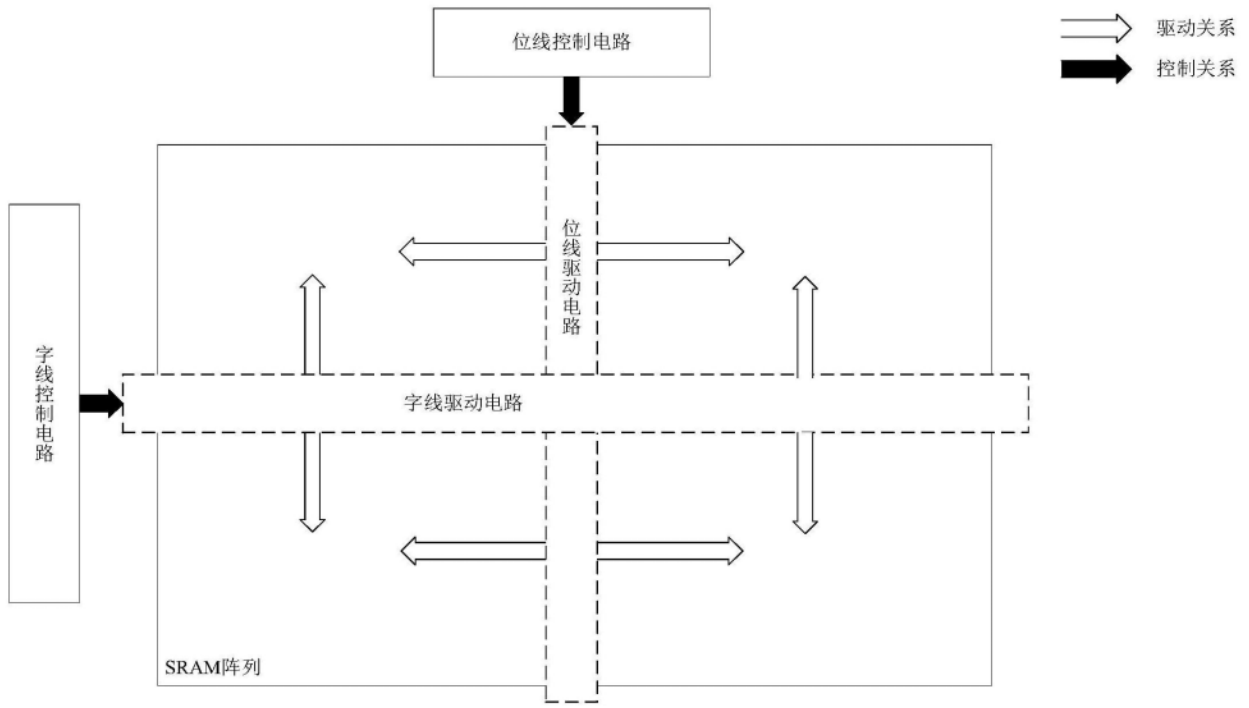


图1

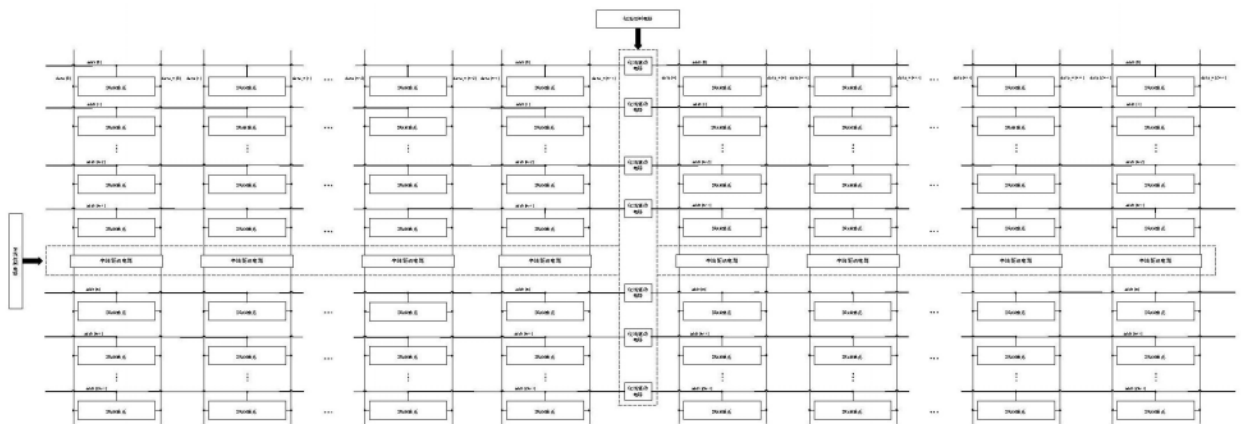


图2



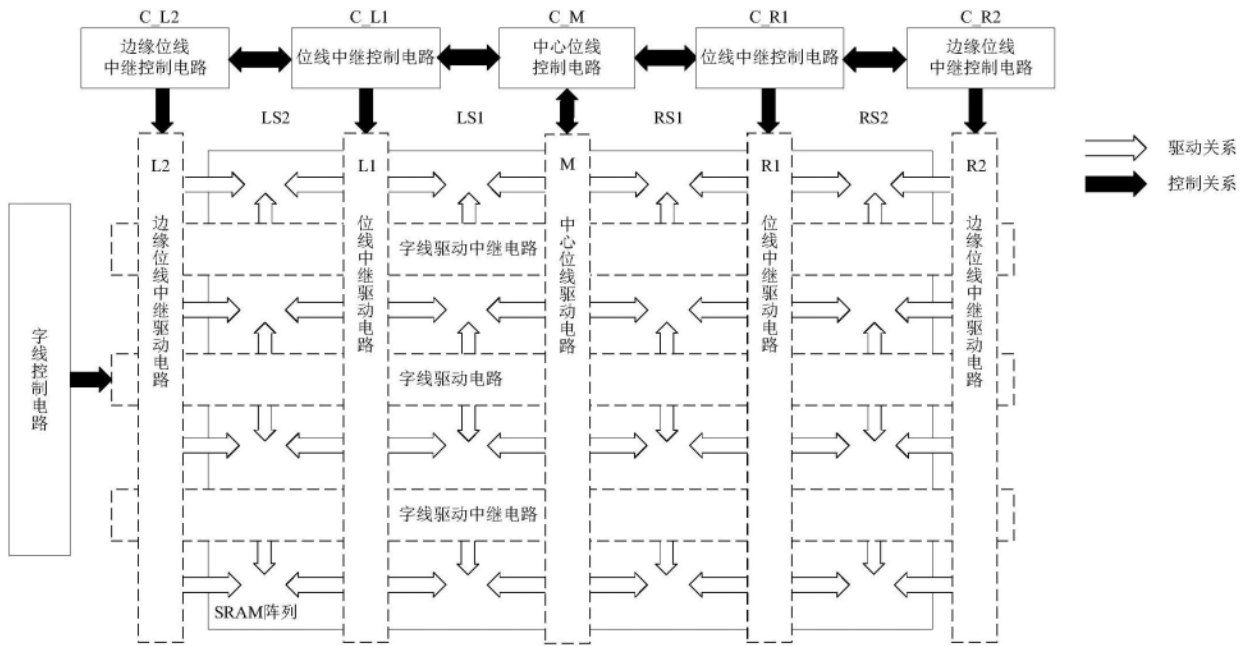


图3