

參、發明人：(共 3 人)

姓 名：(中文/英文)

- (1)根本義彦 / Yoshihiko NEMOTO
- (2)谷田一真 / Kazumasa TANIDA (谷田一真)
- (3)高橋健司 / Kenji TAKAHASHI

住居所地址：(中文/英文)

- (中文) (1)日本國東京都千代田區丸の内二丁目 2 番 3 號 三菱電機株式會社內
- (2)日本國京都府京都市右京區西院溝崎町 21 番地 ローム株式會社內
- (3)日本國神奈川縣川崎市幸區小向東芝町 1 番地 株式會社東芝マイクロエレクトロニクスセンター內

- (英文) (1) c/o Mitsubishi Denki Kabushiki Kaisha, 2-3, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-8310 JAPAN
- (2) c/o Rohm Co., Ltd., 21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, KYOTO 615-8585 JAPAN
- (3) Toshiba Corporation Semiconductor Company, c/o Microelectronicscenter, 1, Komukai-toshiba-cho, Saiwai-ku, Kawasaki, 212-8583 JAPAN

國 籍：(中文) 日本 (英文) Japanese

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002/11/29；2002-347895

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置之電極構造，尤其是關於具有穿通電極的半導體裝置及其安裝構造。

【先前技術】

習知之半導體裝置係於半導體基板上形成具有開口的光阻，對開口施以電鍍形成導電柱，藉由利用樹脂固定導電柱而製造者（例如，參照專利文獻 1）。

[專利文獻 1]

日本專利特開平 11-307937 號公報（參照第 7 頁及圖 1）

【發明內容】

（發明所欲解決之問題）

習知之半導體裝置係如上述所製造，尤其是，具有穿通電極的半導體裝置，係將電極穿通於半導體基板內，藉由絕緣膜電性隔離穿通電極和半導體基板。製造如此之半導體裝置時，首先，施以蝕刻加工處理，於半導體基板形成微細的深孔（為高的寬高比），於孔的內壁覆被性良好地藉由化學氣相生長法（CVD：Chemical Vapor Deposition）沉積絕緣膜，進一步藉由化學氣相生長法覆被性良好地沉積組成電鍍的陰極的金屬膜。

在將該金屬膜作為陰極而由電鍍於孔部埋設金屬之後，除去多餘的由化學氣相生長法沉積的絕緣膜及由電鍍形成的金屬，藉由從半導體基板的背面研削半導體基板以使孔底部的金屬露出。

但是，需要在半導體基板形成寬高比大的孔，至少在孔的側壁使絕緣膜覆被性良好，並且，無缺陷產生地進行沉積，然而，其本身的技術難度卻相當大。

另外，因為電鍍用的陰極不僅在孔底部而且還覆被於側壁部，因此，在對孔進行電鍍而埋入金屬時，不僅發生來自底部的電鍍生長，而且還引起側壁部的電鍍生長。一般，電鍍的流動性優良的孔上部的側壁處的生長速度快，因此隨著電鍍的進行，有孔上部被率先埋設，而其下的部分未生成電鍍部分的顧慮。為避免此情況的產生，有控制電鍍生長的必要，但該種控制卻極為困難。

如此情況不僅對半導體裝置的製造本身造成困難，影響到半導體裝置的普及，而且，所製造的半導體裝置的良率也極低，由此成為高價且可靠度低的半導體裝置。

本發明係為了解決上述問題點而完成者，其目的在於得到製造容易且具有穿通電極的半導體裝置。

本發明之另一目的在於，提供良率高且可容易製造半導體裝置的方法。

(解決問題之手段)

本發明之半導體裝置，其具備有：第1及第2半導體基板，具有相互對向配置的對向面；第1半導體元件，形成於第1半導體基板的對向面上，且由第1半導體電路及第1電極所組成；第2半導體元件，形成於第2半導體基板的對向面上，且由第2半導體電路及第2電極所組成；配線層，由夾於第1及第2電極間的導電材所組成；及穿通

電極，穿通第 1 半導體基板，同時介由配線層而連接於第 1 及第 2 電極；且第 2 半導體基板係搭載於第 1 半導體基板上，分開並配置於穿通電極的側面方向；從第 1 半導體基板突出的穿通電極的側面及第 2 半導體元件的側面係由絕緣材所覆被；穿通電極的一端係在第 1 半導體基板的背面作為第 1 外部端子而露出；穿通電極的另一端係處在與第 2 半導體基板的背面相同高度的位置，同時從絕緣材露出作為第 2 外部端子。

【實施方式】

(實施形態 1)

以下，參照圖式詳細說明本發明之實施形態 1。圖 1 為顯示本發明之實施形態 1 之半導體裝置的剖面圖，圖 2 為顯示習知之半導體裝置的剖面圖。

圖 1 中，在第 1 半導體基板 1 上形成第 1 半導體電路 3，在第 1 半導體電路 3 內或其周緣形成第 1 電極（或電極群）7。

另外，在第 2 半導體基板 2 上形成第 2 半導體電路 4，在第 2 半導體電路 4 的指定位置形成第 2 電極（或電極群）8。

在第 1 半導體基板 1 上形成的含有第 1 半導體電路 3 的第 1 半導體元件 5，及在第 2 半導體基板 2 上形成的含有第 2 半導體電路 4 的第 2 半導體元件 6，係使各自的電路形成面彼此對向配置，並介由第 1 電極 7 及第 2 電極 8 相互連接。

另外，從第 1 半導體元件 5 的第 1 半導體電路 3 所形成的面的相反面（背面）露出，垂直於第 2 半導體基板 2 的方向進行展延，形成到達第 2 半導體元件 6 的第 2 半導體電路 4 所形成的面的相反面為止的柱狀的穿通電極 12。

穿通電極 12 的一端係從第 1 半導體基板 1 露出，作為第 1 外部端子 10 而可與外部裝置連接，另外，穿通電極 12 的另一端係從與藉由第 2 半導體基板 2 的第 2 半導體元件 6 的第 2 半導體電路 4 的形成面的相反面所構成的平面大致相同的平面露出，作為第 2 外部端子 11 而可與外部裝置連接。

第 1 外部端子 10 的配線層 9 係形成於第 1 半導體基板 1 的主表面上，在第 1 半導體基板 1 上形成有配線層，配線層的一端連接於穿通電極 12，另一端連接於第 1 及第 2 電極 7 及 8 的任一的至少一方電極。

另外，在第 1 及第 2 半導體基板 1 及 2 的電路形成面的相反面（背面）、處在與第 2 半導體基板 2 大致相同平面的穿通電極 12 的頭頂部（第 2 外部端子 11）及第 1 半導體基板 1 的側面以外的面，係由絕緣材 13 所覆被。在此，圖 1 中，元件符號 30 顯示絕緣膜。

另一方面，如圖 2 所示，習知之半導體裝置係於半導體基板 21 上形成 1 個半導體電路 22，並由絕緣膜 23 覆被半導體基板 21 的上下兩面。穿通電極 12 穿通半導體基板 21，露出的穿通電極的兩端係作為突起電極 24。在此，圖 2 中，元件符號 9 顯示配線層。

如上所述，相對於習知之半導體裝置，本實施形態之半導體裝置，以與具有相同的穿通電極的習知半導體裝置大致相同的體積，可容易搭載約 2 倍的半導體電路。

(實施形態 2)

圖 3 為顯示本發明之實施形態 2 之半導體裝置的剖面圖。

又，圖 3 中，對與前述(參照圖 1)相同的元件則賦予相同的元件符號，並省略詳細說明。

上述實施形態 1 中，藉由使第 1 電極 7 及第 2 電極 8 直接接觸，以連接第 1 半導體元件 5 與第 2 半導體元件 6。本實施形態中，如圖 3 所示，藉由在第 1 電極 7 及第 2 電極 8 間形成凸塊電極 20，也可連接第 1 半導體元件 5 與第 2 半導體元件 6。

藉由如此之連接方法，可容易連接第 1 半導體元件 5 與第 2 半導體元件 6。

另外，本實施形態中，局部利用連接於穿通電極 12 的配線層 9，可進行第 1 半導體元件 5 與凸塊電極 20 的連接。

又，凸塊電極 20 可形成於第 1 半導體基板 1 側，也可形成於第 2 半導體基板 2 側，或形成於兩側。

(實施形態 3)

以下，說明上述實施形態 1 及 2 的半導體裝置的製造方法。

圖 4 及圖 5 為習知半導體裝置的製造方法的步驟圖，圖 6 至圖 19 為顯示本發明之實施形態 3 的半導體裝置的製造

方法的步驟圖。

又，圖 4 至圖 19 中，對與前述（參照圖 1 至圖 3）相同的元件則賦予相同的元件符號，並省略詳細說明。

例如，在形成如前述的圖 2 的習知半導體裝置的穿通電極的情況，如圖 4 所示，於半導體基板 21 上形成高寬高比的深孔 25，在其內壁覆被絕緣膜 26，並進一步覆被電鍍用的襯底金屬 27。

又，如圖 5 所示，施以用於孔 25 的埋設的電鍍 28，漸漸進行穿通電極 12 的形成。

以下，說明本實施形態之具有穿通電極 12 的半導體裝置的製造方法。

在圖 6 之步驟中，首先，在具有指定的電阻的 P 型或 n 型的第 1 半導體基板 1 上形成含有連接端子部的第 1 半導體電路 3。

其次，在圖 7 之步驟中，在第 1 半導體基板 1 的第 1 半導體電路 3 的周緣位置形成指定深度的孔。

又，形成於第 1 半導體基板 1 的孔的深度，為較半導體元件有效動作的厚度深，且在後述的第 1 半導體基板的研削步驟中，使施於第 1 半導體基板 1 的機械損傷等不致到達該有效動作的層（活性層）為止的程度，例如只要較 $10\ \mu\text{m}$ 深即可。

在第 1 半導體基板 1 形成孔時，若要將孔加工為極端的深，在步驟上將產生各式各樣的困難。為避免此，希望能將孔盡量加工為較淺，若可以的話以寬高比為 1~2 較佳。

在將孔徑如前述般形成為 $10\ \mu\text{m}$ 的實用大小的程度時，若考慮寬高比，孔的深度、換言之第 1 半導體裝置的厚度可為 $10\sim 20\ \mu\text{m}$ ，亦即 $20\ \mu\text{m}$ 以下。

再者，在圖 8 之步驟中，在第 1 半導體基板 1 上沉積絕緣膜（例如， SiO_2 ）30。又，藉由蝕刻除去沉積於圖 7 中形成的孔的底部及處在第 1 半導體電路 3 的指定位置的第 1 半導體電路 3 的連接端子的絕緣膜 30。

在圖 9 之步驟中，一端成為連接於穿通電極 12 的配線，沉積成為後述之電鍍時的襯底的金屬膜 9，加工為配線圖案（連接配線、配線層）9。此時，所加工的金屬膜 9 也形成於除去絕緣膜 30 的孔底部及孔側壁部。

再者，在圖 10 之步驟中，塗敷光阻 31，藉由光微影技術，形成將圖 7 中形成的孔的上方部開口的指定厚度的光阻圖案（光阻 31）。

此時，光阻厚度較成為柱狀的穿通電極的電鍍厚度略厚，例如為 $50\ \mu\text{m}\sim 100\ \mu\text{m}$ 。

再者，在圖 11 之步驟中，利用半導體基板的導電性，將第 1 半導體基板 1 作為陰極，藉由電鍍將如 Cu 的金屬埋設於光阻圖案 31 的開口部。

此時，以至少成為圖 9 中所形成的連接配線 9 的最表面的方式，預先形成適合電鍍生長的成為襯底的例如 Cu 的金屬材料。

在圖 12 之步驟中，預先於第 2 半導體基板 2 上形成第 2 半導體電路 4 及凸塊電極 20，準備個片化的第 2 半導體元

件 6。

除去在圖 10 中形成的光阻 31，使電路形成面對向以使用在第 1 半導體基板 1 上形成第 1 半導體電路 3 的第 1 半導體元件 5，及在第 2 半導體基板 2 上形成第 2 半導體電路 4 的第 2 半導體元件 6 進行位置對準，介由凸塊電極連接第 1 半導體元件 5 及第 2 半導體元件 6。

此時，第 2 半導體元件 6 係載置於成為穿通電極 12 的電鍍的柱 12 的內側。另外，第 2 半導體元件 6 可較電鍍的高度（厚度）更厚，例如，可為電鍍的柱 12 的高度的 10 倍左右的 $500\ \mu\text{m} \sim 700\ \mu\text{m}$ 。

在圖 13 之步驟中，在第 1 半導體基板 1 上，以覆被成為第 2 半導體元件 6 及穿通電極 12 的電鍍的柱全部的方式，例如，由具有類似環氧樹脂的當初流動性，且硬化後良好的絕緣材 13 進行覆被，使其硬化。

在圖 14 之步驟中，從第 2 半導體元件 6 的搭載側將絕緣材（樹脂）13，研削加工至穿通電極（電鍍的柱）的頭頂部 12 露出為止。

此時，因為第 2 半導體元件 6 較電鍍的柱 12 的高度要厚，因此，第 2 半導體元件 6 的背面便露出。

在圖 15 之步驟中，在第 2 半導體元件 6 側介由接合層 33 黏貼支持體 32，從第 1 半導體基板 1 的背面（第 1 半導體電路 3 形成面的相反面），進行研削加工直至沉積於穿通電極底部或孔底部的連接配線 9 的背面露出為止。

如圖 16 所示，根據必要，為進行第 1 半導體基板 1 的

背面的依機械研削的損傷部的除去，僅蝕刻除去半導體基板本身的指定量。

另外，如圖 17 所示，為除去穿通電極底部的配線層 9 或穿通電極底部本身的機械研削痕，將該部分僅除去指定量。

又，關於該第 1 半導體基板 1 的蝕刻除去及穿通電極底部的蝕刻除去，可省略任一方，也可省略兩方，穿通電極底部可用作為外部端子，另外，可交換此等的步驟順序。

在圖 18 之步驟中，與接合層 33 一起剝離支持體 32，形成如前述的圖 3 所示的具有穿通電極的半導體裝置。

又，穿通電極 12 的離第 1 半導體基板 1 的高度，最好定為寬高比小者。但是，若太小則總厚將變薄，半導體基板本身（第 1 半導體基板 1 的厚度與第 2 半導體基板的厚度的合計）的彎曲剛性將降低。因此，當將實用上厚厚塗敷的光阻 31 開口，將可由電鍍埋設該部分的界限厚度設為 $50\ \mu\text{m} \sim 100\ \mu\text{m}$ 時，半導體裝置的總厚可為 $100\ \mu\text{m}$ 或此以下。

在圖 19 之步驟中，在圖 13 的絕緣材 13 的被覆前，在第 1 半導體基板 1、第 2 半導體基板 2 及穿通電極 12，如元件符號 32 所顯示，將非導電糊膠（NCP：Non Conductive Paste）預先塗敷，在覆晶搭接（覆晶接合（FCB：Flip Chip Bonding））後，藉由樹脂等的絕緣材 13 覆被，便可提升非導電糊膠的強度與可靠度。

該情況，除非導電糊膠外，若使用非導電薄膜（NCF：Non Conductive Film）、異向導電糊膠（ACP：Anisotropic

Conductive Paste)及異向導電薄膜(ACF: Anistropic Conductive Film), 也可獲得相同的效果。

在製造習知之半導體裝置的情況, 在穿通電極的形成中, 寬高比高的深孔 25 的蝕刻, 與對孔 25 的覆被性良好的絕緣膜 26 及電鍍的襯底金屬 27 的沉積有困難。

另外, 在深孔 25 中, 不會引起空洞形成的孔埋設電鍍不僅困難, 而且, 因為還從孔側壁部進行生長, 因此藉由使電鍍液的流動性良好, 且容易電解集中的孔上部的生長速度快速, 而不使空洞產生的孔埋設很困難。

藉由如本實施形態的步驟來形成具有穿通電極的半導體裝置, 便無須使用習知之穿通電極形成用的深孔形成、對其側壁的覆被性良好的絕緣膜的 formed、及依電鍍的孔的埋設時的孔側壁、尤其是來自該孔上部的依電鍍生長的中央部附近的電鍍的抑制空洞用的困難技術。

在本實施形態中, 進行寬高比低的孔的形成, 另外, 先藉由電鍍僅在孔底部的電鍍生長建立穿通電極後, 由絕緣材覆被穿通電極的周圍, 而無須沉積覆被困難的電極側壁主要部的絕緣膜, 且, 無須在孔側壁部沉積作為電鍍的陰極的金屬膜, 因此可簡單形成不會產生空洞的穿通電極。

另外, 可容易形成習知半導體裝置的大致 2 倍的積體度的半導體裝置。

(實施形態 4)

圖 20 及圖 21 為顯示本發明之實施形態 4 之半導體裝置的剖面圖。

又，圖 20 及圖 21 中，對與前述（參照圖 1～圖 19）相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 20 及圖 21 中，在第 1 半導體基板 1，在第 1 半導體基板 1 的周緣以外（與第 2 半導體元件 6 對向的區域內）設置穿通第 1 半導體基板 1 內的新的第 1 外部端子 44。

在圖 20 中，第 1 外部端子 44 係介由凸塊電極 20 連接於第 2 半導體元件 6，另外，在圖 21 中，介由連接配線 9 連接於第 1 半導體元件 5 的第 1 半導體電路 3。

如此，半導體裝置可為通過第 1 外部端子 10、44 而與第 1 及第 2 半導體電路作各式各樣的連接的方法，從而可提升設計自由度。

（實施形態 5）

以下，說明上述實施形態 4 所示的半導體裝置的製造方法。

圖 22 至圖 28 為顯示本發明之實施形態 5 的半導體裝置的製造方法的步驟圖。

又，圖 22 至圖 28 中，對與前述（參照圖 1～圖 21）相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 22 之步驟中，首先，在具有指定的電阻的 P 型或 n 型的第 1 半導體基板 1 上形成第 1 半導體電路 3。又，除指定的孔形成部與連接部（電極部）的位置以外的部分，電路形成部係由絕緣膜 30 所覆被。

其次，在圖 23 之步驟中，在絕緣膜 30 的上面進一步沉積第 1 絕緣膜 40，形成指定厚度的光阻 31，除去孔形成部。

在圖 24 之步驟中，將第 1 絕緣膜 40 作為光罩，將第 1 半導體基板 1 的 2 個部位的孔形成部分別形成為指定深度的孔。

又，在圖 25 之步驟中，在第 1 絕緣膜 40 的上面沉積第 2 絕緣膜 41。進一步藉由蝕刻除去孔的底部及處在第 1 半導體電路 3 的指定位置的連接部（電極）的全部絕緣膜，和成為連接配線 9 的部分的第 2 絕緣膜 41。

在圖 26 之步驟中，在第 1 半導體基板 1 的上面沉積成為電鍍時的襯底的金屬膜 9。進一步，將金屬膜 9 或第 1 半導體基板 1 作為陰極，對孔、連接部及含有配線層 9 的第 1 半導體基板 1 的上面進行電鍍，使電鍍金屬 42 生長。

再者，在圖 27 之步驟中，藉由化學機械研磨法（CMP：Chemical Mechanical Polishing）研削加工全面形成的電鍍金屬 42 直至第 2 絕緣膜 41 露出為止。

此時，殘留藉由第 2 絕緣膜 41 的面而成為凹狀的孔、連接部及配線層 9 的金屬部分。

在圖 28 之步驟中，在研削面形成將穿通電極形成部開口的光阻圖案 31，將第 1 半導體基板 1 作為陰極進行電鍍，而於光阻圖案開口部埋設金屬。

以後，與圖 12 至圖 18 的步驟相同，連接第 1 半導體元件 5 及第 2 半導體元件 6，形成如前述的圖 20 及圖 21 的具有穿通電極 12 的半導體裝置。

如此，便無須使用如習知的困難技術，便可形成穿通電極後，可容易形成習知半導體裝置的大致 2 倍的積體度的

具有複數外部端子的半導體裝置。

又，在此雖顯示所謂雙層鑲嵌的應用，但使用依光蝕的金屬膜圖案形成及孔部分的孔埋設，也可形成相同的構造的二半導體裝置。

(實施形態 6)

圖 29 為顯示本發明之實施形態 6 之半導體裝置的剖面圖。

又，圖 29 中，對與前述(參照圖 1~圖 28)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 29 中，藉由在第 1 半導體基板 1 的第 1 外部端子 10 側的露出的半導體設置絕緣膜(背面絕緣膜)60，半導體裝置便成為電性、化學上穩定的裝置，從而可提升可靠度。

(實施形態 7)

以下，說明上述實施形態 6 所示的背面絕緣膜 60 的形成方法。

圖 30~圖 32 為顯示本發明之實施形態 7 的背面絕緣膜 60 的形成方法的步驟圖。

又，圖 30~圖 32 中，對與前述(參照圖 1~圖 29)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 30 之步驟中，與圖 16 之步驟相同，為進行第 1 半導體基板 1 的背面的依機械研削的損傷部的除去，僅蝕刻除去半導體基板本身的指定量。

其次，在圖 31 之步驟中，將電源 72 的一方連接於浸漬於溶液 71 中的半導體裝置的第 1 半導體基板 1，另一方連

接對向配置於第 1 半導體基板 1 的第 1 外部端子 10 的露出面側的電極(對向電極)70，以使第 1 半導體基板 1 通電。當第 1 半導體基板 1 通電時，僅將第 1 半導體基板 1 本身的露出部分陽極氧化，形成背面絕緣膜 60。

又，雖使電極 70 與露出第 1 外部端子 10 的第 1 半導體基板 1 的面側對向，但並不一定要使其對向。

在圖 32 之步驟中，除去形成第 1 外部端子 10 的部分的連接配線 9，以使穿通電極底部露出。

如此，可較簡單且選擇性、亦即僅於除穿通電極 12 的底部以外的第 1 半導體基板 1 本身的露出部分，形成背面絕緣膜 60。

另外，相同地，藉由電鍍塗敷的原理，可選擇性形成絕緣性的有機膜。

又，當然無須說明亦可明白，可使用半導體步驟中一般被使用的絕緣膜的沉積及電極部的蝕刻除去的製造方法。

(實施形態 8)

圖 33 為顯示本發明之實施形態 8 之半導體裝置的剖面圖。

又，圖 33 中，對與前述(參照圖 1~圖 32)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 33 中，藉由在第 1 及第 2 外部端子 10 及 11 的任何的至少一方形成突起電極 80、81(第 1 突起電極 80、第 2 突起電極 81)，可提升介由外部端子的連接性。

(實施形態 9)

以下，說明上述實施形態 8 所示的第 2 突起電極 81 的形成方法。

圖 34 至圖 37 為顯示本發明之實施形態 8 的第 2 突起電極 81 的形成方法的步驟圖。

又，圖 34 至圖 37 中，對與前述(參照圖 1 至圖 33)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 34 之步驟中，與圖 14 之步驟相同，從第 2 半導體元件的搭載側將絕緣材 13，研削加工至穿通電極 12 露出為止。

其次，在圖 35 之步驟中，將電源 72 的一端連接於電鍍液 90 中的第 1 半導體基板 1，另一端連接對向配置於穿通電極 12 的露出面的電極 70，將電極 70 作為陽極，將第 1 半導體基板 1 作為陰極，將露出之穿通電極頭頂部作為襯底進行電鍍，形成第 2 突起電極 81。

又，雖使電極 70 與穿通電極 12 的露出面側對向，但並不一定要使其對向。

再者，在圖 36 之步驟中，與圖 15 之步驟相同，在第 2 半導體元件側介由接合層 33 黏貼支持體 32，從第 1 半導體基板 1 的背面進行研削加工，直至沉積於穿通電極 12 的底部或孔底部的連接配線 9 的背面露出為止。

在圖 37 之步驟中，僅蝕刻除去第 1 半導體基板 1 本身的指定量。

在圖 35 之階段，因為有導通的第 1 半導體基板 1~穿通電極 12 均電性短路，因此，藉由插入如上述的電鍍步驟可

僅於第 2 外部端子 11 簡單形成第 2 突起電極 81。

(實施形態 10)

以下，說明上述實施形態 8 所示的第 1 突起電極 80 的形成方法。

圖 38 至圖 41 為顯示本發明之實施形態 8 的第 1 突起電極 80 的形成方法的步驟圖。

又，圖 38 至圖 41 中，對與前述(參照圖 1 至圖 37)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 38 之步驟中，如圖 15 或圖 16 所示步驟，在除去穿通電極底部的襯底金屬層後，在圖 39 之步驟中，將露出於穿通電極 12 的底部的金屬作為襯底，在無電解電鍍液 91 中，藉由無電解電鍍而僅於露出於穿通電極 12 的底部的金屬上形成第 1 突起電極 80。

另外，在圖 40 之步驟中，在前述的圖 37 之步驟後，在除去穿通電極底部的襯底金屬層後，在圖 41 之步驟中，藉由與圖 39 之步驟中相同的無電解電鍍而僅於露出於穿通電極 12 的底部形成第 1 突起電極 80。

例如，在藉由 Cu 來構成穿通電極的情況，藉由無電解電鍍鎳所選擇性生長的性質、亦即利用而僅於露出於穿通電極 12 的底部的金屬(Cu)使無電解電鍍皮膜(如鎳)生長的性質，可簡單形成突起電極。

(實施形態 11)

圖 42 為顯示本發明之實施形態 11 之疊層型半導體裝置的剖面圖。

又，圖 42 中，對與前述（參照圖 1 至圖 41）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 42 所示半導體裝置，係為將目前為止所示的半導體裝置複數個疊層而組成者。

在圖 42 中，沿垂直方向疊層 2 個半導體裝置，藉由連接第 1 突起電極 80 及第 2 突起電極 81 以疊層半導體裝置。

另外，在上部的半導體裝置的第 1 突起電極 80 側的面及下部的半導體裝置的第 2 突起電極 81 側的面，形成由樹脂 110 形成的層，以接觸著第 1 及第 2 突起電極 80、81。

如此，藉由複數疊層半導體裝置，因為提升積體度，同時可縮短傳輸路徑，因此可提升動作速度。

又，若使穿通電極位置相同，個個的半導體元件也可為互異者。

另外，在圖 42 中，顯示在半導體裝置的上下形成凸塊電極（第 1 及第 2 突起電極）的例子，但即便為其中一方也無任何功能上的差異。

（實施形態 12）

圖 43 為顯示本發明之實施形態 12 之半導體裝置的剖面圖。

又，圖 43 中，對與前述（參照圖 1 至圖 42）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 43 所示半導體裝置，係為將目前為止所示的疊層型的半導體裝置在垂直方向疊層 2 個，藉由連接各第 1 突起電極 80 以疊層半導體裝置。

另外，在上部及下部的半導體裝置的第 1 突起電極 80 側的面形成由樹脂 110 形成的層，以使上部及下部的半導體裝置的第 1 突起電極 80 相互接觸。

如圖 43 所示，連接第 1 外部端子（突起電極）彼此而成為一體化者，係在各個半導體裝置中，當從第 1 半導體基板 1 的背面至第 1 半導體電路（活性層）3 的距離短，且使用的半導體裝置的雜散時，容易受到外部散亂的影響。另外，因為無論從何種角度而言機械性也較為脆弱，因此，藉由使該面彼此對向連接，可起到保護的作用。

又，該情況，為了該保護作用的目的，即便省略形成於第 1 半導體基板背面的絕緣膜的形成，藉由使該面彼此對向連接而起到的保護作用，可得到相同的可靠性。

（實施形態 13）

圖 44 及圖 45 為顯示本發明之實施形態 13 之半導體裝置的剖面圖。

又，圖 44 及圖 45 中，對與前述（參照圖 1 至圖 43）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 44 及圖 45 係為疊層追加了前述的實施形態 4 的第 1 外部端子 44 的半導體元件者，圖 44 為連接第 1 突起電極彼此而形成一體化者，圖 45 為連接第 2 突起電極彼此而形成一體化者。

藉由如此之連接關係，如圖 44 所示，使第 1 半導體元件 5 的背面彼此對向連接的情況，在被一體化的此等半導體元件相互的連接中，因為端子數多且傳輸路徑也縮短，

在成為一體化的半導體元件內部的大規模且高速的信號處理有必要的情況，變得相當有效。

另外，如圖 45 所示，使第 2 半導體元件 6 的背面彼此對向連接的情況，與使第 1 半導體元件 5 的背面彼此連接的圖 44 比較，成為一體化的半導體裝置可大量取得與外埠的连接端子，因此，在與外部的大規模的信號處理有必要的情況，變得相當有效。

(實施形態 14)

圖 46 至圖 49 為顯示本發明之實施形態 14 之半導體裝置的剖面圖。

又，圖 46 至圖 49 中，對與前述(參照圖 1 至圖 45)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 46 及圖 47 中，由絕緣材 13 覆被第 2 半導體元件 6 的背面(第 2 半導體基板 2 的背面)，圖 46 所示半導體裝置係為由覆被穿通電極 12 及第 2 半導體元件 6 的側面的絕緣材 13，同時還覆被著第 2 半導體元件 6 的背面。另外，圖 47 所示半導體裝置係為由別的步骤來進行使覆被穿通電極 12 及第 2 半導體元件 6 的側面的絕緣材 13 進行覆被的步骤，及由絕緣膜 140 覆被第 2 半導體元件 6 的背面的步骤者。

如此，藉由絕緣材(絕緣膜)覆被第 2 半導體元件 6 的背面，不僅可電性穩定，而且一般絕緣材 13 兼具保護的功能，因此可提升化學、機械耐性，可增加可靠性。

又，如圖 47 所示，在由別的步骤進行覆被的情況，此

時的絕緣材 13 可為相同的材質，也可為不同的材質。

另外，關於圖 46 及圖 47 的半導體裝置也相同，如圖 48 及圖 49，可在表面、背面的任一面或兩面形成凸塊電極（第 1 及第 2 的突起電極）。形成第 1 及第 2 的突起電極的效果與前述相同。

（實施形態 15）

圖 50 至圖 55 為顯示本發明之實施形態 15 之半導體裝置的剖面圖。

又，圖 50 至圖 55 中，對與前述（參照圖 1 至圖 49）相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 50 顯示前述的實施形態 14 中在由絕緣材 13 所覆被的第 2 半導體元件 6 的背面區域形成配線層 150 的半導體裝置。配線層 150 不一定要為 1 層，也可介由層間絕緣膜形成為 2 層以上。在除電極形成部外的配線層 150 的上面形成保護膜 151。該保護層 151 因露出的配線材的性質而可省略。

配線層 150 的上面的指定位置形成有電極（島）152。

另外，在圖 51 中，藉由如設定為複數的絕緣膜圖案 151 來決定電極 152 的配置位置，可將再配線（配線層）150 的一部分用作為複數的外部端子。

如圖 52 至圖 54 所示，在第 2 半導體元件 6 的絕緣材 13 所露出的背面形成配線層 150（參照圖 52），又，在除電極形成部外的配線層上面形成保護膜 151（參照圖 53）。在電極形成部形成電極 152，進行第 1 半導體基板 1 的背面的

研削加工、蝕刻除去，藉由無電解電鍍形成凸塊電極（第 1 突起電極 80）（參照圖 54）。如圖 55 所示，也可於電極 152 上形成錫球 160。

如此，可將第 2 半導體元件 6 的背面側有效用作為電極（外部端子），因此，不會限制上部露出的穿通電極 12 的頭頂部的大小，可配置大的電極 152。

另外，可提升電極的配置自由度，還可取得多數個電極數（外部端子數）。

另外，可提升積體度，同時可增加設計的自由度。

又，在此，雖顯示對應實施形態 14 的圖 46 的形態，但即使於圖 47 也可為相同構造，並可獲得相同的效果。

（實施形態 16）

以下，說明上述實施形態 14 的圖 46 所示的半導體裝置的製造方法。

圖 56 至圖 59 為顯示本發明之實施形態 16 的半導體裝置的製造方法的步驟圖。

又，圖 56 至圖 59 中，對與前述（參照圖 1 至圖 55）相同的元件則賦予相同的元件符號，並省略詳細說明。另外，在製造步驟中，因為與其前述的圖 6 至圖 9、圖 15 至圖 18 所示步驟相同，故省略說明，並進行對應圖 10 至圖 14 的說明。

圖 56 之步驟中，在孔形成部將較其後連接的第 2 半導體元件 6 的厚度要厚的光阻圖案 31 開口。

其次，在圖 57 之步驟中，將第 1 半導體基板 1 作為陰

極，藉由電鍍將電極材埋設於光阻圖案 31 的開口部，以形成穿通電極 12。

在埋設時，電鍍較連接的第 2 半導體元件 6 的背面高且較光阻 31 的厚度低的電極材。

在圖 58 之步驟中，以電鍍之電極材的柱(穿通電極)12 變得較搭載時的第 2 半導體元件 6 的背面高的方式，預先將第 2 半導體元件 6 加工為較薄，並介由凸塊電極 20 與第 1 半導體元件 5 連接。

在圖 59 之步驟中，由樹脂及玻璃等的絕緣材 13 進行覆被，使其硬化，進行研削加工以使所形成的穿通電極 12 的頭頂部露出為止。

此時，因為第 2 半導體元件 6 的厚度較所電鍍的穿通電極的高度薄，因此，絕緣材 13 與穿通電極 12 的側面一起還覆被於第 2 半導體元件 6 的背面。

如此，僅改變光阻厚、電鍍高度、搭載的半導體元件的厚度，並在此狀態利用實施形態 3 所示的各步驟，即可簡單地絕緣覆被第 2 半導體元件 6 的背面。

(實施形態 17)

以下，說明上述實施形態 14 的圖 46 及圖 48 所示的半導體裝置的製造方法。

圖 60 至圖 63 為顯示本發明之實施形態 17 的半導體裝置的製造方法的步驟圖。

又，圖 60 至圖 63 中，對與前述(參照圖 1~圖 59)相同的元件則賦予相同的元件符號，並省略詳細說明。另外，

在製造步驟中，因為與其前述的圖 6～圖 9、圖 15～圖 18 所示步驟相同，故省略說明，並進行對應圖 10～圖 14 的說明。

圖 60 之步驟中，在指定的位置介由凸塊電極 20 及指定的電極（第 2 電極 8）連接預先研削為指定厚度的第 2 半導體元件 6。

其次，在圖 61 之步驟中，例如，具有如感光性聚醯亞胺的當初流動性，於塗敷後具有感光性，藉由介由光罩的曝光而可形成圖案，進一步將硬化後良好的絕緣膜 13 的材料塗敷為較第 2 半導體元件 6 的厚度要厚。

在由絕緣膜 13 覆被第 2 半導體元件全體後，藉由曝光、顯像，將孔部分開口並使其硬化。

在圖 62 之步驟中，於開口部將第 1 半導體基板 1 作為陰極，將連接配線層 9 作為襯底而較第 2 半導體元件 6 的厚度要厚，並藉由電鍍埋設導電材以形成導電材的柱（穿通電極）170。

如圖 63 所示，此時，電極 170 也可在電鍍步驟使較感光性聚醯亞胺更為突出而作為凸塊電極，該情況可省略形成其他用途的凸塊電極的步驟。

其後，根據必要也可從第 2 半導體元件 6 的背面側研削感光性聚醯亞胺，以使成為穿通電極的導電材的柱 170 的頭頂部露出，而將頭頂部、感光性聚醯亞胺表面設為相同的平坦面。此時，因為第 2 半導體元件 6 較電鍍的柱 170 薄，因此於第 2 半導體元件背面作為絕緣膜 13 殘留著聚醯

亞胺。

如此，在第 2 半導體元件 6 的搭載後，可形成較第 2 半導體元件厚的電鍍柱，可簡單進行第 2 半導體元件 6 的搭載、位置對準。

(實施形態 18)

圖 64 至圖 66 為顯示本發明之實施形態 18 的半導體裝置的製造方法的步驟圖。

又，圖 64 至圖 66 中，對與前述(參照圖 1 至圖 63)相同的元件則賦予相同的元件符號，並省略詳細說明。另外，在製造步驟中，因為與其前述的圖 6 至圖 18 所示步驟相同，故省略說明，並進行對應圖 14 及圖 15 的步驟間的說明。

圖 64 之步驟中，與圖 14 之步驟相同，研削加工絕緣材 13 至穿通電極頭頂部露出為止。

其次，在圖 65 之步驟中，例如，具有如感光性聚醯亞胺的當初流動性，於塗敷後具有感光性，藉由介由光罩的曝光而可形成圖案，進一步將硬化後良好的絕緣膜 13 的材料 180 以一定膜厚塗敷於第 2 半導體元件 6 的背面。

在圖 66 之步驟中，藉由曝光、顯像，將露出的穿通電極頭頂部開口，並使其熱硬化而成為絕緣膜。另外，在無感光性的情況，另外藉由光阻形成圖案，並進行蝕刻。

如此所獲得者便成為可靠度高的良好的絕緣膜。

另外，此處雖使用感光性聚醯亞胺作為絕緣膜，但藉由使用在利用依照化學氣相生長法(CVD: Chemical Vapor

Deposition) 等的成膜技術的沉積及光阻的依蝕刻的圖案形成的半導體步驟所習知的技術，還可得到微細加工性及可靠度更為優良者。

另外，在微細加工性上雖略差但也可使用稱為網版印刷等的更為人習知的手法來簡單形成。另外，將該方法應用於(金屬)配線與層間絕緣膜、保護膜，可於第 2 半導體元件 6 的背面簡單形成再配線及新的外部端子。

又，該方法在前述實施形態 16 可適用於形成再配線等的情況。

圖 93 及圖 94 為顯示本發明之實施形態 18 的半導體裝置的製造方法的步驟圖。

該絕緣膜的形成，如圖 93 及圖 94 所示，藉由對於第 1 半導體基板 1 進行通電，藉由至少為共同的接地電位介由第 1 半導體基板 1~穿通電極 12~凸塊電極 20 電性連接於第 2 半導體元件 6，在第 2 半導體元件 6 的背面藉由與電鍍塗敷相同的方法，例如將聚醯亞胺系的材料等作為絕緣膜 182 可選擇性覆被。

另外，與該方法相同，如圖 94 所示，藉由陽極氧化也可形成絕緣膜 182。

又，此等之方法係在研削加工第 1 半導體基板 1，剝落支持體後，可同時進行依實施形態 7 的相同的絕緣膜形成(背面絕緣膜 60)。

又，圖中，元件符號 70 顯示電極陣列，72 顯示電源，181 顯示溶液。

(實施形態 19)

圖 67 為顯示本發明之實施形態 19 之半導體裝置的剖面圖，圖 68 至圖 72 為顯示本發明之實施形態 19 的半導體裝置的製造方法的步驟圖。

又，圖 68 至圖 72 中，對與前述(參照圖 1 至圖 66)相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 67 所示半導體裝置係使用被稱為所謂的 SOI(Silicon on Insulator)基板的基板作為第 1 半導體基板 1。

SOI 基板係為在半導體基板母材(半導體)190 的上層具有絕緣膜(埋設絕緣膜)191;及再於其上層具有極薄的半導體膜(活性層)的基板(參照圖 68 及圖 69)。

使用該 SOI 基板(第 1 半導體基板)1 的半導體裝置的製造方法與前述的實施形態 3 所示的方法大致相同。

以下，說明使用 SOI 基板 1 的半導體裝置的製造方法。

在圖 68 之步驟中，使用 SOI 基板作為第 1 半導體基板，形成超過 SOI 基板的極薄的半導體膜 3 及埋設絕緣膜 191 而到達半導體基板母材 190 的孔。

在圖 69 之步驟中，與圖 8 及圖 9 之步驟相同，在 SOI 基板上面沉積絕緣膜 30，藉由蝕刻除去孔底部及電極部的絕緣膜，並於其上形成連接配線 9。

在圖 70 之步驟中，與圖 10 及圖 11 之步驟相同，藉由電鍍將穿通電極材 12 埋設於光阻圖案 31 的開口部。此時，因為孔底部到達 SOI 基板母材 190，因此可進行將 SOI 基板母材(半導體)作為電極的電鍍處理。

再者，在圖 71 之步驟中，與圖 12 至圖 14 之步驟相同，載置第 2 半導體元件 6，在由絕緣材 13 覆被後，研削加工至穿通電極的頭頂部露出為止。又，在圖 71 之步驟中，將 SOI 基板母材 190 作為陰極，藉由電鍍形成凸塊電極（第 2 突起電極）81。

在圖 72 之步驟中，在第 2 半導體基板 2 的背面介由接合層 33 接合支持體 32，藉由僅蝕刻除去殘留於 SOI 基板 1 的背面的半導體基板母材 190，至 SOI 基板 1(191)的背面側的穿通電極底部露出為止。

此時，在埋設絕緣膜 191 上形成極薄的半導體膜，半導體基板母材 190 最終消失。因此，利用適宜進行半導體電路的設計及半導體電路的製造步驟，便不會產生半導體基板 1(191)與穿通電極(12)的短路，可省略連接配線 9 形成前的絕緣膜 30 的沉積步驟及孔 12 的底部的除去步驟。

另外，穿通電極的電鍍可同樣利用此時未除去的半導體基板母材 190 的導電性，因而無須特殊的步驟。

又，半導體基板母材研削後的半導體基板母材的蝕刻除去，因埋設氧化膜（絕緣膜）191 而自動停止除去處理，因此，不需要進行蝕刻量的控制。

如此，SOI 基板因為預先形成埋設氧化膜 191，因此重新形成絕緣膜的必要，從而可製造電性穩定性優良且可靠度高的半導體裝置。

又，在此，在實施形態 1~13 中，顯示由 SOI 基板來代替第 1 半導體基板的例子，但在實施形態 14~18 中，也可

作相同的替代。

另外，在此雖說明了於半導體基板中形成埋設氧化膜 191 的所謂埋設氧化型 SOI 基板，但也可使用在半導體基板表面預先形成氧化膜，將此藉由高溫黏貼於其他的半導體基板上，將一方的半導體基板研削指定的厚度的所謂黏貼配合型 SOI 基板。

又，在此雖例示了將 SOI 基板用作為半導體基板的例子，但是在形成薄膜電晶體於絕緣基板上的所謂 TFT (Thin Film Transistor) 基板的背面形成導電層，形成到達該導電層的孔，利用通電於該導電層將穿通電極電鍍，最終除去該導電層，便可獲得相同構造及相同作用的半導體裝置。

(實施形態 20)

圖 73 為顯示本發明之實施形態 20 之半導體裝置的剖面圖。

又，圖 73 中，對與前述(參照圖 1 至圖 72)相同的元件則賦予相同的元件符號，並省略詳細說明。

在圖 73 中，在形成於 SOI 基板的露出於第 1 半導體元件 5 的背面埋設絕緣膜 191 的背面形成配線層 150。

該配線層 150 因為使用在半導體步驟中所習用的方法進行再配線，因此藉由絕緣膜 191 可簡單進行再配線。

另外，在背面研削加工該 SOI 基板的半導體基板母材 190 時，當在穿通電極底部露出的時點不停止研削，而研削至完全除去半導體基板母材 190 而使埋設絕緣膜 191 的背面

(絕緣膜背面)露出為止時，可獲得無段差的絕緣體 191 的面，因此可更為簡單形成配線層 150。

又，還可於該配線層 150 形成突起電極 80。

(實施形態 21)

圖 74 及圖 75 為顯示本發明之實施形態 21 之半導體裝置的剖面圖。

又，圖 74 及圖 75 中，對與前述(參照圖 1 至圖 73)相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 74 為使實施形態 4 及實施形態 19 組合之半導體裝置，圖 75 為使實施形態 4 及實施形態 20 組合之半導體裝置。

在圖 74 中，因為可使配線不迂迴於 SOI 基板的埋設氧化膜(絕緣膜)191 的背面而用作為第 1 外部端子，因此電傳輸路徑短且可增加端子數。

又，若使用該 SOI 基板時，形成第 1 半導體電路 3 的極薄的半導體層與埋設氧化膜 191 的合計厚度依然很薄，因此孔形成的蝕刻深度可極淺，孔部分的導電材埋設無須依靠電鍍而藉由連接配線 9 的成膜進行埋設，因此製造簡單，且可多數形成微細的端子。

又，如圖 75 所示，也可在 SOI 基板 1 的背面形成配線層 150，形成突起電極 80。

(實施形態 22)

圖 76 及圖 77 為顯示本發明之實施形態 22 之半導體裝置的剖面圖。

又，圖 76 及圖 77 中，對與前述（參照圖 1 至圖 75）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 76 所示半導體裝置係使用 SOI 基板或形成於絕緣基板上的薄膜電晶體（TFT：Thin Film Transistor）作為第 2 半導體元件 6 的第 2 半導體基板 2。

圖 77 所示半導體裝置係使用 SOI 基板作為圖 74 所示的半導體裝置的第 2 半導體基板 2。

因此，在前述的實施形態 1~13 及將 SOI 基板用作為第 1 半導體基板 1 的實施形態中，藉由使用預先存在絕緣層的基板，無須在第 2 半導體元件 6 的背面形成絕緣膜，與由絕緣材（絕緣膜）覆被第 2 半導體元件 6 的背面的實施形態相同，不僅可電性穩定，而且可提升化學、機械耐性，可增加可靠性。

該情況的半導體裝置的製造方法，在實施形態 3 中，在圖 12 的步驟使用 SOI 基板作為第 2 半導體元件 6，或使用形成在絕緣基板上的薄膜電晶體。

另外，在圖 14 之步驟中，研削加工至第 2 半導體元件 6 的絕緣材被面露出為止。

（實施形態 23）

圖 78 及圖 79 為顯示本發明之實施形態 23 之半導體裝置的剖面圖。

又，圖 78 及圖 79 中，對與前述（參照圖 1~圖 77）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 78 係在圖 76 所示半導體裝置中，在露出於第 2 半導

體元件 6 的背面的絕緣材背面形成配線層 150，將該背面用作為外部端子的配置區域。

如圖 78 所示，也可在配線層 150 的上面形成凸塊電極（第 2 突起電極 81）。

因此，無須追加絕緣膜形成步驟，即可進行使積體度上升，且使連接端子數增加的步驟。

又，如圖 79 所示，也可在圖 77 所示半導體裝置的第 1 半導體元件 5 的背面形成配線層 150。

（實施形態 24）

圖 80 及圖 81 為顯示本發明之實施形態 24 之半導體裝置的剖面圖。

又，圖 80 及圖 81 中，對與前述（參照圖 1 至圖 79）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 80 係介由形成於圖 46 所示半導體裝置的第 2 半導體元件 6 的背面的再配線（配線層 150），沉積第 3 半導體元件 240。第 3 半導體元件 240 具有與第 2 半導體元件 6 相同的構造。其中，元件符號 241 顯示半導體電路，242 顯示電極。

圖 81 係介由形成於圖 79 所示半導體裝置的第 2 半導體元件 6 的背面的再配線（配線層 150），順序沉積由 SOI 基板或 TFT 基板所形成的第 3 半導體元件 240 及第 4 半導體元件 244。第 3 半導體元件 240 及第 4 半導體元件 244 具有與第 2 半導體元件 6 相同的構造。其中，元件符號 245、241 顯示半導體電路，242、246 顯示電極。圖 81 中，在表

背兩面形成凸塊電極(突起電極 80、81)。

如此，藉由反覆相同的構造，可疊層複數的半導體元件，藉此可提升積體度。

(實施形態 25)

圖 82 至圖 86 為顯示本發明之實施形態 25 的半導體裝置的製造方法的步驟圖。

又，圖 82 至圖 86 中，對與前述(參照圖 1 至圖 81)相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 82 至圖 86 所示製造方法，係為製造實施形態 24 所示半導體裝置的方法，在實施形態 16~18 或實施形態 22、23 的再配線形成時，在形成於第 3 半導體元件 240 的凸塊電極位置形成與此連接的端子，以下，為重複與實施形態 16~18 相同的方法，將穿通電極 12 向上方延長者。

在圖 82 之步驟中，第 1 及第 2 半導體元件 5、6 係使用 SOI 基板。

在圖 83 之步驟中，藉由研削加工使第 2 半導體基板背面的絕緣層與穿通電極頭頂部露出。

在圖 84 之步驟中，在第 2 半導體基板 2 施以再配線 150，形成將穿通電極形成部 12 開口的光阻圖案 31。然後，將第 1 半導體基板 1 作為陰極，藉由電鍍處理埋設被延長的穿通電極 12。

在圖 85 之步驟中，除去光阻圖案 31，載置由 SOI 基板所組成的第 3 半導體元件 240，並由絕緣材 13 所覆被。

在圖 86 之步驟中，進行與圖 83 之步驟相同的研削加

工，以使延長的穿通電極頭頂部與第 2 半導體基板背面的絕緣層露出。

又，在沉積第 4 半導體元件以降的情況，重複圖 82 至圖 86 的步驟。

最後，研削加工第 1 半導體基板背面以使穿通電極底部露出。此時，也可在表背面形成凸塊電極（突起電極）。

穿通電極 12 的延長也可與實施形態 17、18 所示方法相同。

藉由如此的方法，可製造使積體度提升的半導體裝置。
(實施形態 26)

圖 87 為顯示本發明之實施形態 26 之疊層型半導體裝置的剖面圖。

又，圖 87 中，對與前述（參照圖 1 至圖 86）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 87 顯示複合前述的實施形態 1~25 的構造進行疊層的半導體裝置，顯示將實施形態 8 的圖 33 所示半導體裝置 260 及實施形態 15 的圖 55 所示半導體裝置 261 疊層的半導體裝置。

在圖 87 中，顯示將 2 個圖 33 所示半導體裝置 260 及 1 個圖 55 所示半導體裝置 261 疊層而成者，但也可按任一順序疊層多個前述的實施形態 1~25 所示半導體裝置。藉此，可形成依多樣的半導體裝置的極大規模的疊層。

(實施形態 27)

圖 88 及圖 89 為顯示本發明之實施形態 27 之陣列型的

半導體裝置的剖面圖。

又，圖 88 及圖 89 中，對與前述（參照圖 1 至圖 87）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 88 所示半導體裝置，係為在一片的第 1 半導體基板上平面搭載著複數的第 2 半導體元件 6 的半導體模組。

圖 89 所示半導體裝置，係為在第 1 半導體基板上形成相互獨立的第 1 半導體電路群，並於各電路群載置著第 2 半導體元件。圖 89 中，當在「A」的部分切斷進行個片化時，形成圖 1、圖 3 等所示的半導體裝置。

如此之半導體裝置為藉由實施形態 3 所示的製造方法可同樣獲得者，藉此，可形成大規模的積體化。

（實施形態 28）

圖 90 為顯示本發明之實施形態 28 之複合型半導體裝置的剖面圖。

圖 90 係為於實施形態 27 所示的半導體模組 290，藉由實施形態 25 的疊層構造組合第 3 半導體元件群 291 的半導體裝置，藉此，可形成與平面疊層的複合的大規模的半導體模組。

（實施形態 29）

圖 91 為顯示本發明之實施形態 29 之複合型的半導體裝置的剖面圖。

圖 91 係為於與實施形態 27、28 所示的半導體模組的第 1 半導體基板 1 相反側所露出的連接端子連接實施形態 1～10、實施形態 14～23 的半導體裝置或實施形態 11～13、

實施形態 26 的疊層的半導體裝置者（複合圖 42～45、87 的疊層構造者），藉此，可形成極大規模的複合型的半導體模組。

（實施形態 30）

圖 92 為顯示本發明之實施形態 30 之半導體裝置的剖面圖。

又，圖 92 中，對與前述（參照圖 1 至圖 91）相同的元件則賦予相同的元件符號，並省略詳細說明。

圖 92 係在第 1 半導體基板 1 未形成第 1 半導體電路 3 的情況，積體度與前述的構造相比較劣，但構造單純而可縮短製造步驟，因此良率佳且可獲得廉價的半導體裝置。

又，若使用金屬板來取代第 1 半導體基板 1 也可獲得相同的構造。

另外，在背面研削時可使用背面研削或一併於此進行蝕刻，將第 1 半導體基板的半導體基板母材及金屬板全部除去。

（發明效果）

如上所述，根據本發明，因為具備第 1 及第 2 半導體基板，具有相互對向配置的對向面；第 1 半導體元件，形成於第 1 半導體基板的對向面上，且由第 1 半導體電路及第 1 電極所組成；第 2 半導體元件，形成於第 2 半導體基板的對向面上，且由第 2 半導體電路及第 2 電極所組成；配線層，由夾於第 1 及第 2 電極間的導電材所組成；及穿通電極，穿通第 1 半導體基板，同時，介由配線層而連接於

第 1 及第 2 電極，第 2 半導體基板係搭載於第 1 半導體基板上，分開並配置於穿通電極的側面方向，從第 1 半導體基板突出的穿通電極的側面及第 2 半導體元件的側面係由絕緣材所覆被，穿通電極的一端係在第 1 半導體基板的背面作為第 1 外部端子而露出，穿通電極的另一端係處在與第 2 半導體基板的背面相同高度的位置，同時，作為第 2 外部端子而從絕緣材露出，因此可以與習知半導體裝置大致相同的體積，其效果為可容易製造可搭載較習知要多的半導體電路的半導體裝置。

【圖式簡單說明】

圖 1 為顯示本發明之實施形態 1 之半導體裝置的剖面圖。

圖 2 為顯示習知半導體裝置的剖面圖。

圖 3 為顯示本發明之實施形態 2 之半導體裝置的剖面圖。

圖 4 為顯示習知半導體裝置的製造方法的步驟圖。

圖 5 為顯示習知半導體裝置的製造方法的步驟圖。

圖 6 為顯示本發明之實施形態 3 之半導體裝置的剖面圖。

圖 7 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 8 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 9 為顯示本發明之實施形態 3 之半導體裝置的製造方

法的步驟圖。

圖 10 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 11 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 12 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 13 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 14 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 15 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 16 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 17 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 18 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 19 為顯示本發明之實施形態 3 之半導體裝置的製造方法的步驟圖。

圖 20 為顯示本發明之實施形態 4 之半導體裝置的剖面圖。

圖 21 為顯示本發明之實施形態 4 之半導體裝置的剖面

圖。

圖 22 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 23 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 24 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 25 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 26 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 27 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 28 為顯示本發明之實施形態 5 之半導體裝置的製造方法的步驟圖。

圖 29 為顯示本發明之實施形態 6 之半導體裝置的剖面圖。

圖 30 為顯示本發明之實施形態 7 之背面絕緣膜的形成方法的步驟圖。

圖 31 為顯示本發明之實施形態 7 之背面絕緣膜的形成方法的步驟圖。

圖 32 為顯示本發明之實施形態 7 之背面絕緣膜的形成方法的步驟圖。

圖 33 為顯示本發明之實施形態 8 之半導體裝置的剖面

圖。

圖 34 為顯示本發明之實施形態 9 之第 2 突起電極的形成方法的步驟圖。

圖 35 為顯示本發明之實施形態 9 之第 2 突起電極的形成方法的步驟圖。

圖 36 為顯示本發明之實施形態 9 之第 2 突起電極的形成方法的步驟圖。

圖 37 為顯示本發明之實施形態 9 之第 2 突起電極的形成方法的步驟圖。

圖 38 為顯示本發明之實施形態 10 之第 1 突起電極的形成方法的步驟圖。

圖 39 為顯示本發明之實施形態 10 之第 1 突起電極的形成方法的步驟圖。

圖 40 為顯示本發明之實施形態 10 之第 1 突起電極的形成方法的步驟圖。

圖 41 為顯示本發明之實施形態 10 之第 1 突起電極的形成方法的步驟圖。

圖 42 為顯示本發明之實施形態 11 之半導體裝置的剖面圖。

圖 43 為顯示本發明之實施形態 12 之半導體裝置的剖面圖。

圖 44 為顯示本發明之實施形態 13 之半導體裝置的剖面圖。

圖 45 為顯示本發明之實施形態 13 之半導體裝置的剖面

圖。

圖 46 為顯示本發明之實施形態 14 之半導體裝置的剖面

圖。

圖 47 為顯示本發明之實施形態 14 之半導體裝置的剖面

圖。

圖 48 為顯示本發明之實施形態 14 之半導體裝置的剖面

圖。

圖 49 為顯示本發明之實施形態 14 之半導體裝置的剖面

圖。

圖 50 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 51 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 52 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 53 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 54 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 55 為顯示本發明之實施形態 15 之半導體裝置的剖面

圖。

圖 56 為顯示本發明之實施形態 16 之半導體裝置的製造方法的步驟圖。

圖 57 為顯示本發明之實施形態 16 之半導體裝置的製造

方法的步驟圖。

圖 58 為顯示本發明之實施形態 16 之半導體裝置的製造方法的步驟圖。

圖 59 為顯示本發明之實施形態 16 之半導體裝置的製造方法的步驟圖。

圖 60 為顯示本發明之實施形態 17 之半導體裝置的製造方法的步驟圖。

圖 61 為顯示本發明之實施形態 17 之半導體裝置的製造方法的步驟圖。

圖 62 為顯示本發明之實施形態 17 之半導體裝置的製造方法的步驟圖。

圖 63 為顯示本發明之實施形態 17 之半導體裝置的製造方法的步驟圖。

圖 64 為顯示本發明之實施形態 18 之半導體裝置的製造方法的步驟圖。

圖 65 為顯示本發明之實施形態 18 之半導體裝置的製造方法的步驟圖。

圖 66 為顯示本發明之實施形態 18 之半導體裝置的製造方法的步驟圖。

圖 67 為顯示本發明之實施形態 19 之半導體裝置的剖面圖。

圖 68 為顯示本發明之實施形態 19 之半導體裝置的製造方法的步驟圖。

圖 69 為顯示本發明之實施形態 19 之半導體裝置的製造

方法的步驟圖。

圖 70 為顯示本發明之實施形態 19 之半導體裝置的製造方法的步驟圖。

圖 71 為顯示本發明之實施形態 19 之半導體裝置的製造方法的步驟圖。

圖 72 為顯示本發明之實施形態 19 之半導體裝置的製造方法的步驟圖。

圖 73 為顯示本發明之實施形態 20 之半導體裝置的剖面圖。

圖 74 為顯示本發明之實施形態 21 之半導體裝置的剖面圖。

圖 75 為顯示本發明之實施形態 21 之半導體裝置的剖面圖。

圖 76 為顯示本發明之實施形態 22 之半導體裝置的剖面圖。

圖 77 為顯示本發明之實施形態 22 之半導體裝置的剖面圖。

圖 78 為顯示本發明之實施形態 23 之半導體裝置的剖面圖。

圖 79 為顯示本發明之實施形態 23 之半導體裝置的剖面圖。

圖 80 為顯示本發明之實施形態 24 之半導體裝置的剖面圖。

圖 81 為顯示本發明之實施形態 24 之半導體裝置的剖面圖。

圖。

圖 82 為顯示本發明之實施形態 25 之半導體裝置的製造方法的步驟圖。

圖 83 為顯示本發明之實施形態 25 之半導體裝置的製造方法的步驟圖。

圖 84 為顯示本發明之實施形態 25 之半導體裝置的製造方法的步驟圖。

圖 85 為顯示本發明之實施形態 25 之半導體裝置的製造方法的步驟圖。

圖 86 為顯示本發明之實施形態 25 之半導體裝置的製造方法的步驟圖。

圖 87 為顯示本發明之實施形態 26 之半導體裝置的剖面圖。

圖 88 為顯示本發明之實施形態 27 之半導體裝置的剖面圖。

圖 89 為顯示本發明之實施形態 27 之半導體裝置的剖面圖。

圖 90 為顯示本發明之實施形態 28 之半導體裝置的剖面圖。

圖 91 為顯示本發明之實施形態 29 之半導體裝置的剖面圖。

圖 92 為顯示本發明之實施形態 30 之半導體裝置的剖面圖。

圖 93 為顯示本發明之實施形態 18 之半導體裝置的製造

方法的步驟圖。

圖 94 為顯示本發明之實施形態 18 之半導體裝置的製造方法的步驟圖。

(元件符號說明)

- 1 第 1 半導體基板
- 2 第 2 半導體基板
- 3 第 1 半導體電路
- 4 第 2 半導體電路
- 5 第 1 半導體元件
- 6 第 2 半導體元件
- 7 第 1 電極(電極群)
- 8 第 2 電極(電極群)
- 9 配線層
- 10 第 1 外部端子
- 11 第 2 外部端子
- 12 穿通電極
- 13 絕緣材
- 20 凸塊電極
- 21 半導體基板
- 22 半導體電路
- 23 絕緣膜
- 24 突起電極
- 25 深孔
- 26 絕緣膜

- 27 襯底金屬
- 28 電鍍
- 30 絕緣膜
- 31 塗敷光阻
- 32 支持體
- 33 接合層
- 40 第 1 絕緣膜
- 41 第 2 絕緣膜
- 42 電鍍金屬
- 44 第 1 外部端子
- 60 絕緣膜(背面絕緣膜)
- 70 電極(對向電極)
- 71 溶液
- 72 電源
- 80 第 1 突起電極
- 81 第 2 突起電極
- 90 電鍍液
- 91 無電解電鍍液
- 110 樹脂
- 140 絕緣膜
- 150 配線層
- 151 保護膜
- 152 電極(島)
- 160 錫球

- 170 柱 (穿通電極)
- 180 材料
- 182 絕緣膜
- 181 溶液
- 190 半導體基板母材 (半導體)
- 191 絕緣膜 (埋設絕緣膜)
- 240 第 3 半導體元件
- 241 半導體電路
- 242 電極
- 244 第 4 半導體元件
- 245 半導體電路
- 246 電極
- 260 半導體裝置
- 261 半導體裝置
- 290 半導體模組
- 291 第 3 半導體元件群

伍、中文發明摘要：

本發明之目的在於，獲得容易製造的半導體裝置。

作為解決手段，本發明之半導體裝置，其具備相互對向配置的第 1 及第 2 半導體基板 1、2；第 1 半導體元件 5，形成於第 1 半導體基板 1 的對向面上，且由第 1 半導體電路 3 及第 1 電極 7 所組成；第 2 半導體元件 6，形成於第 2 半導體基板 2 的對向面上，且由第 2 半導體電路 4 及第 2 電極 8 所組成；夾於第 1 及第 2 電極 7、8 間的配線層 9；及穿通電極 12，穿通第 1 半導體基板 1，同時，介由配線層 9 而連接於第 1 及第 2 電極 7、8；其中第 2 半導體基板 2 係分開並配置於穿通電極 12 的側面方向，從第 1 半導體基板 1 突出的穿通電極 12 的側面及第 2 半導體元件 6 的側面係由絕緣材 13 所覆被，穿通電極 12 的一端係在第 1 半導體基板 1 的背面露出，穿通電極 12 的另一端係處在與第 2 半導體基板 2 的背面相同高度的位置，同時從絕緣材 13 露出。

陸、英文發明摘要：

Semiconductor device includes a pair of substrates (1,2) disposed oppositely, semiconductor elements (5,6) formed in the substrates (1,2), respectively, and having semiconductor circuits (3,4) and electrodes (7,8), respectively, a wiring conductor (9) interposed between

the electrodes (7,8), and a through electrode (12) extending through one substrate (1) and connected to the electrode (7) via the wiring conductor (9). The other substrate (2) is disposed laterally of the through electrode (12). Surface of the through electrode (12) projecting from the one substrate (1) and lateral surface of the element (6) are coated with an insulation material (13). The through electrode (12) has one end exposed in a back surface of the one substrate (1), while other end is positioned flush with a back surface of the other substrate (2), being exposed.

拾、申請專利範圍：

1. 一種半導體裝置，其特徵為具備有：

第 1 及第 2 半導體基板，具有相互對向配置的對向面；

第 1 半導體元件，形成於上述第 1 半導體基板的對向面上，且由第 1 半導體電路及第 1 電極所組成；

第 2 半導體元件，形成於上述第 2 半導體基板的對向面上，且由第 2 半導體電路及第 2 電極所組成；

第 1 配線層，由夾於上述第 1 及第 2 電極間的導電材所組成；及

穿通電極，穿通上述第 1 半導體基板，同時介由上述第 1 配線層而連接於上述第 1 及第 2 電極；且

上述第 2 半導體基板係搭載於上述第 1 半導體基板上，分開並配置於上述穿通電極的側面方向；

從上述第 1 半導體基板突出的穿通電極的側面及上述第 2 半導體元件的側面係由絕緣材所覆被；

上述穿通電極的一端係在上述第 1 半導體基板的背面作為第 1 外部端子而露出；

上述穿通電極的另一端係處在與上述第 2 半導體基板的背面相同高度的位置，同時從上述絕緣材露出作為第 2 外部端子。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述第 1 外部端子包含在上述第 2 半導體基板的搭載區域內從上述第 1 半導體基板的背面露出的外部端子。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，由

絕緣材來覆被上述第 2 半導體基板的背面。

4. 如申請專利範圍第 1 項之半導體裝置，其中：

在上述第 1 電極與上述第 2 電極之間設置元件連接用突起電極；

上述第 1 及第 2 半導體元件係介由上述元件連接用突起電極所連接。

5. 如申請專利範圍第 1 項之半導體裝置，其中：

在上述第 1 外部端子與上述第 2 外部端子的至少一方，設置從上述穿通電極的露出面突出的裝置連接用突起電極；

並將上述裝置連接用突起電極當作為外部端子。

6. 如申請專利範圍第 1 項之半導體裝置，其中：

使用 SOI 基板作為上述第 1 半導體基板；

上述 SOI 基板係使形成於上述第 1 半導體基板的背面的 SOI 絕緣膜露出。

7. 如申請專利範圍第 1 項之半導體裝置，其中：

使用 SOI 基板作為上述第 2 半導體基板；

上述 SOI 基板係使形成於上述第 2 半導體基板的背面的 SOI 絕緣膜露出。

8. 如申請專利範圍第 1 項之半導體裝置，其中，介由上述第 1 或第 2 外部端子相互連接複數個申請專利範圍第 1 項之半導體裝置。

9. 如申請專利範圍第 1 項之半導體裝置，其中：

在上述第 1 半導體基板以指定間隔成對形成上述穿通電

極與上述第 1 半導體電路；

在上述複數的第 1 半導體電路的第 1 電極的各個上，連接上述第 2 電極並載置上述第 2 半導體元件；

由絕緣材覆被上述第 1 及第 2 半導體基板的半導體電路形成面、各第 2 半導體基板的側面及各穿通電極的側面，並在一片的第 1 半導體基板上形成為平面一體化。

10. 一種半導體裝置之製造方法，其特徵為具備如下步驟：

電路形成步驟，在第 1 半導體基板上形成包含連接端子部的第 1 半導體電路；

孔形成步驟，在上述第 1 半導體基板上的預先形成於第 2 半導體基板上之具有第 2 半導體電路及第 2 電極的第 2 半導體元件的載置位置的外側，形成到達上述第 1 半導體基板的半導體基板母材的指定深度的第 1 孔；

絕緣膜沈積步驟，在上述第 1 孔的側面部及底部和上述第 1 半導體基板的第 1 半導體電路形成面側的面部沉積絕緣膜；

絕緣膜除去步驟，除去形成於上述孔底部及上述連接端子部的上述絕緣膜；

配線連接步驟，形成將一端連接於上述孔底部的半導體基板母材，另一端連接於上述連接端子部的導電材所組成的配線層，並將上述另一端當作為第 1 電極；

光阻圖案形成步驟，在上述第 1 半導體電路形成面側塗敷光阻，形成將上述第 1 孔的形成部予以開口的指定厚度

的光阻圖案；

電極形成步驟，將上述第 1 半導體基板母材作為陰極，藉由電鍍於上述光阻圖案開口部的上述導電材上形成穿通電極；

除去上述光阻的光阻除去步驟；

元件連接步驟，介由上述第 1 電極及上述第 2 電極，用以連接具有形成於上述第 1 半導體基板上的上述第 1 半導體電路及上述第 1 電極的第 1 半導體元件，和上述第 2 半導體元件；

穿通電極絕緣覆被步驟，在上述第 1 半導體基板的電路形成面上，由絕緣材覆被上述第 2 半導體基板及上述穿通電極；

表面研削步驟，從上述第 1 半導體基板的上述第 2 半導體基板的載置側，使上述穿通電極露出為止，研削加工在上述穿通電極絕緣覆被步驟所覆被的絕緣材；及

背面研削步驟，將上述第 1 半導體基板的背面研削加工指定厚度。

11. 如申請專利範圍第 10 項之半導體裝置之製造方法，其在上述表面研削步驟後，具備有突起電極形成步驟，用以將上述第 1 半導體基板作為陰極，藉由電鍍，在露出於上述第 2 半導體基板的上述穿通電極的頭頂部形成突起電極。

12. 如申請專利範圍第 11 項之半導體裝置之製造方法，其在上述背面研削步驟後，具備有背面蝕刻步驟，用以蝕

刻除去露出於上述第 1 半導體基板的背面的上述半導體基板母材，直至上述穿通電極從上述第 1 半導體基板突出為止。

13. 如申請專利範圍第 10 項之半導體裝置之製造方法，其中：

上述孔形成步驟係在離上述第 1 孔的指定距離的位置，形成到達上述半導體基板母材的指定深度的第 2 孔；

上述絕緣膜沉積步驟係於上述第 2 孔的側面部及底部沉積絕緣膜；

上述絕緣膜除去步驟係除去形成於上述第 2 孔底部的絕緣膜；

上述配線連接步驟係形成一端連接於上述連接端子部的配線；

上述光阻圖案形成步驟係形成將上述第 2 孔的形成部開口的指定厚度的光阻圖案；

上述電極形成步驟係將導電材埋設於上述第 2 孔。

14. 如申請專利範圍第 10 項之半導體裝置之製造方法，其中：

上述光阻圖案形成步驟係形成較相對於上述第 2 半導體基板的上述第 2 半導體電路形成面的背面高的光阻圖案；

上述電極形成步驟係形成較相對於上述第 2 半導體基板的上述第 2 半導體電路形成面的背面高的穿通電極；

上述表面研削步驟係僅使上述穿通電極露出。

15. 如申請專利範圍第 10 項之半導體裝置之製造方法，

其更具備有表面導電部形成步驟，其由相應於上述穿通電極的頭頂部的位置的絕緣膜圖案來覆被依上述表面研削步驟的研削加工面，將上述第 1 半導體基板的半導體基板的母材作為陰極，藉由電鍍，形成連接於上述頭頂部且高於上述絕緣圖案表面的高度的導電部。

拾壹、圖式：



圖 1

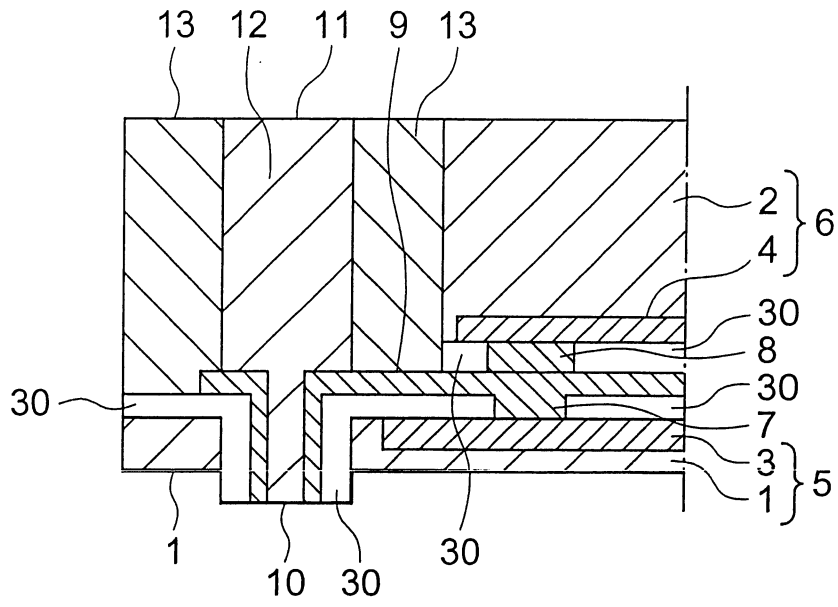


圖 2

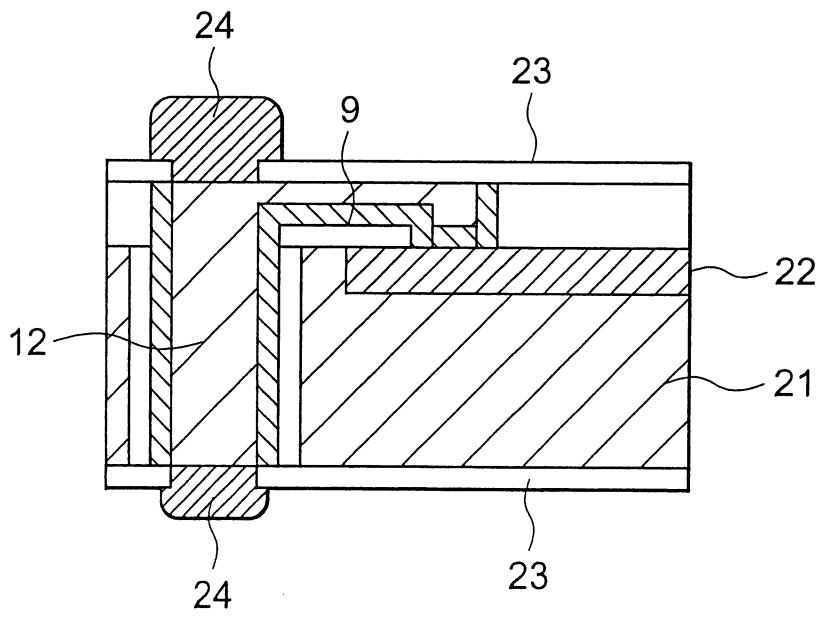


圖 3

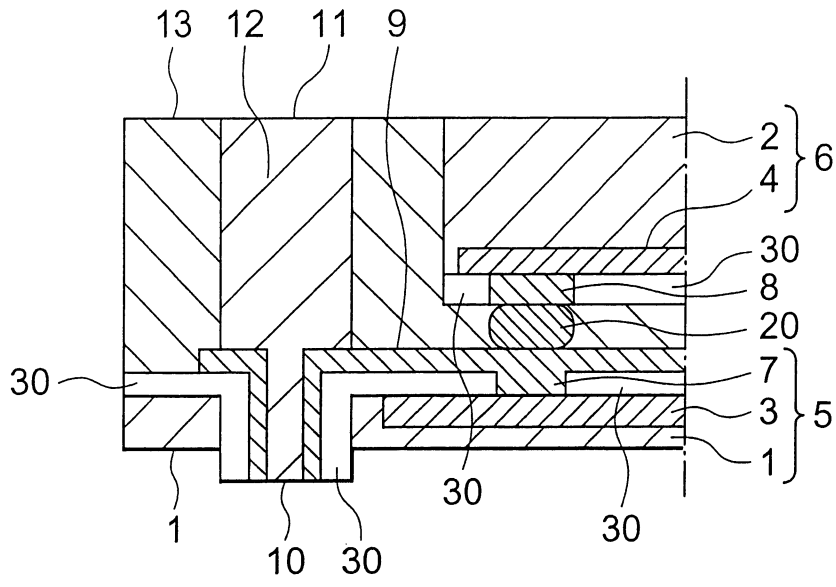


圖 4

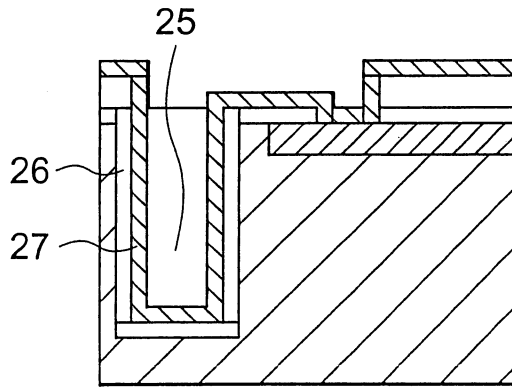


圖 5

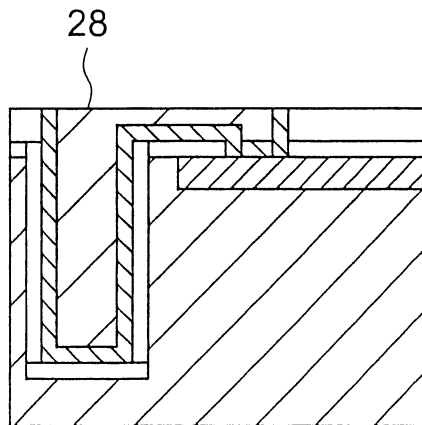


圖 6

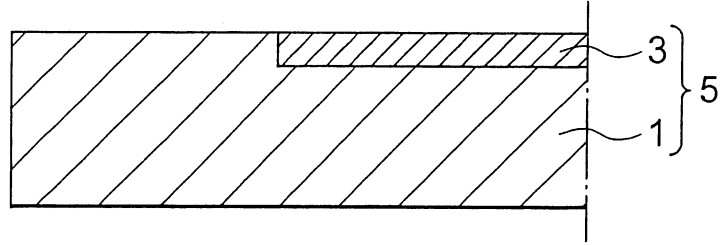


圖 7

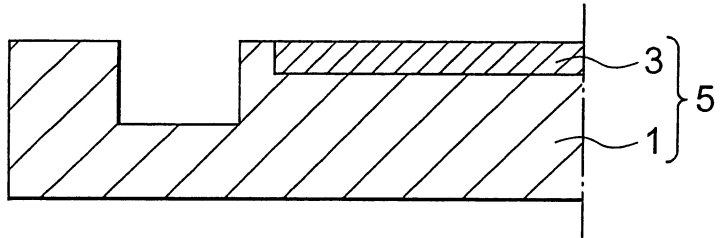


圖 8

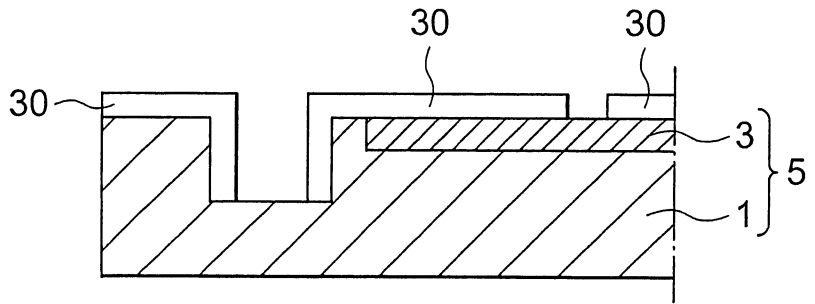


圖 9

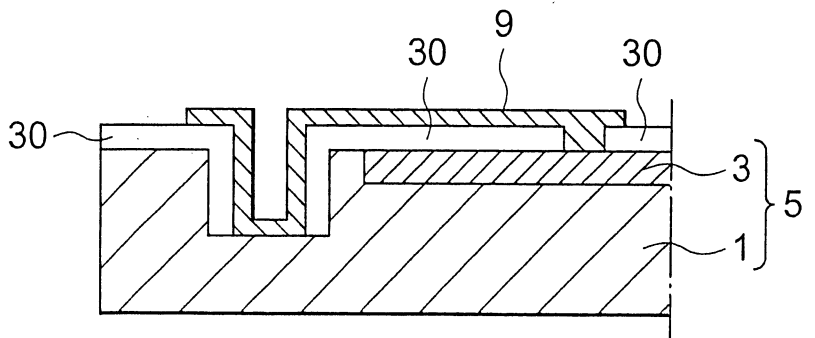


圖 10

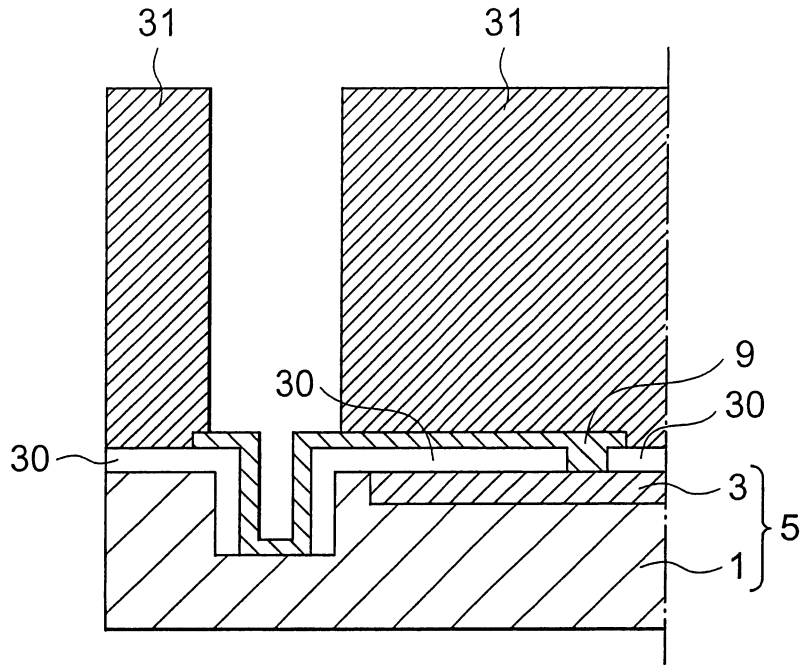
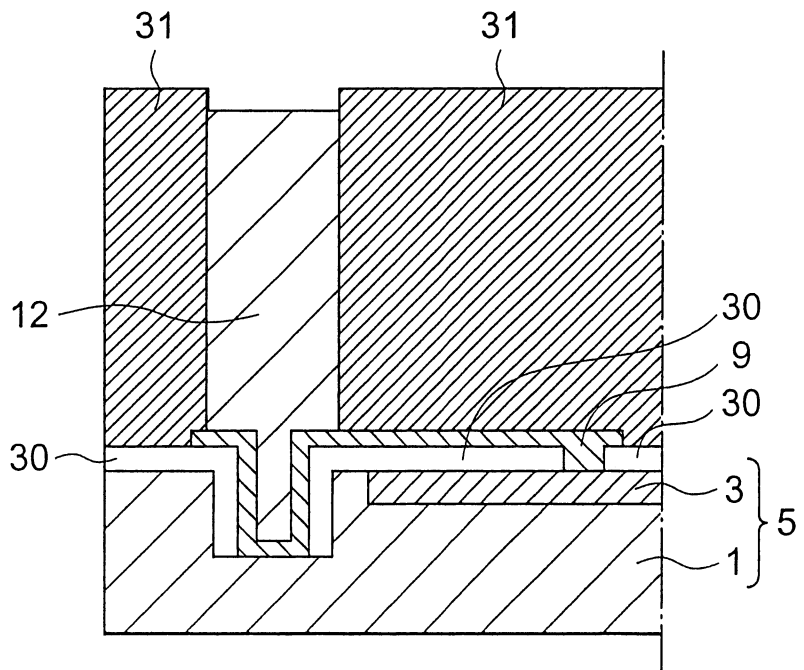


圖 11



13

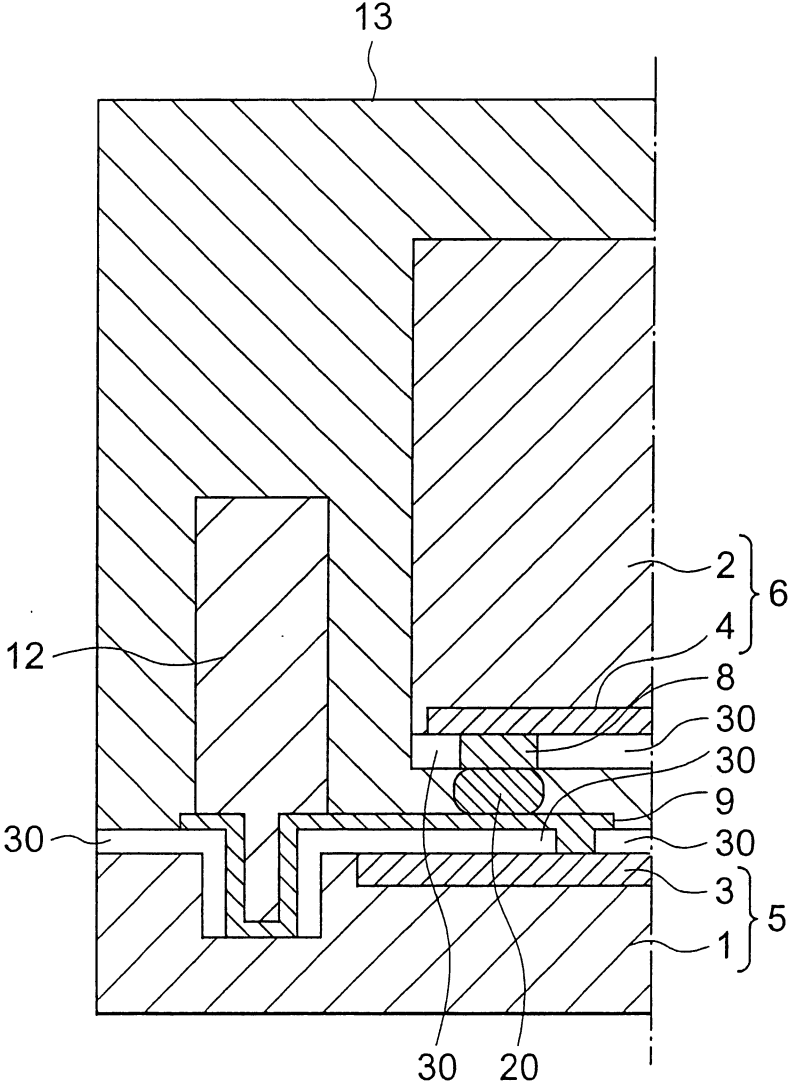


圖 14

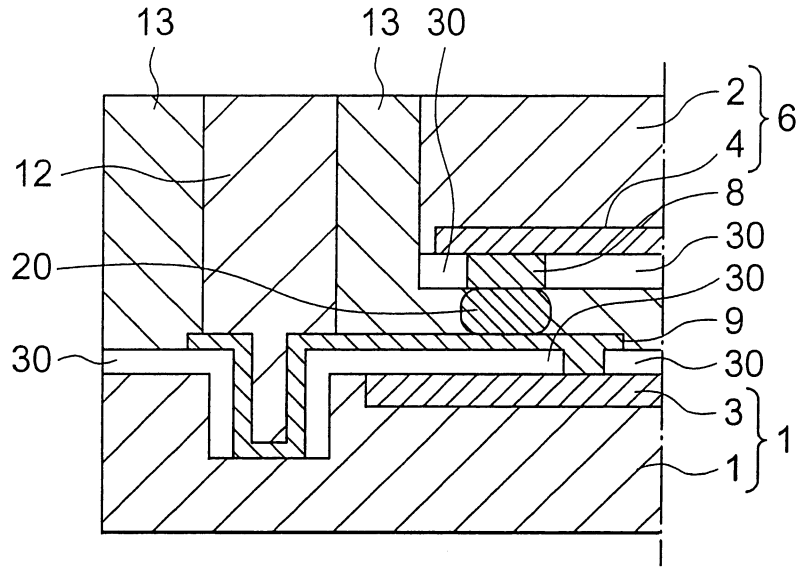


圖 15

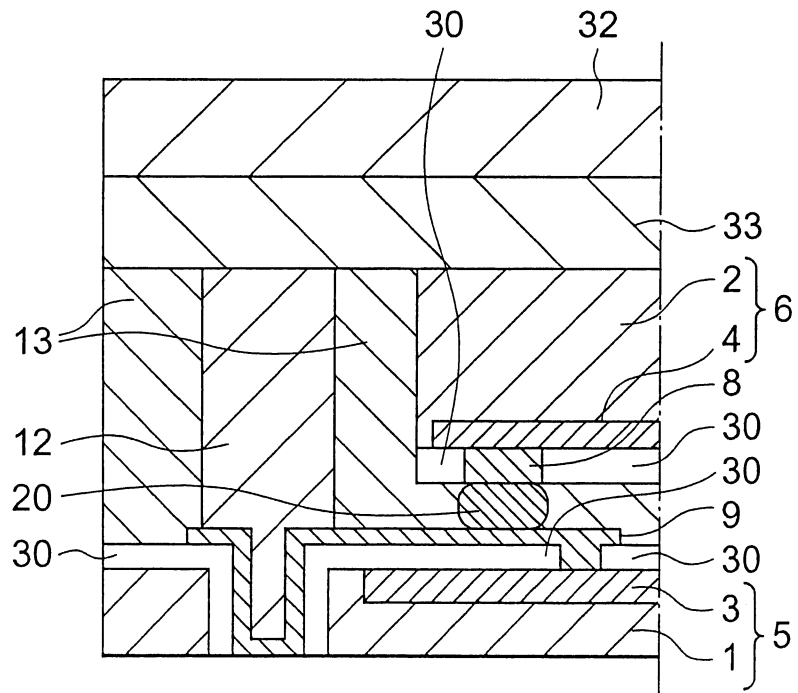


圖 18

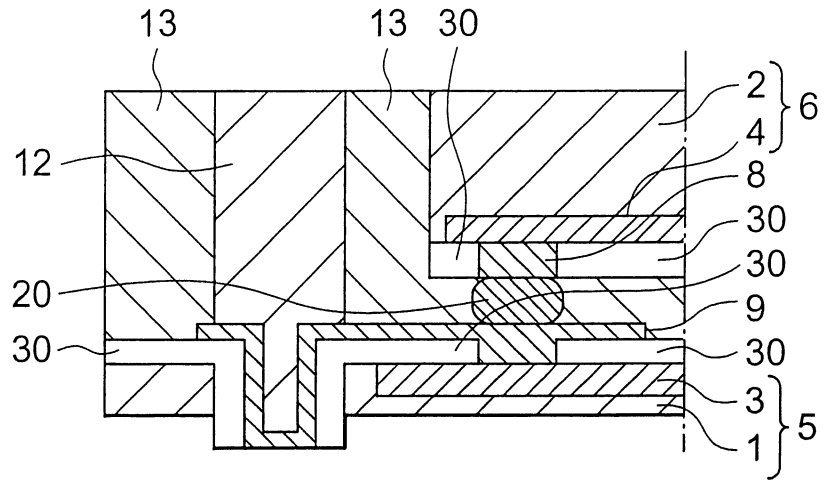


圖 19

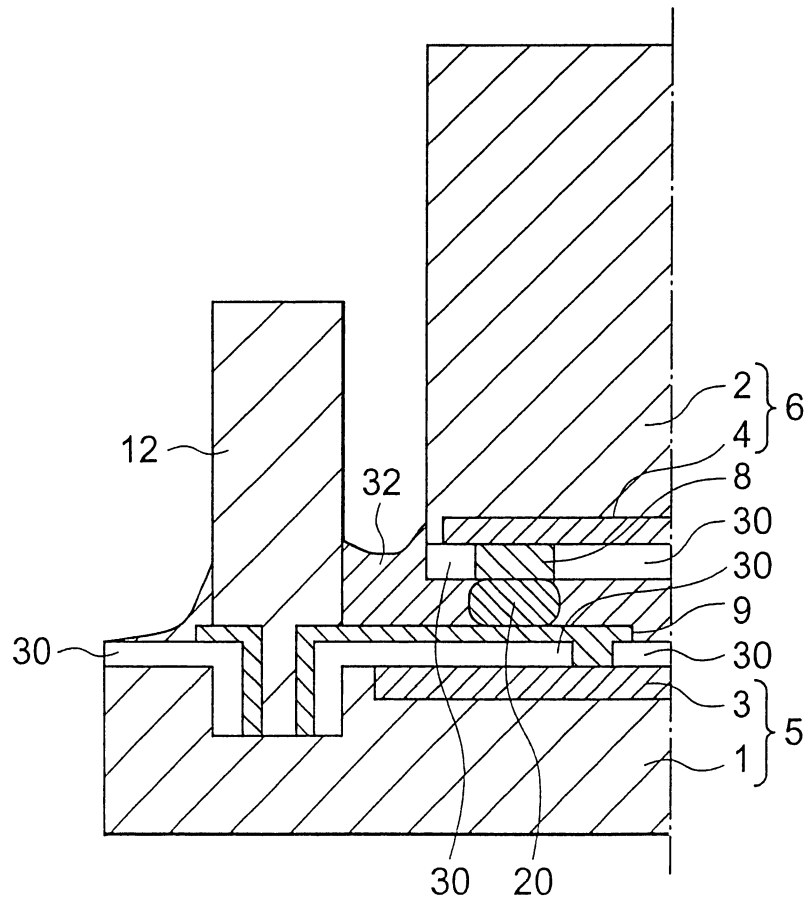


圖 20

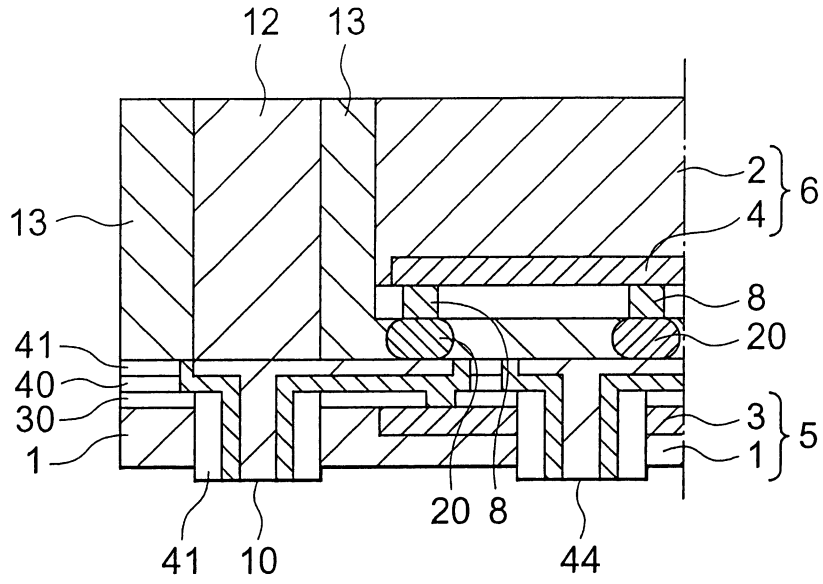


圖 21

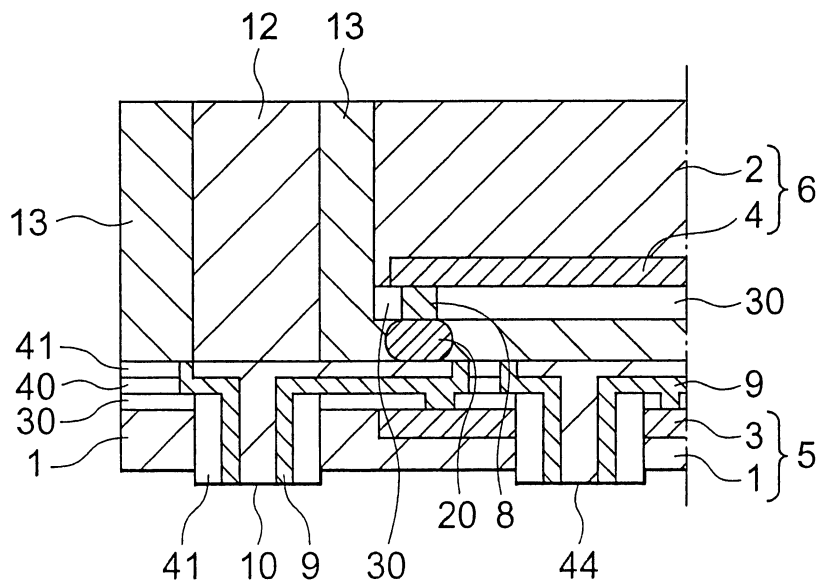


圖 22

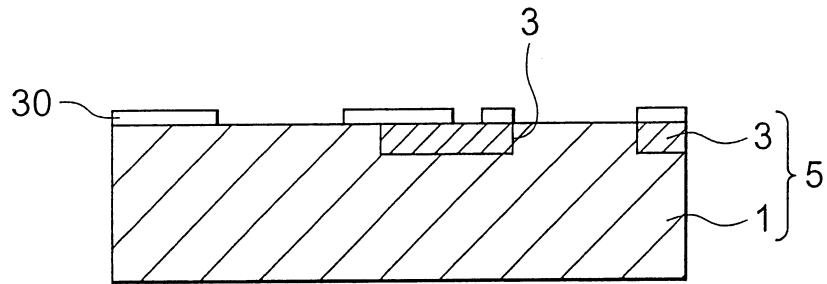


圖 23

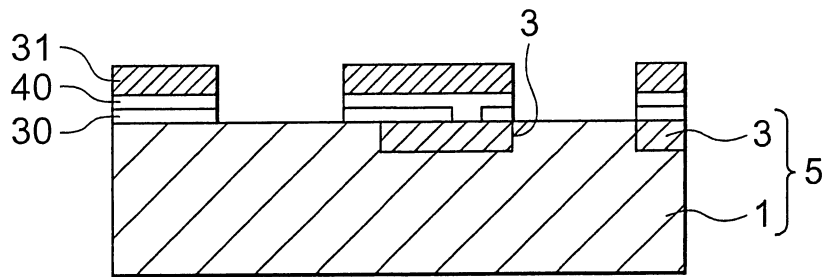


圖 24

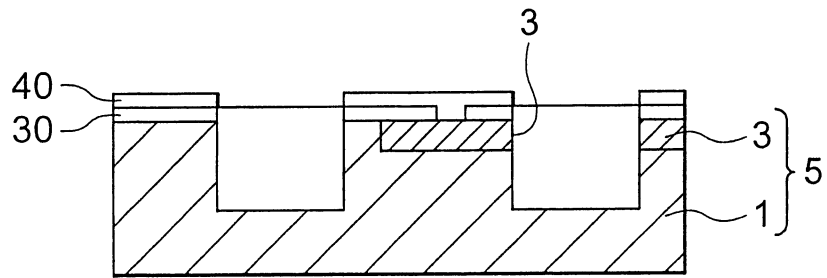


圖 25

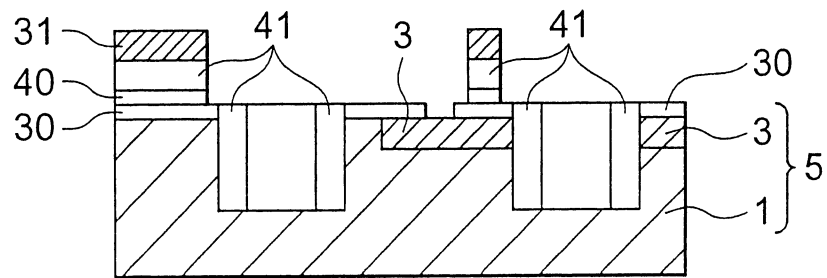


圖 26

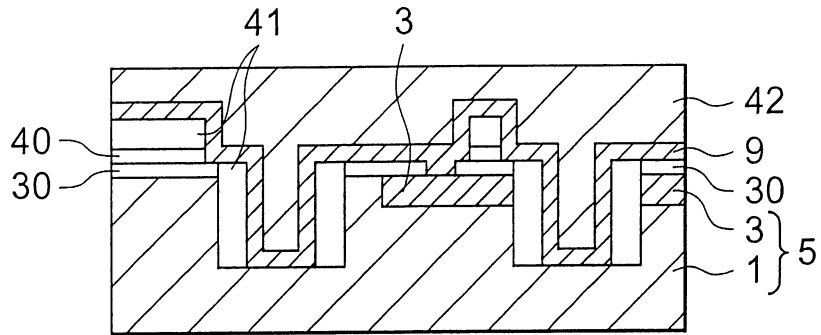


圖 27

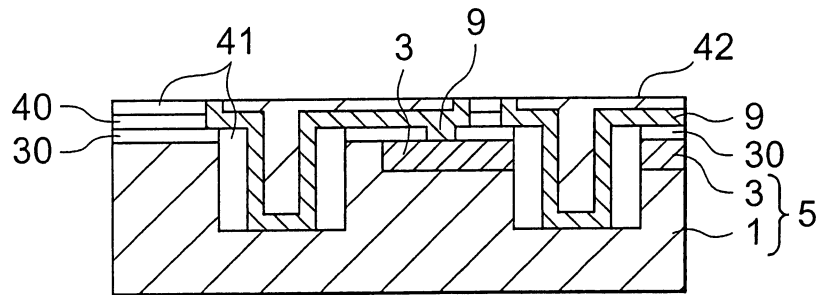


圖 28

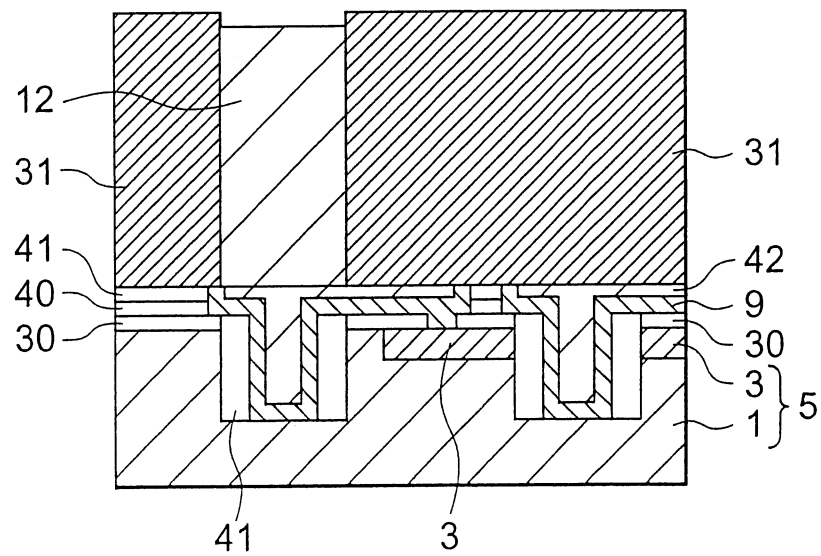


圖 29

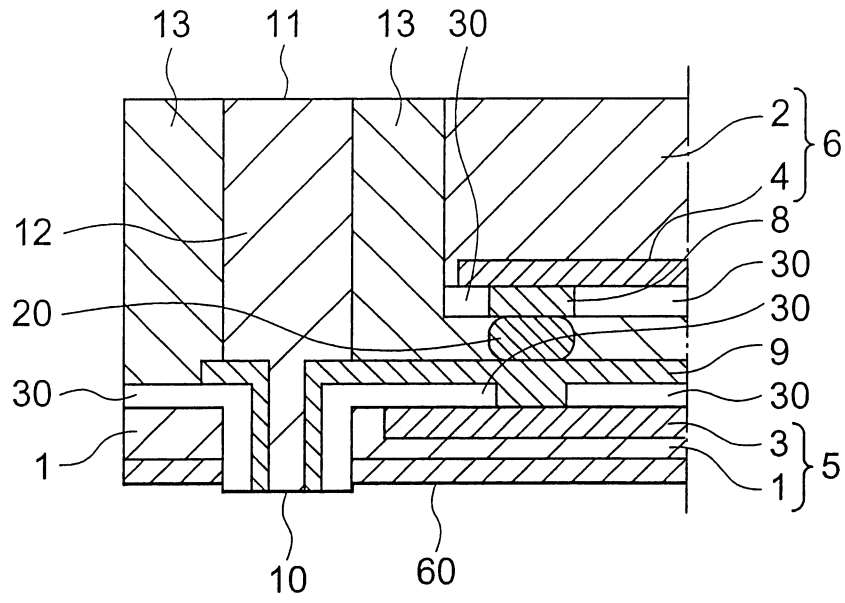


圖 30

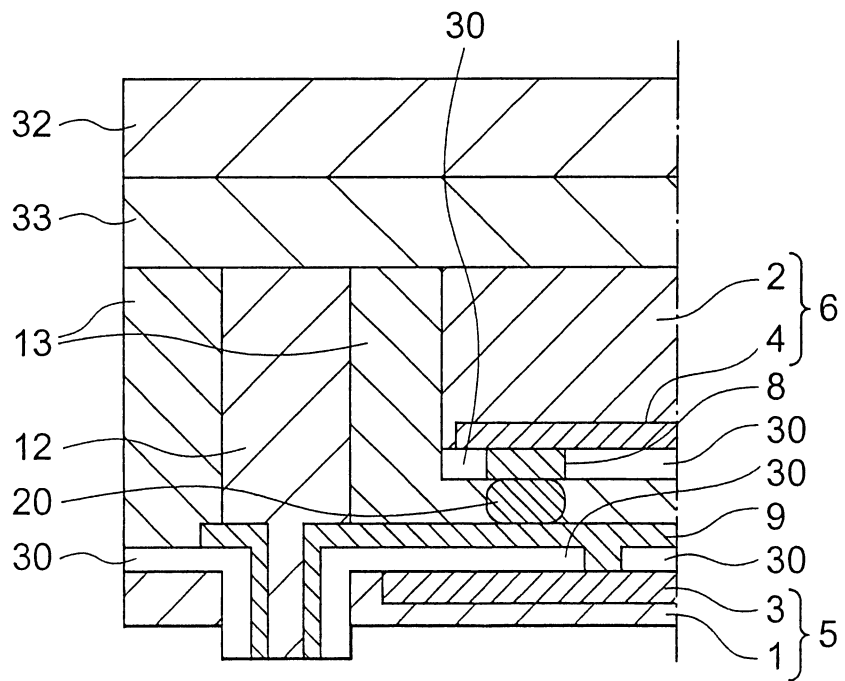


圖 31

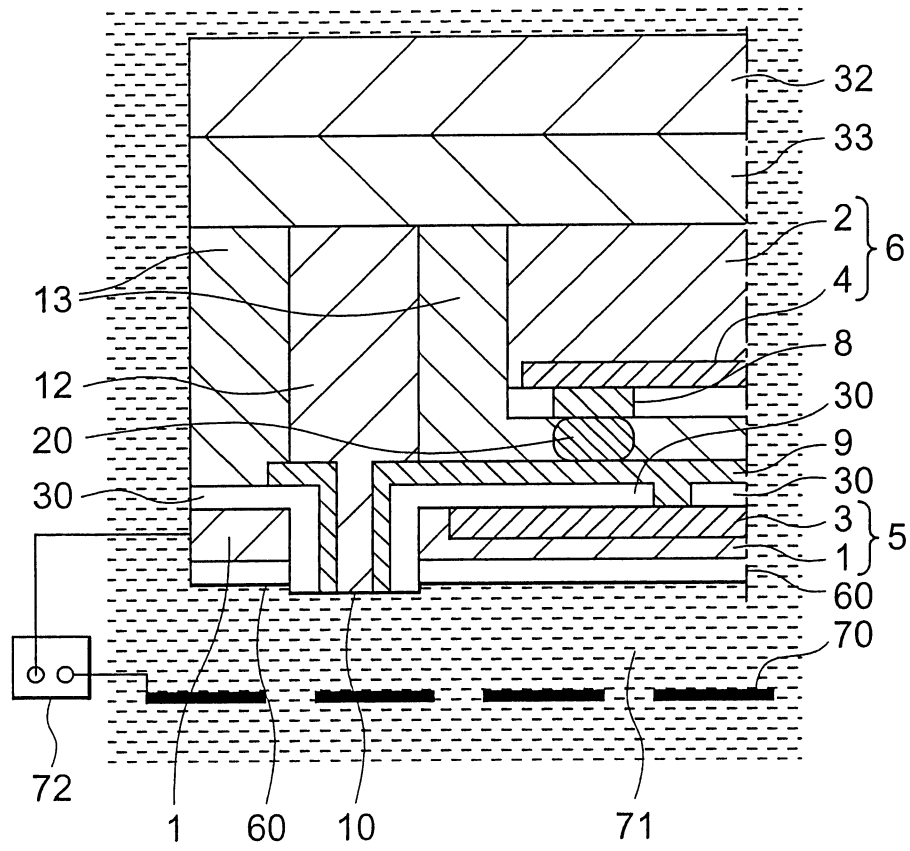


圖 32

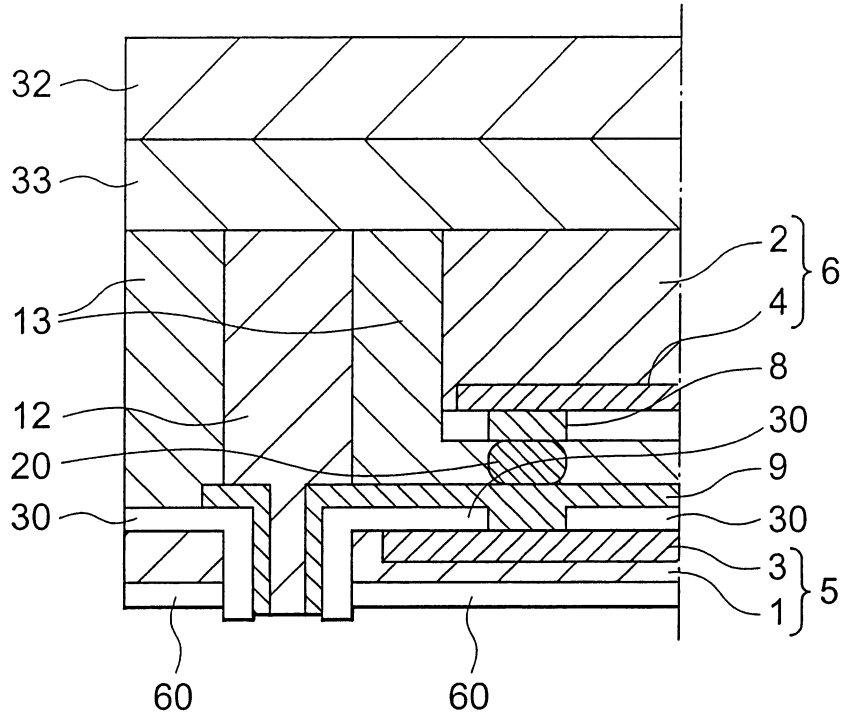


圖 33

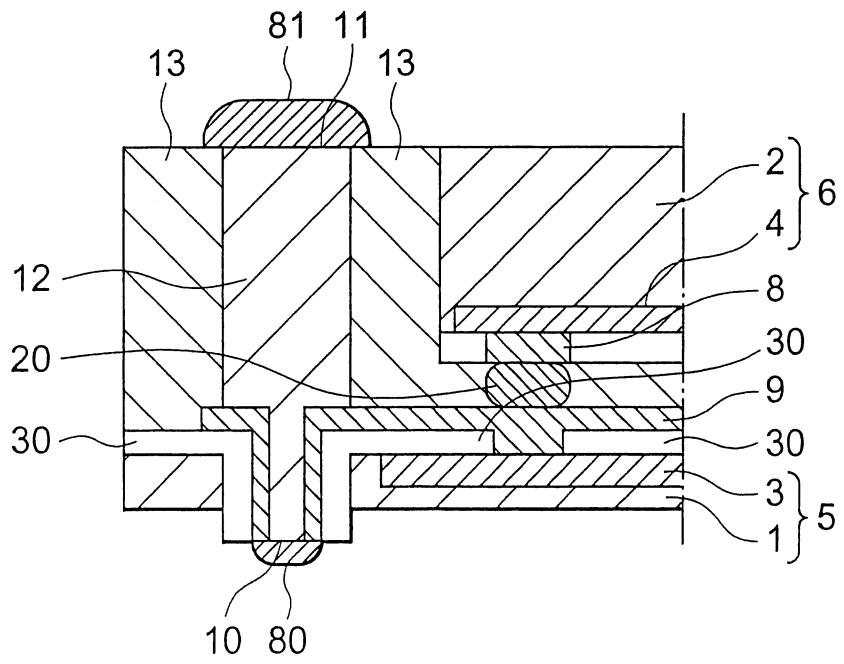


圖 36

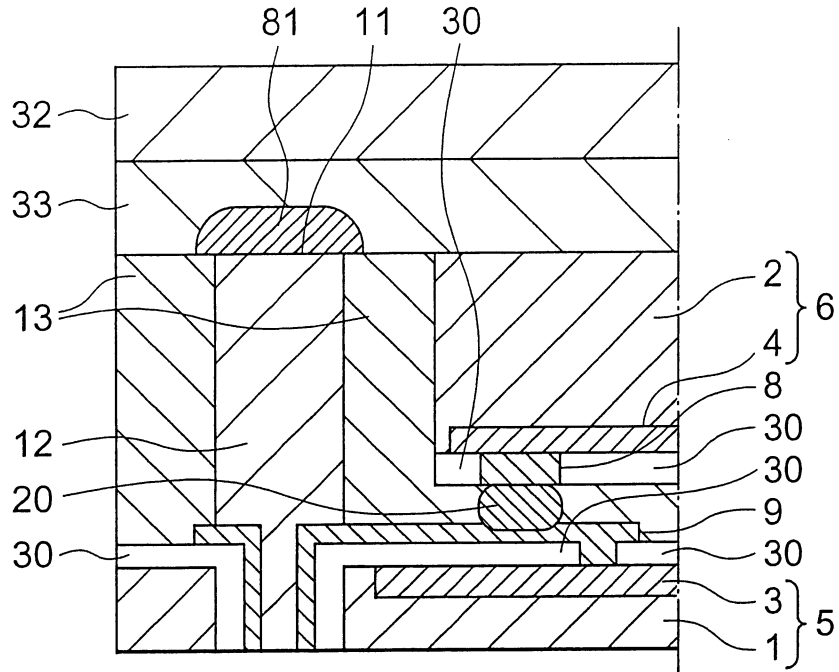


圖 37

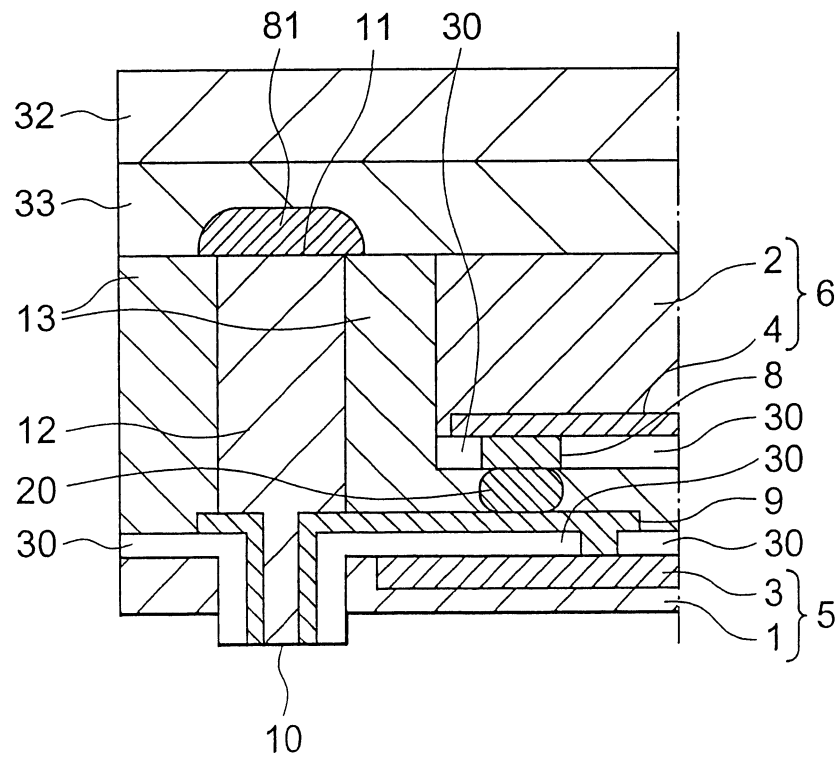


圖 38

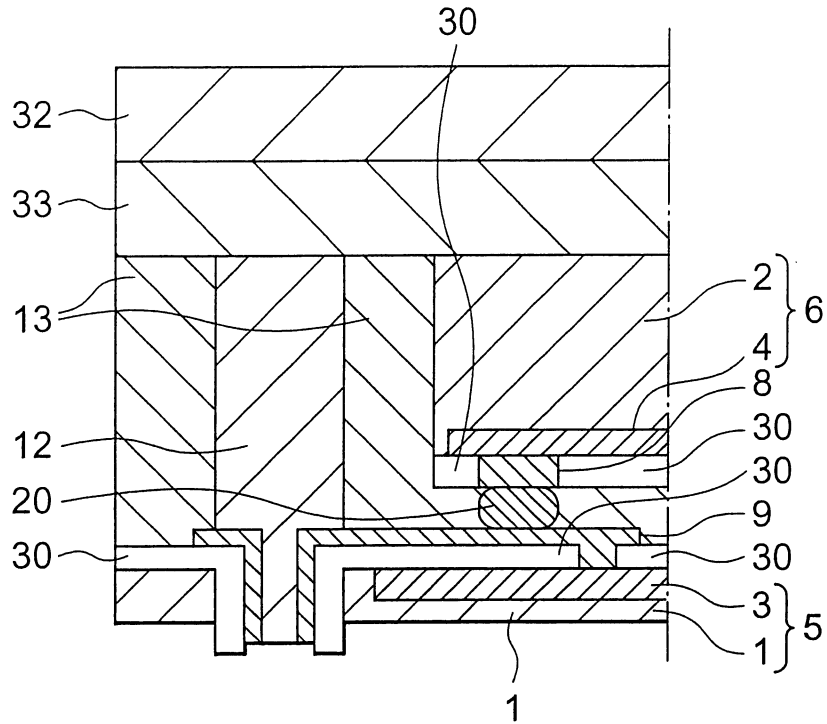


圖 39

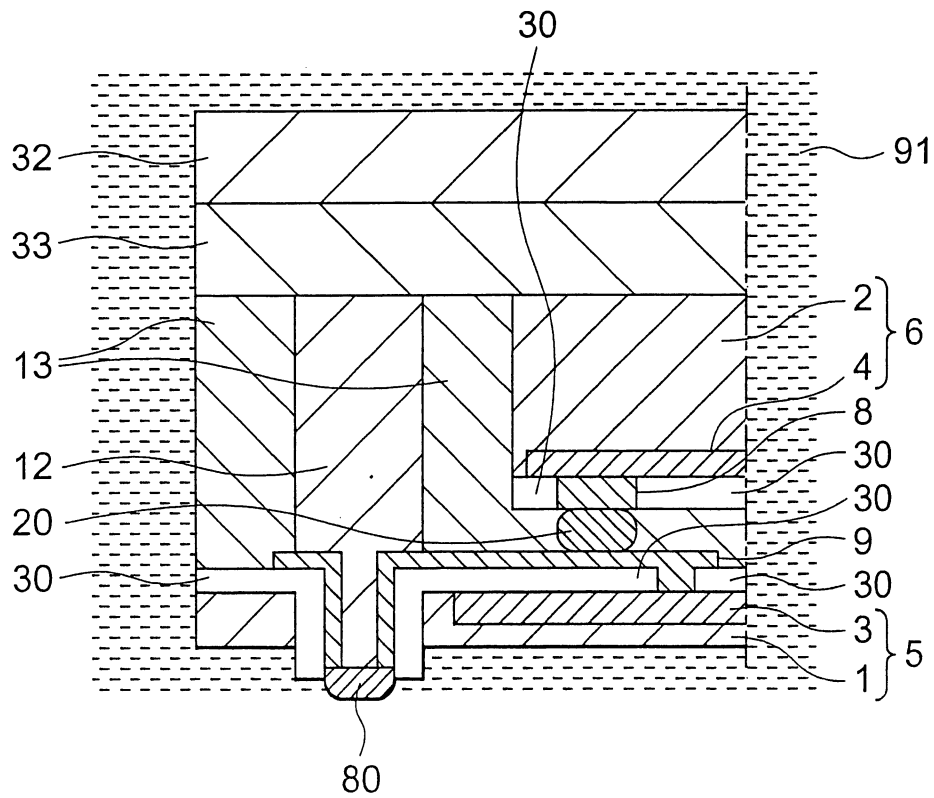


圖 40

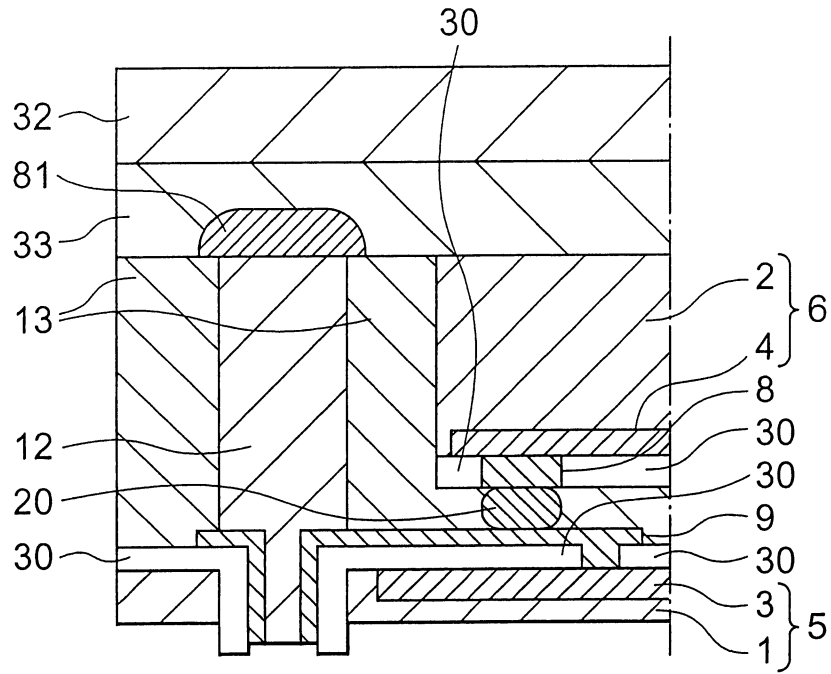


圖 41

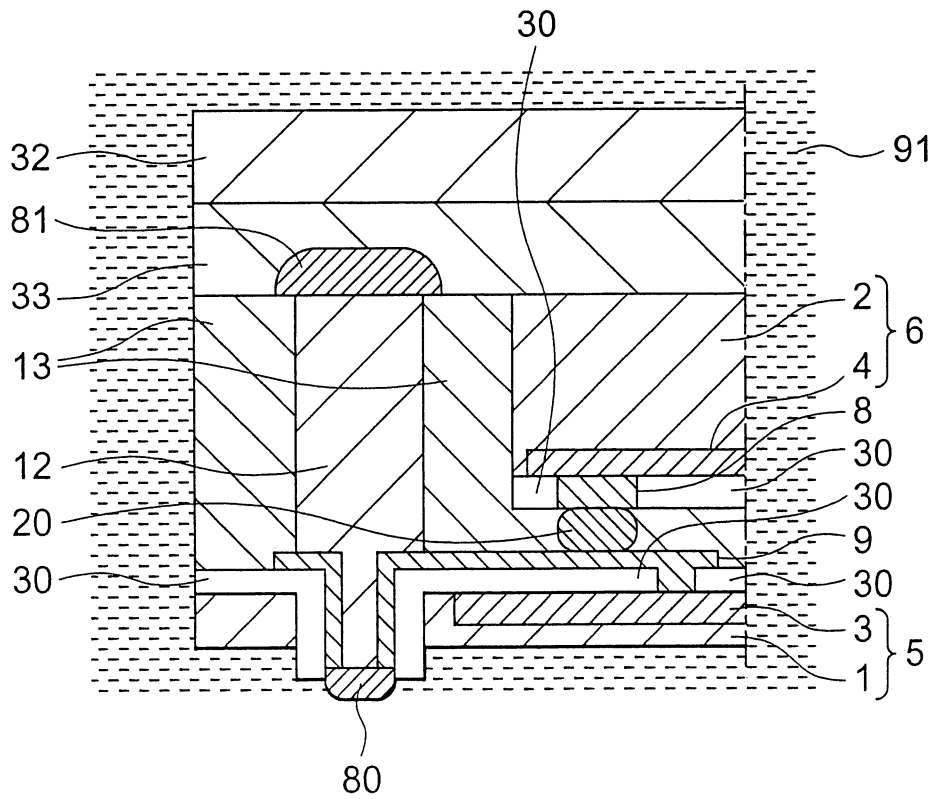


圖 43

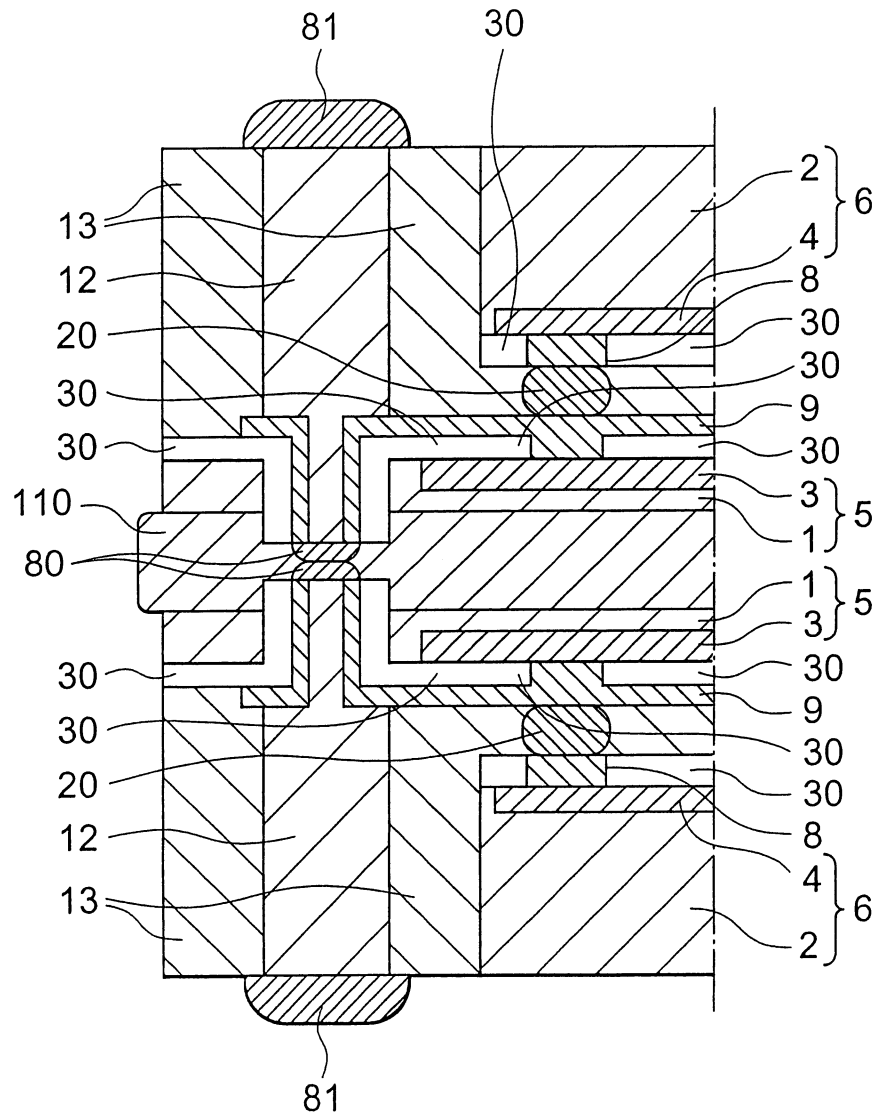


圖 44

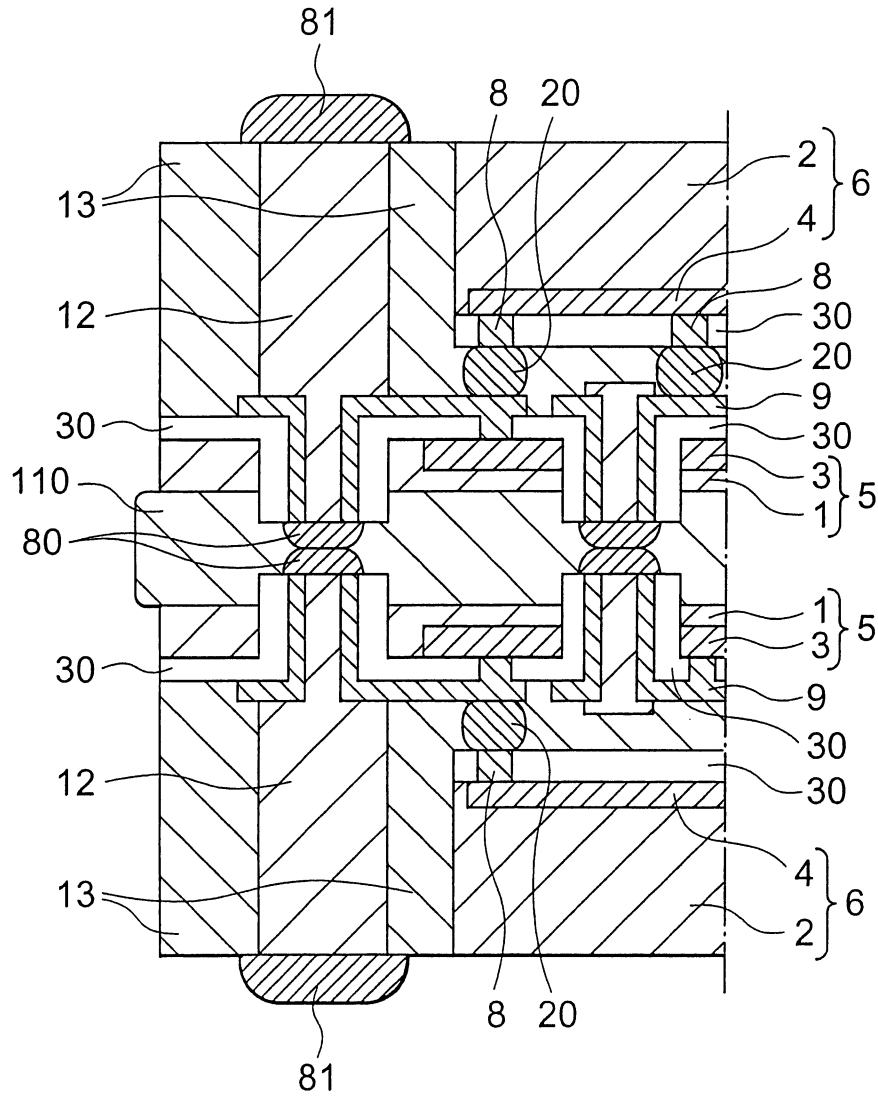


圖 45

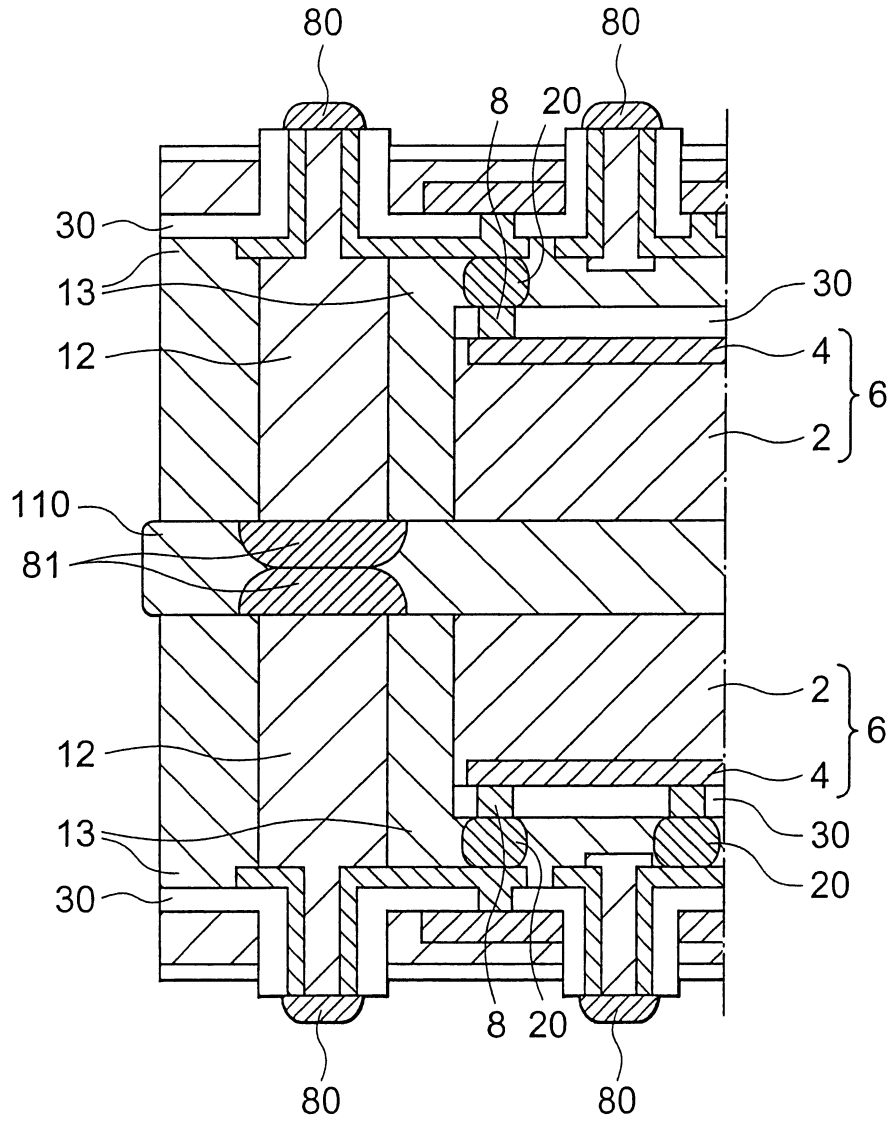


圖 46

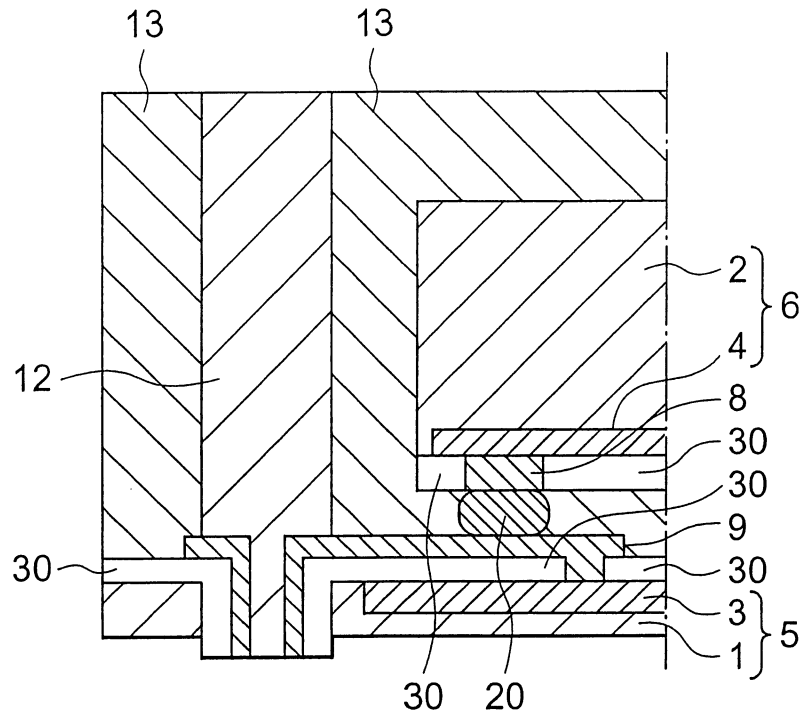


圖 47

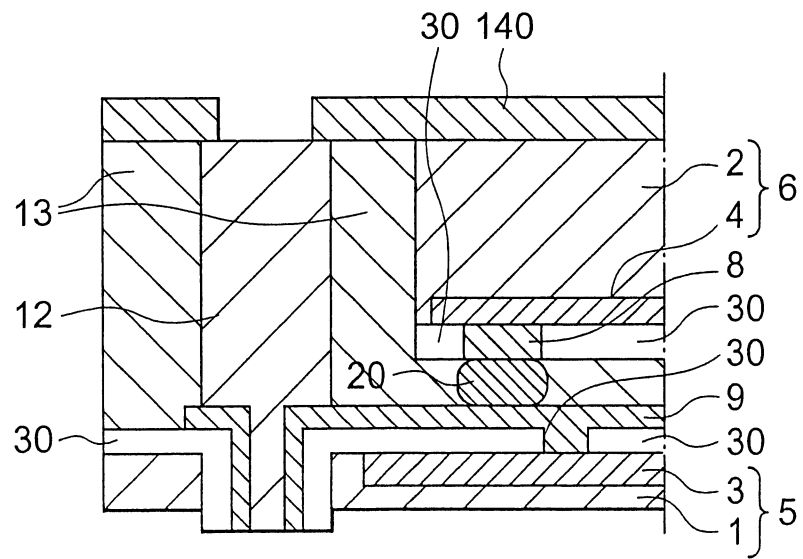


圖 48

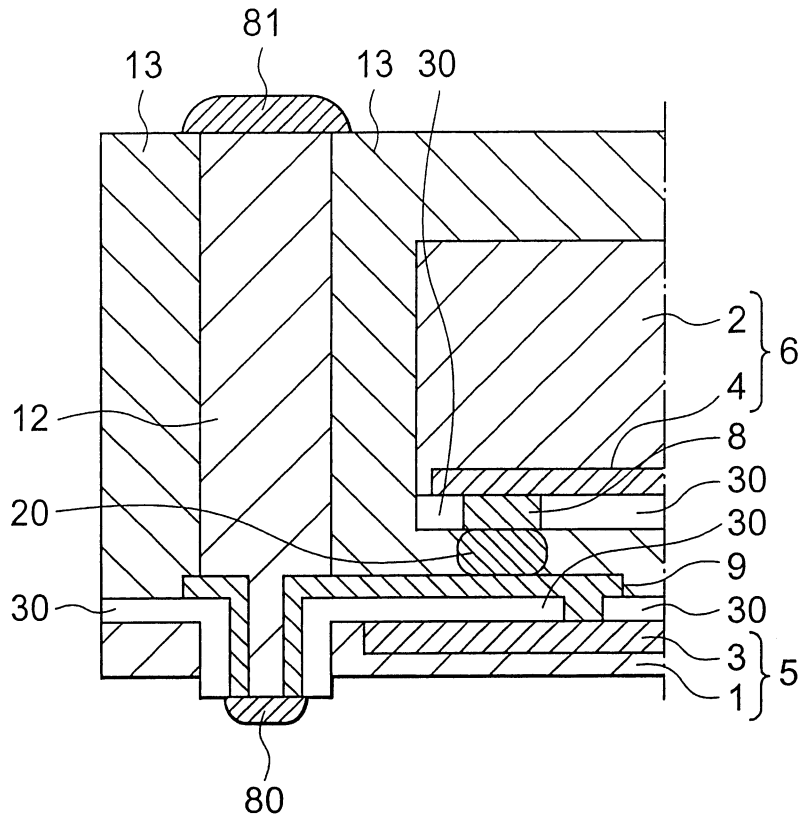


圖 49

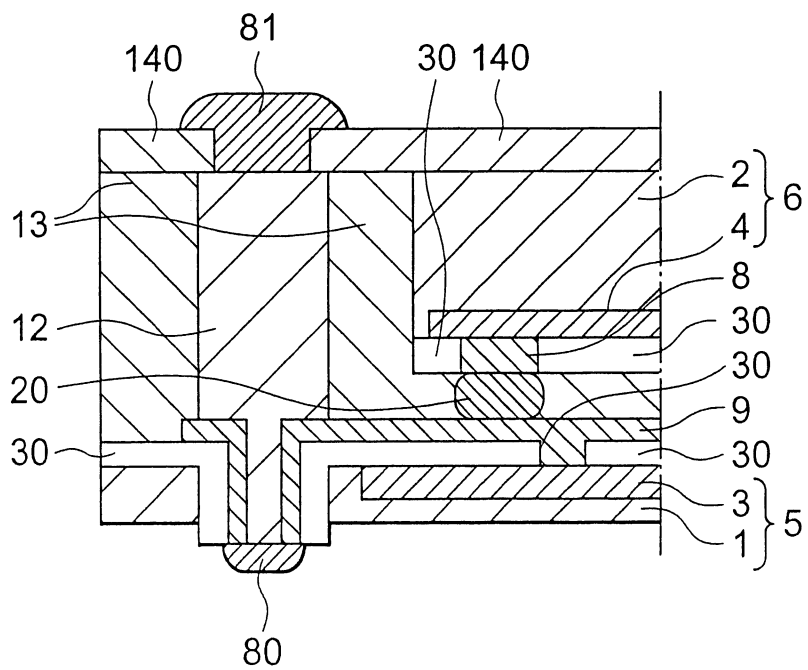


圖 50

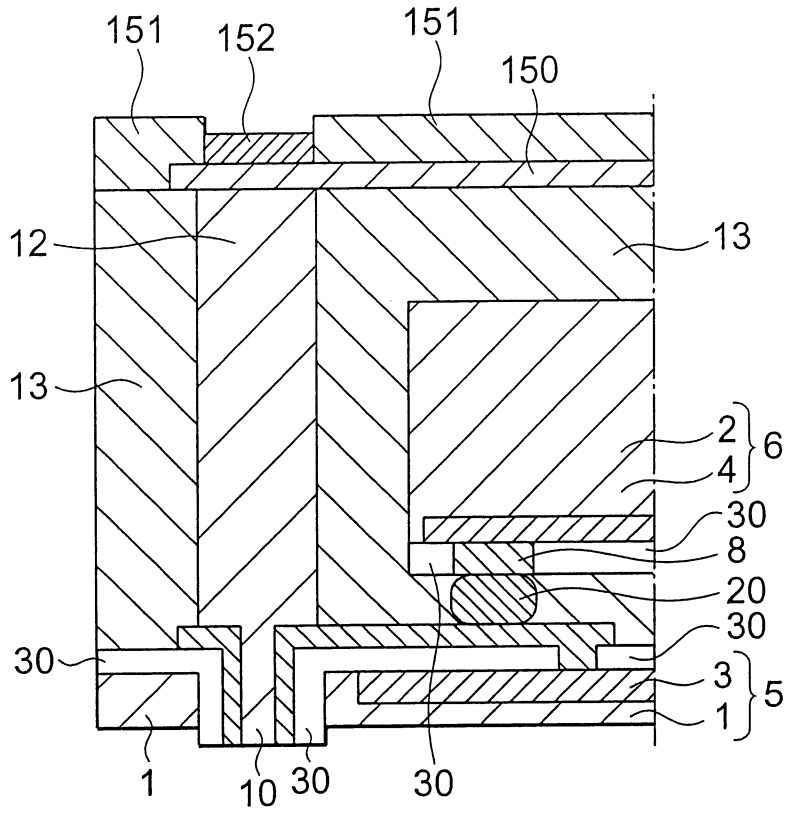


圖 51

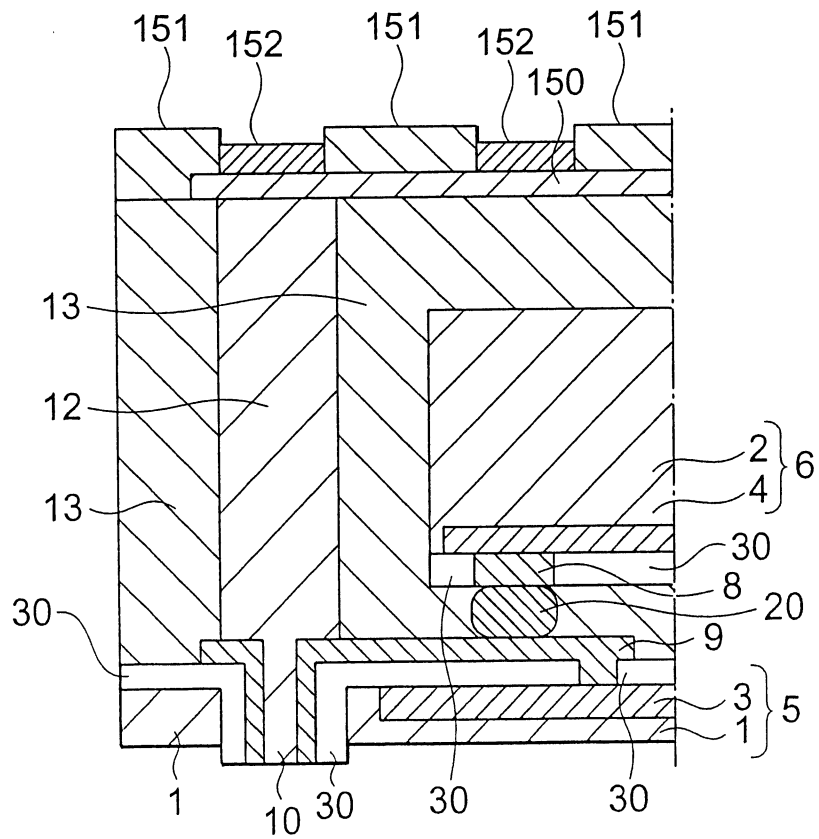
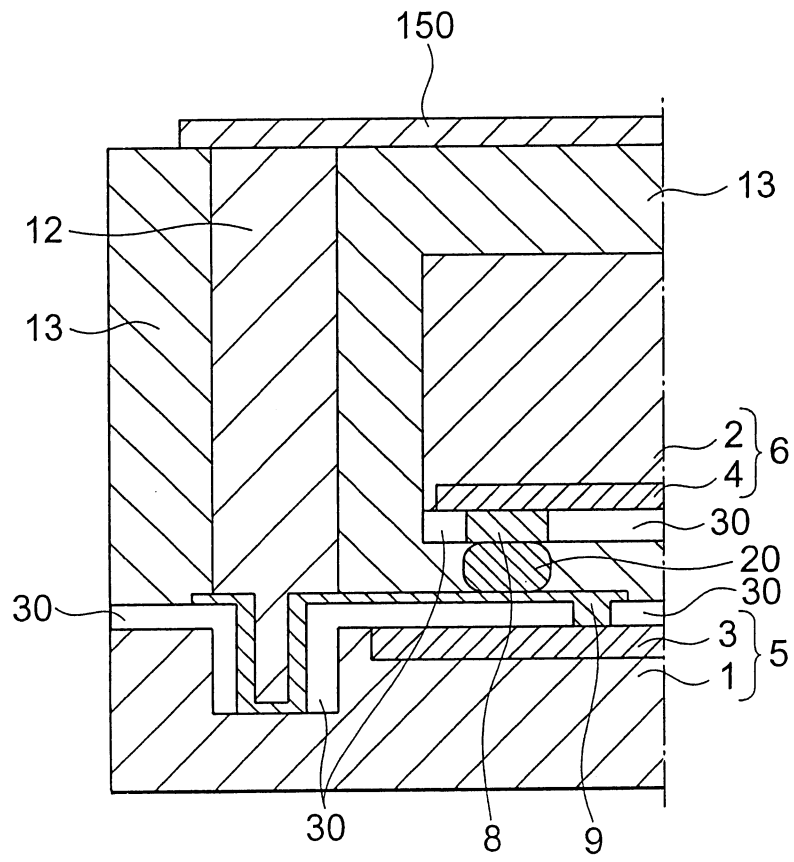


圖 52



53

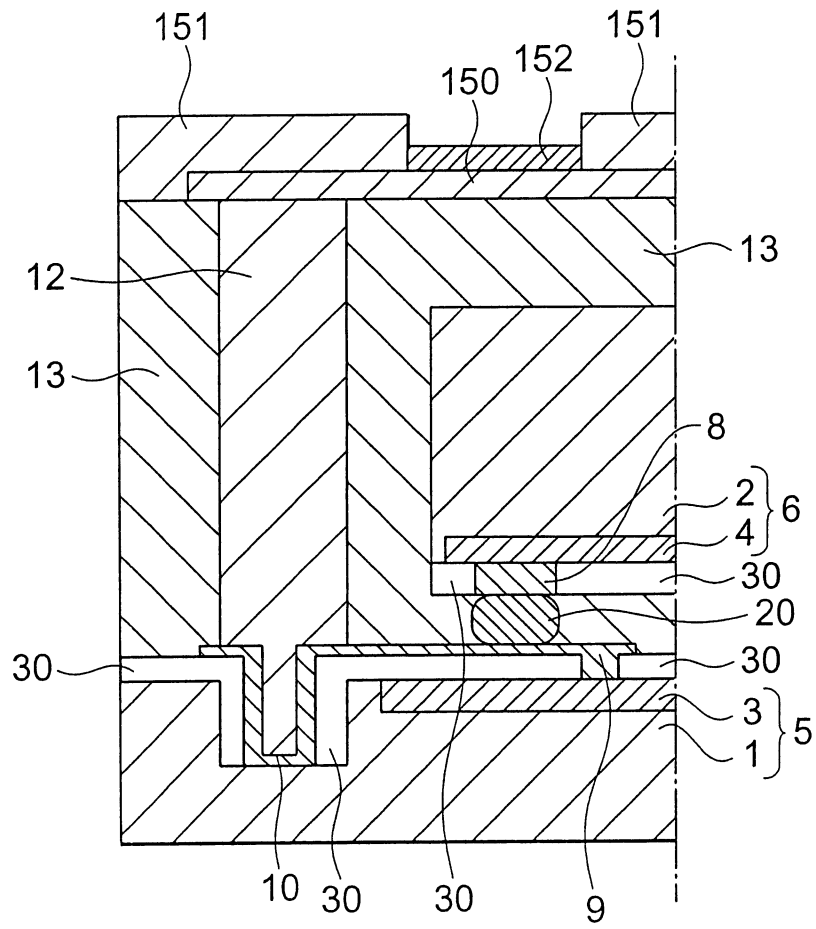


圖 54

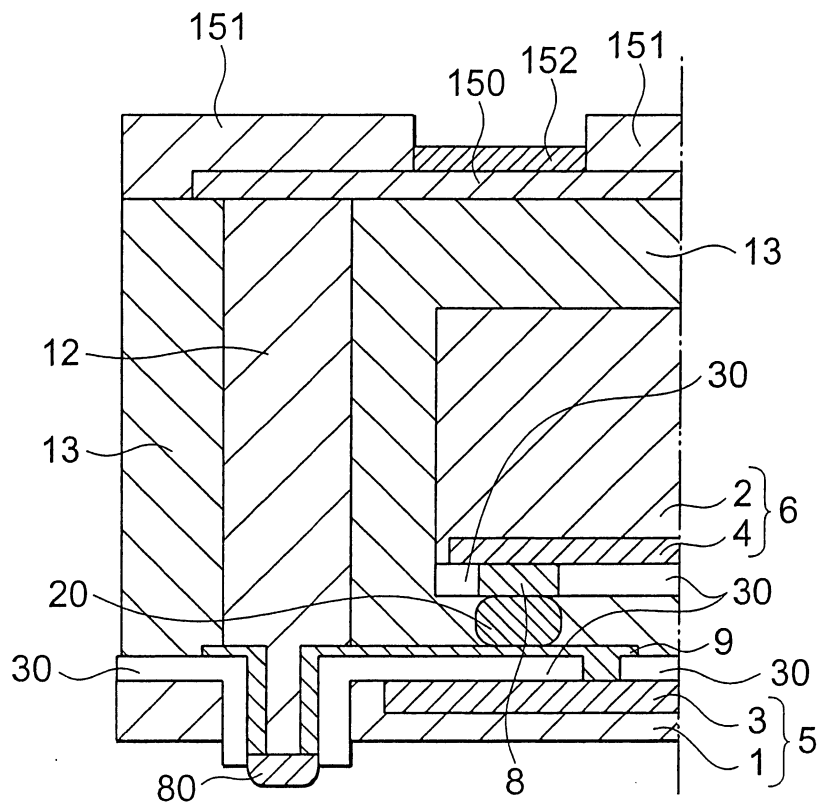


圖 55

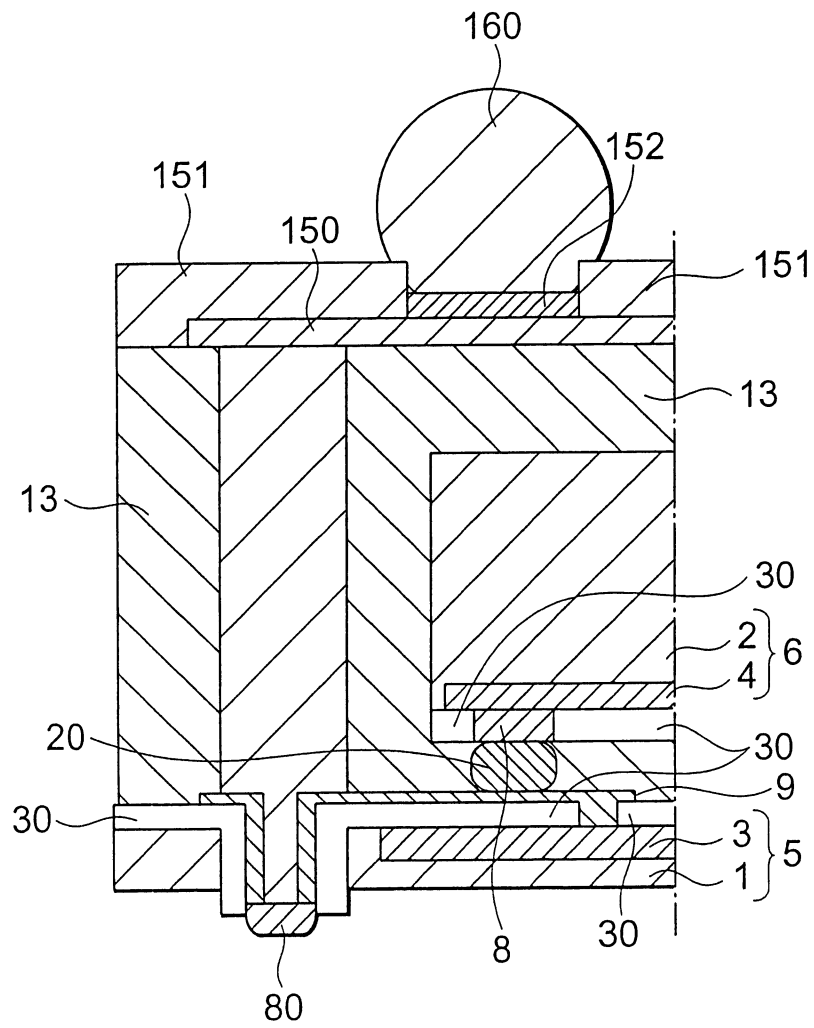
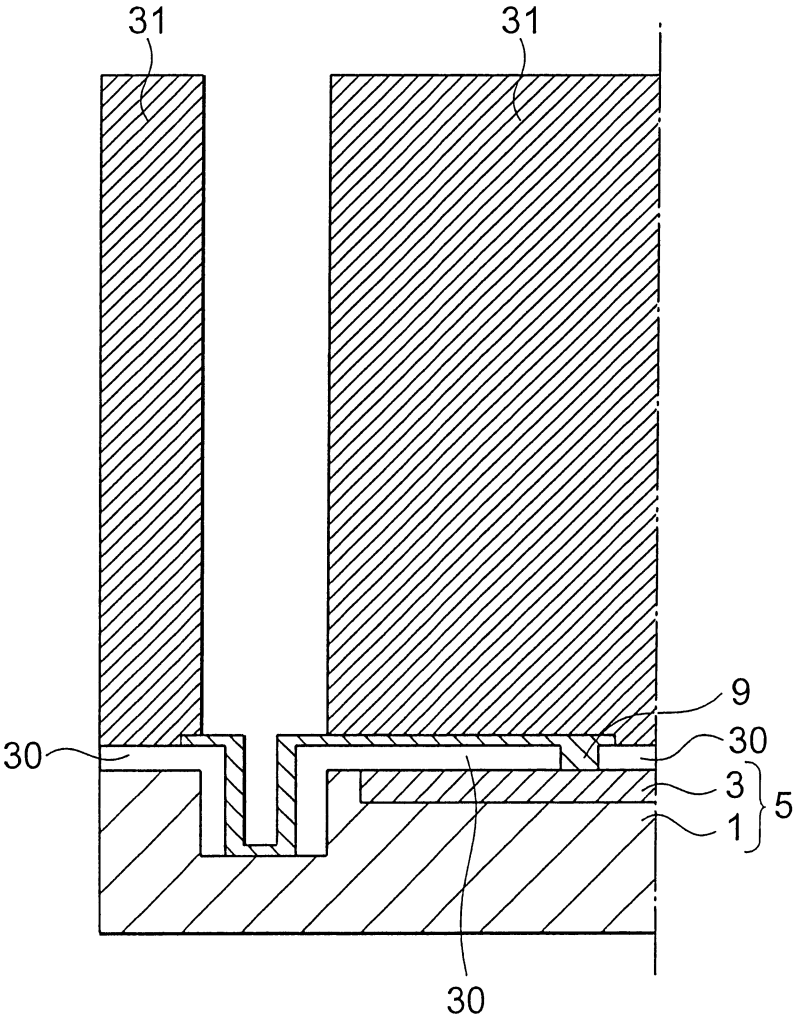


圖 56



57

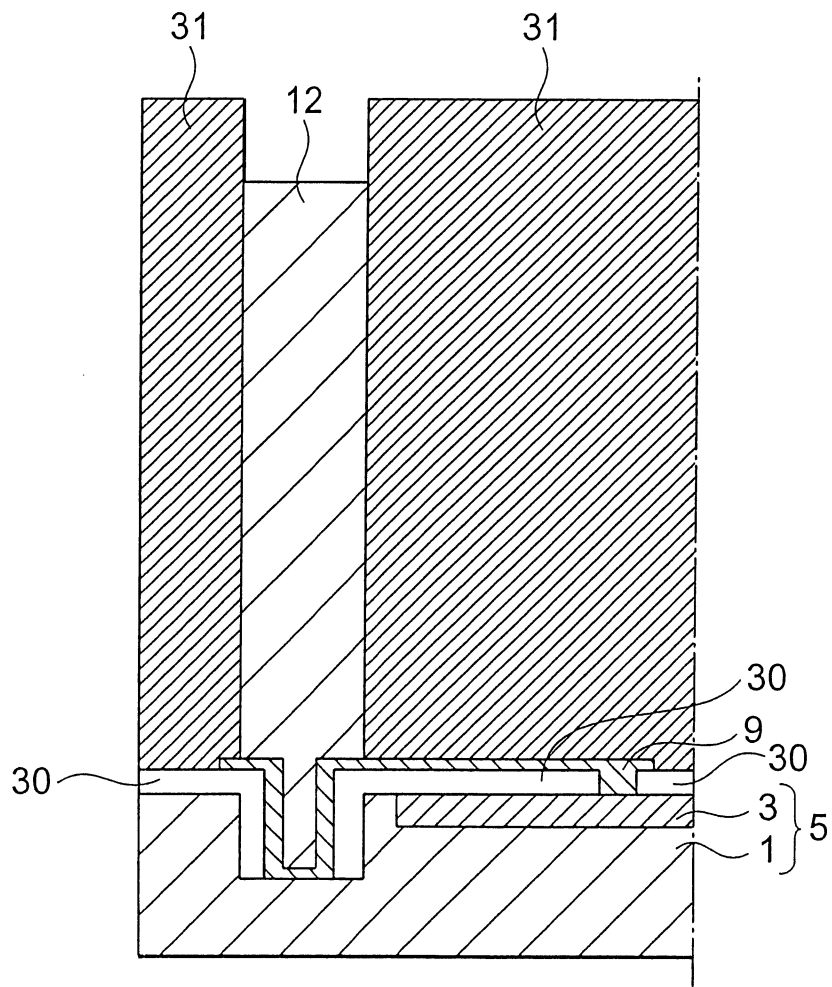


圖 58

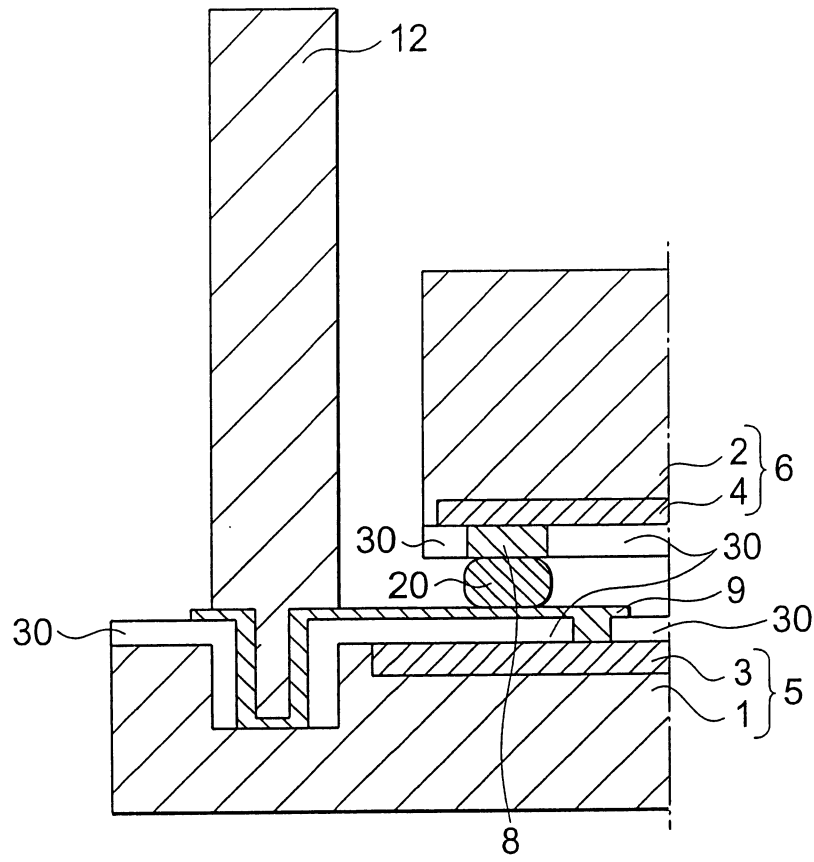


圖 59

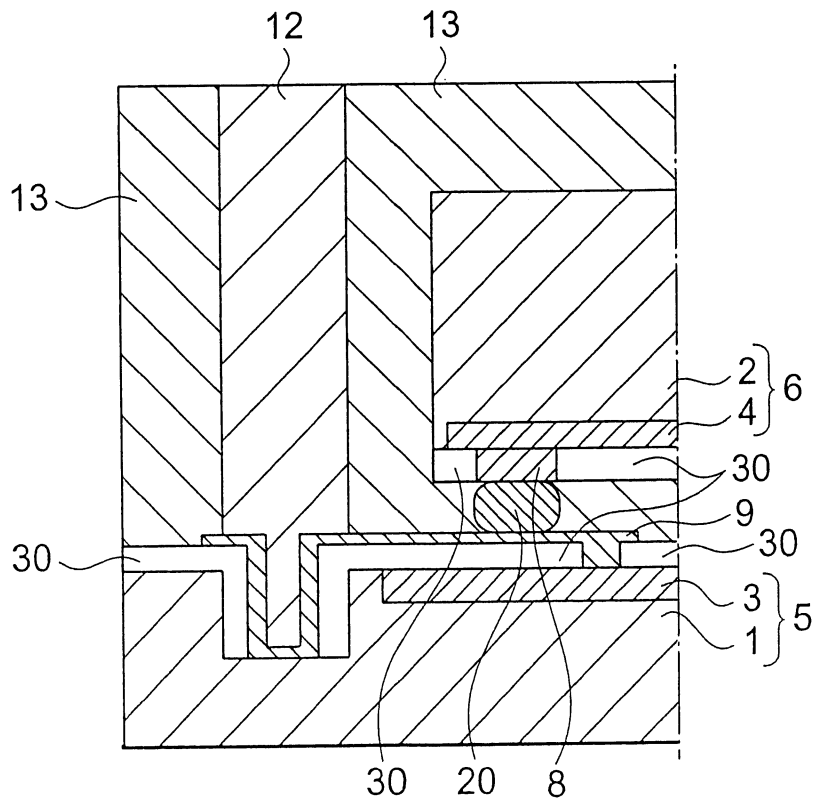


圖 60

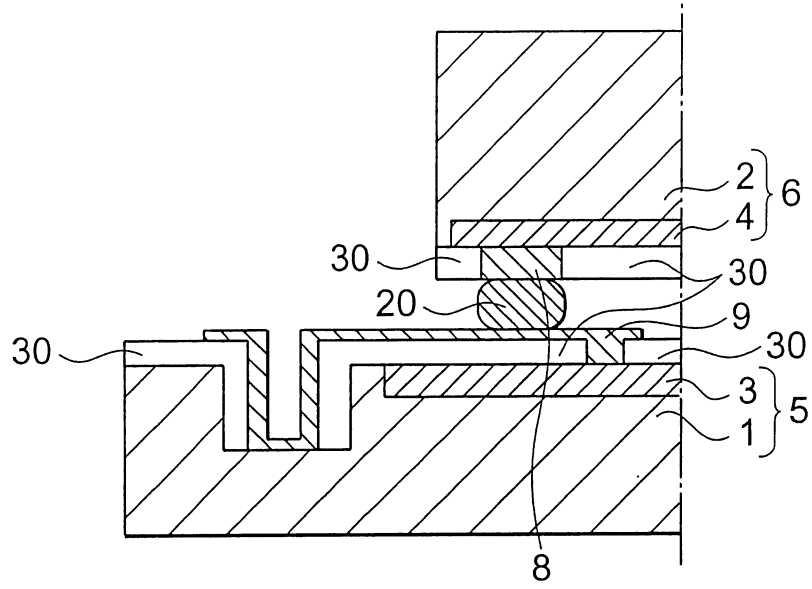


圖 61

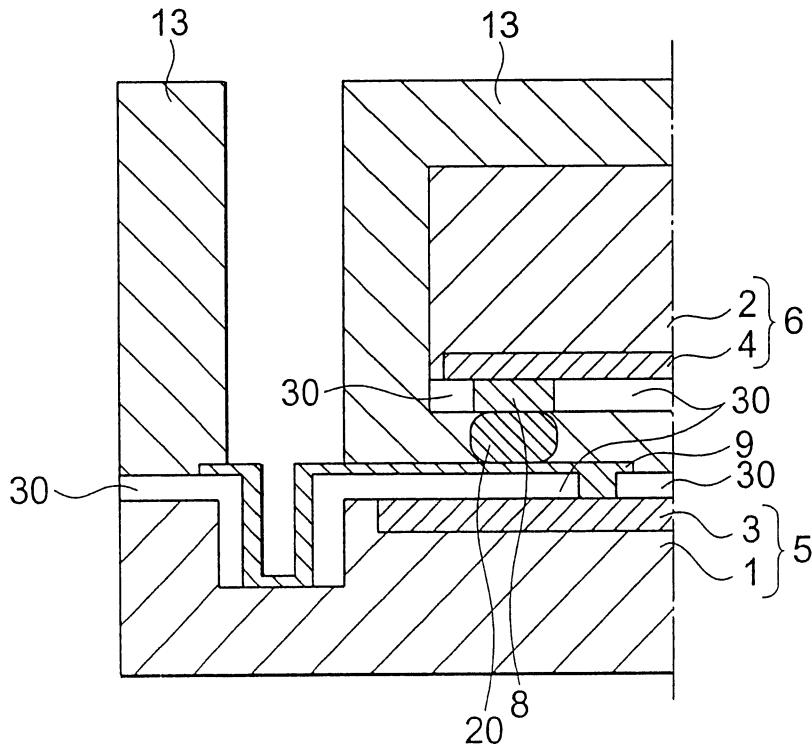


圖 62

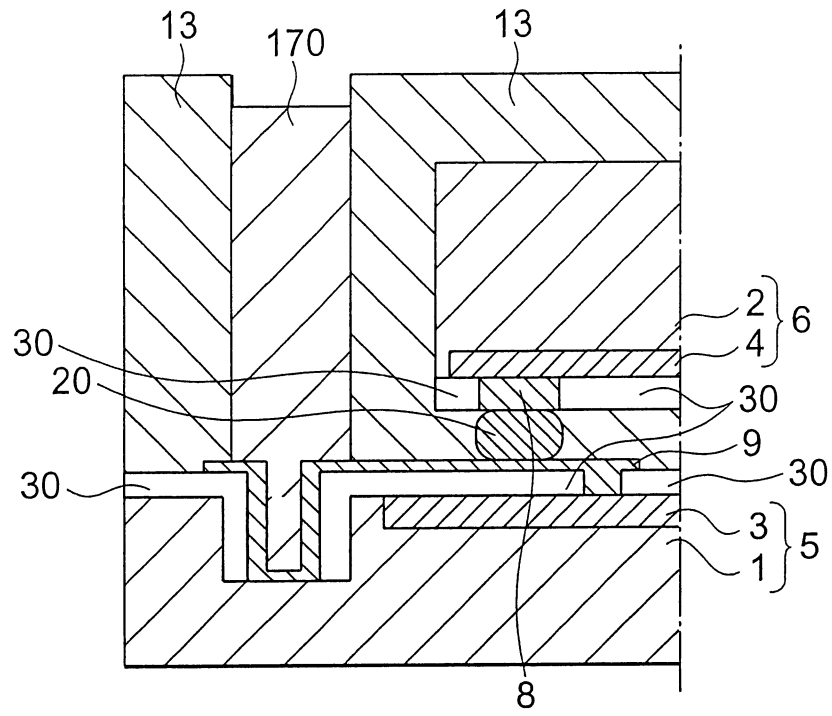


圖 63

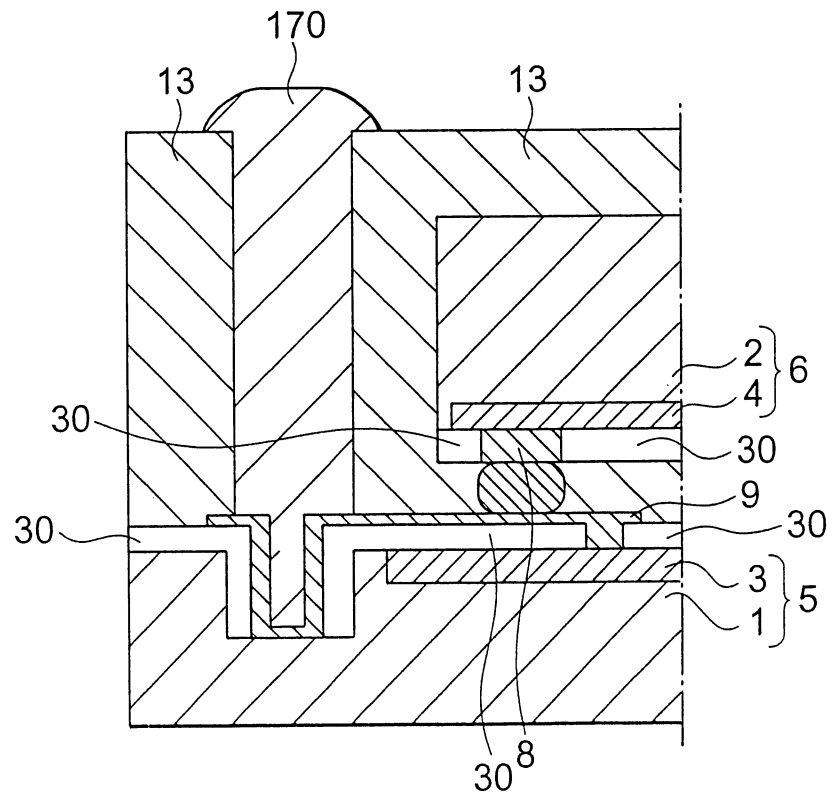


圖 64

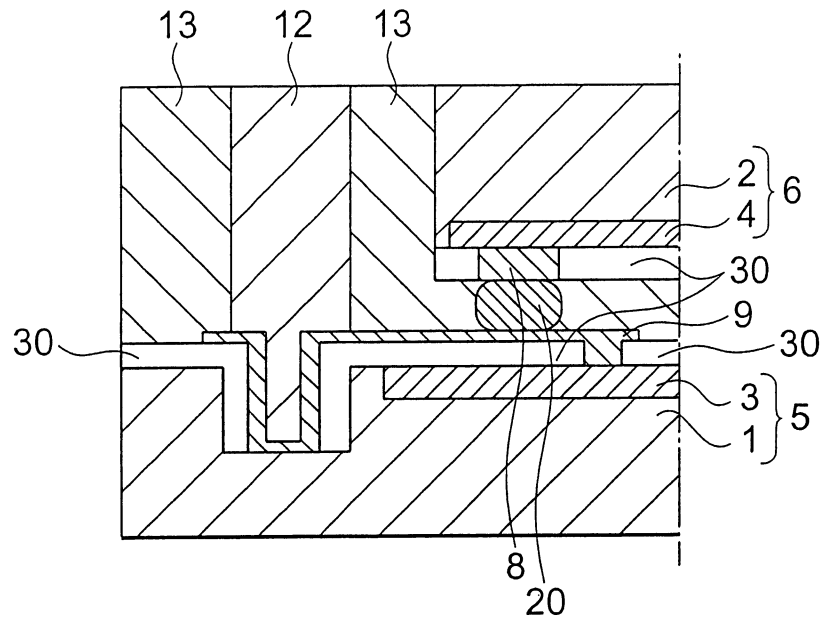


圖 65

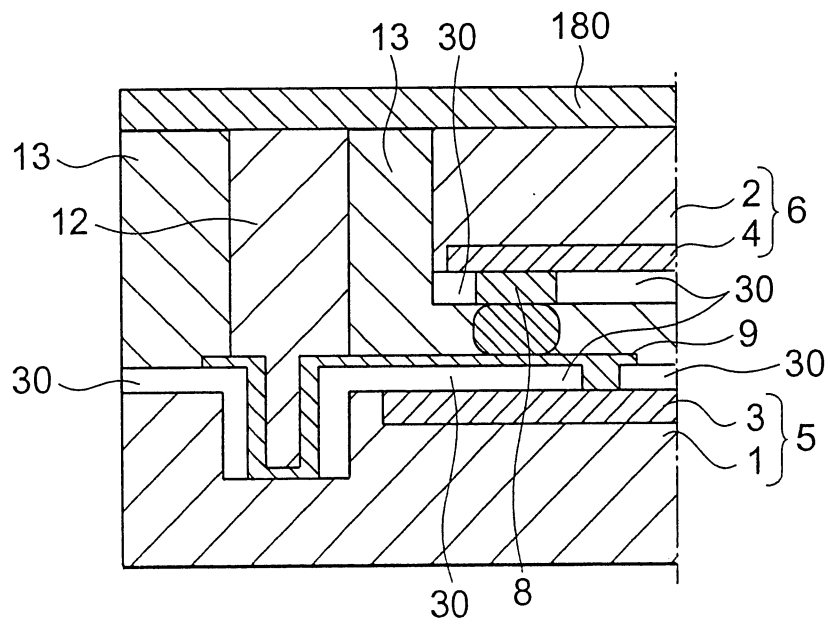


圖 66

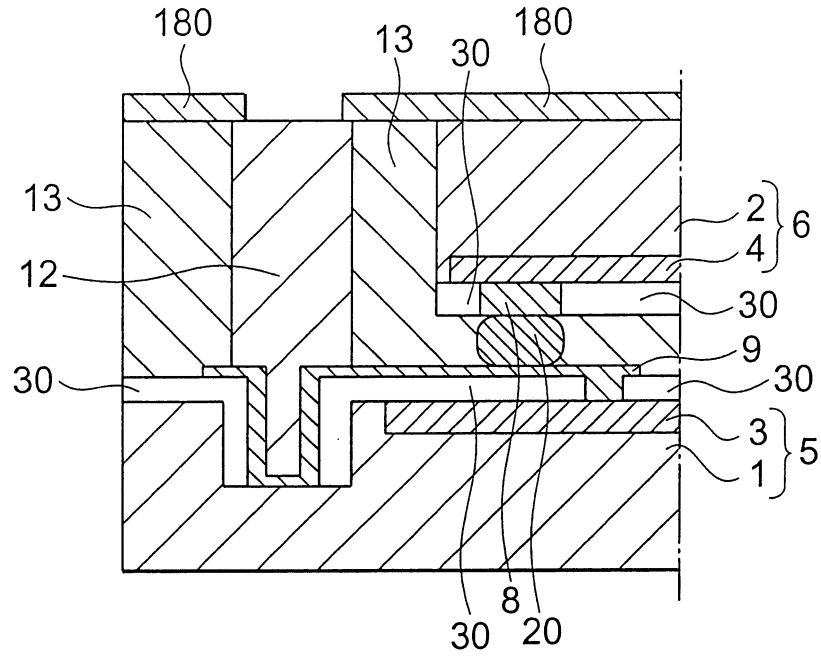


圖 67

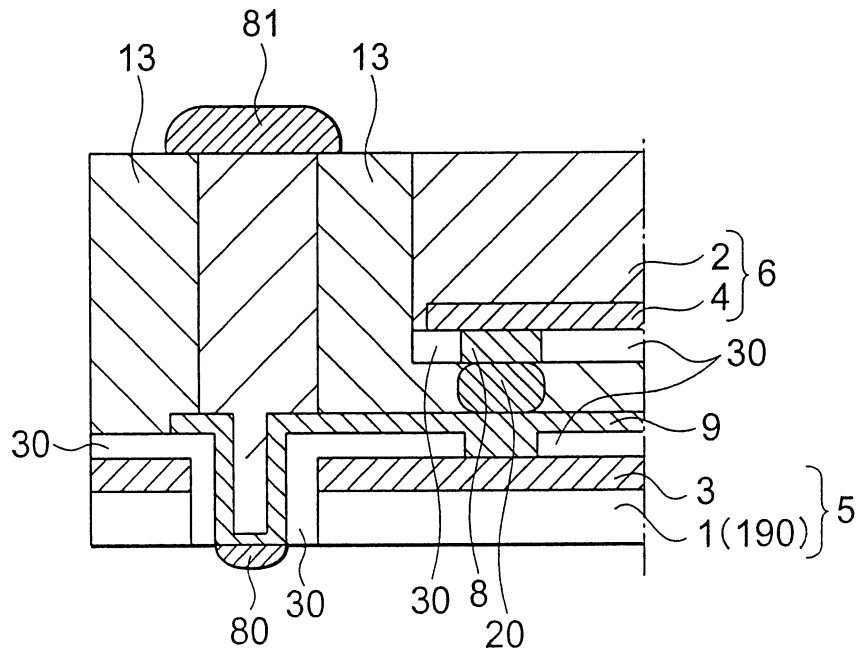


圖 68

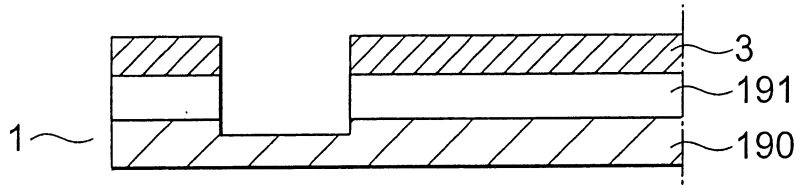


圖 69

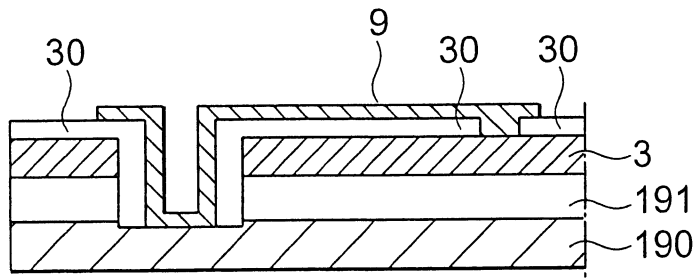


圖 70

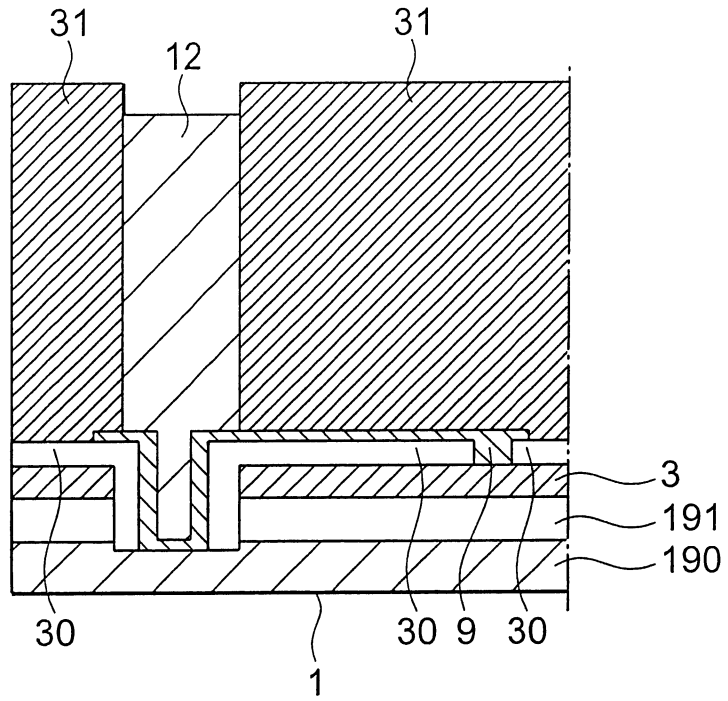


圖 71

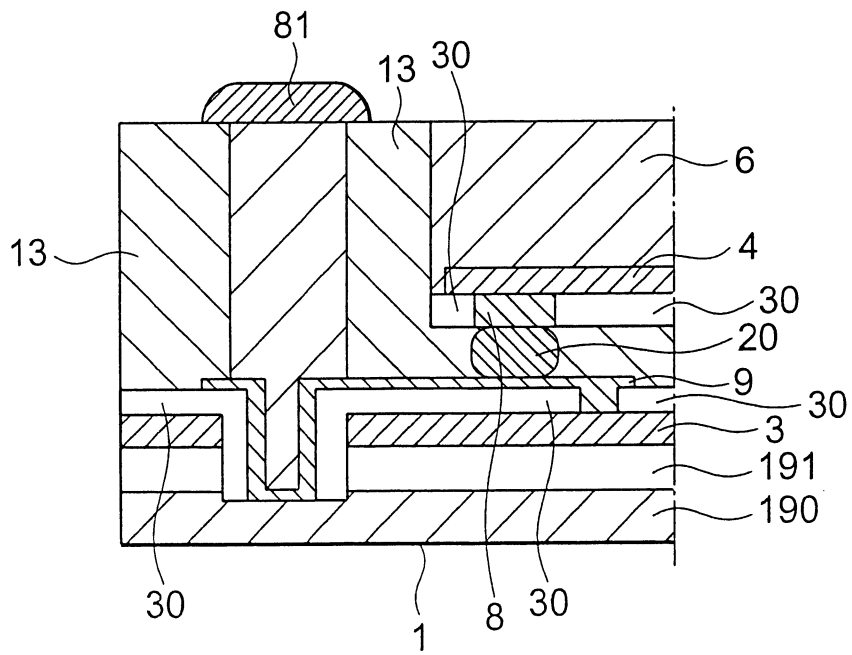


圖 76

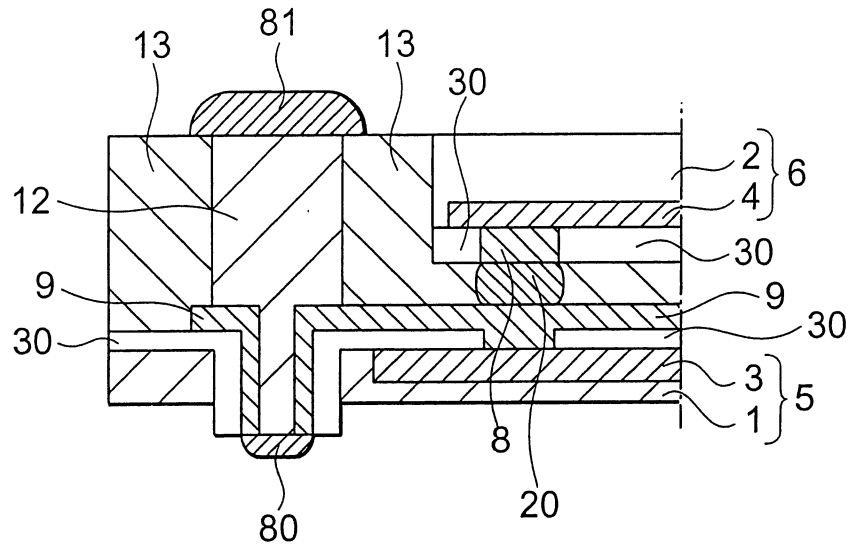


圖 77

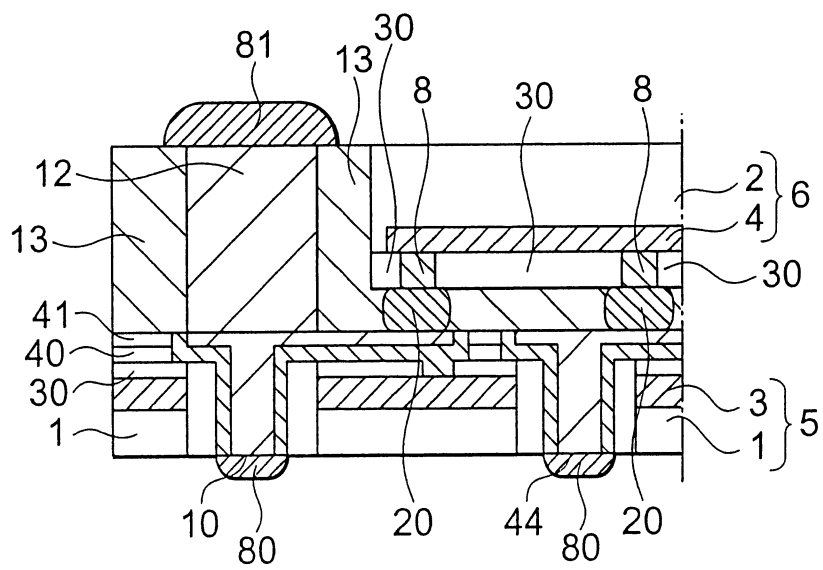


圖 78

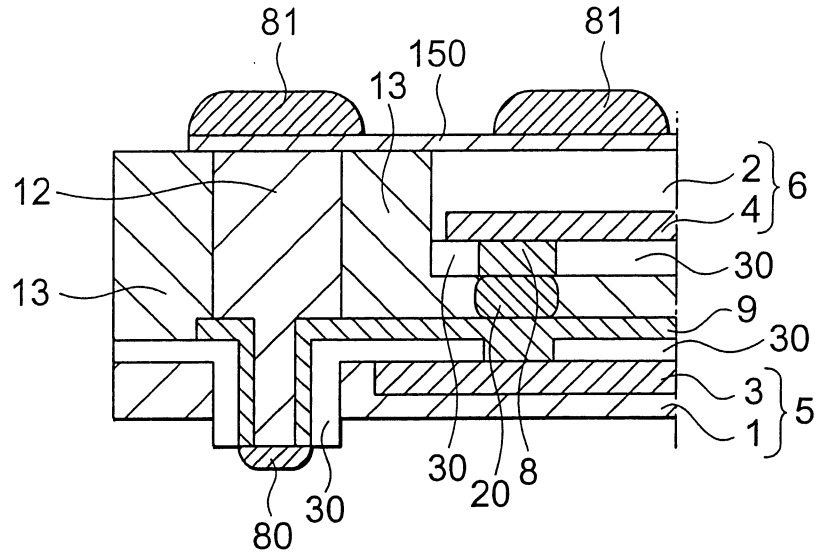


圖 79

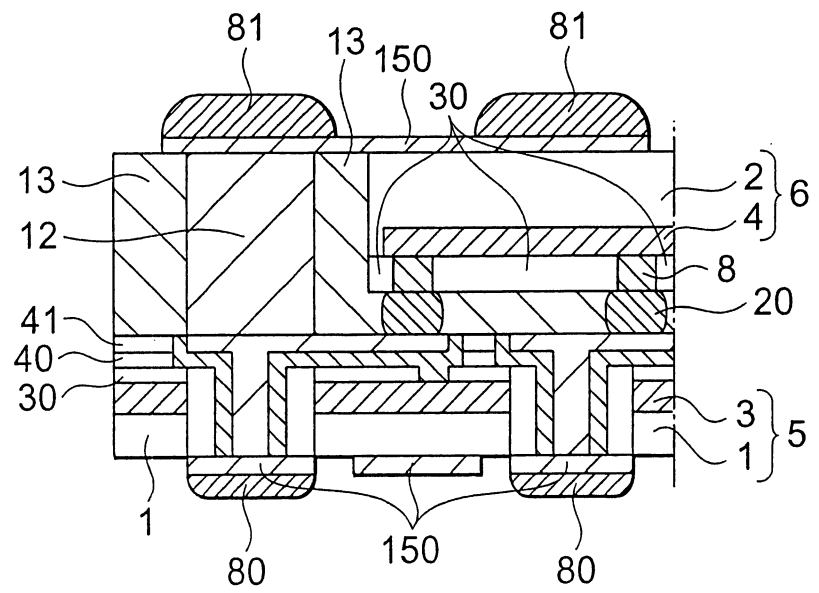


圖 80

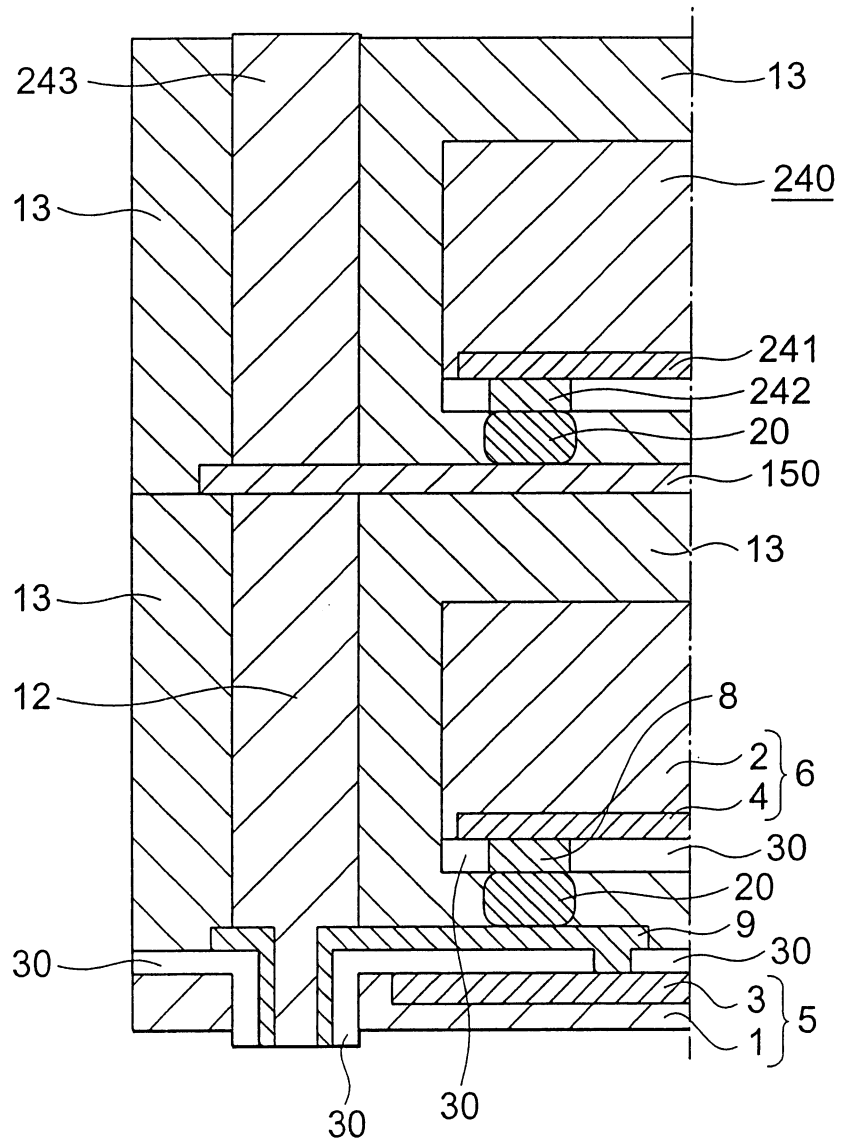


圖 81

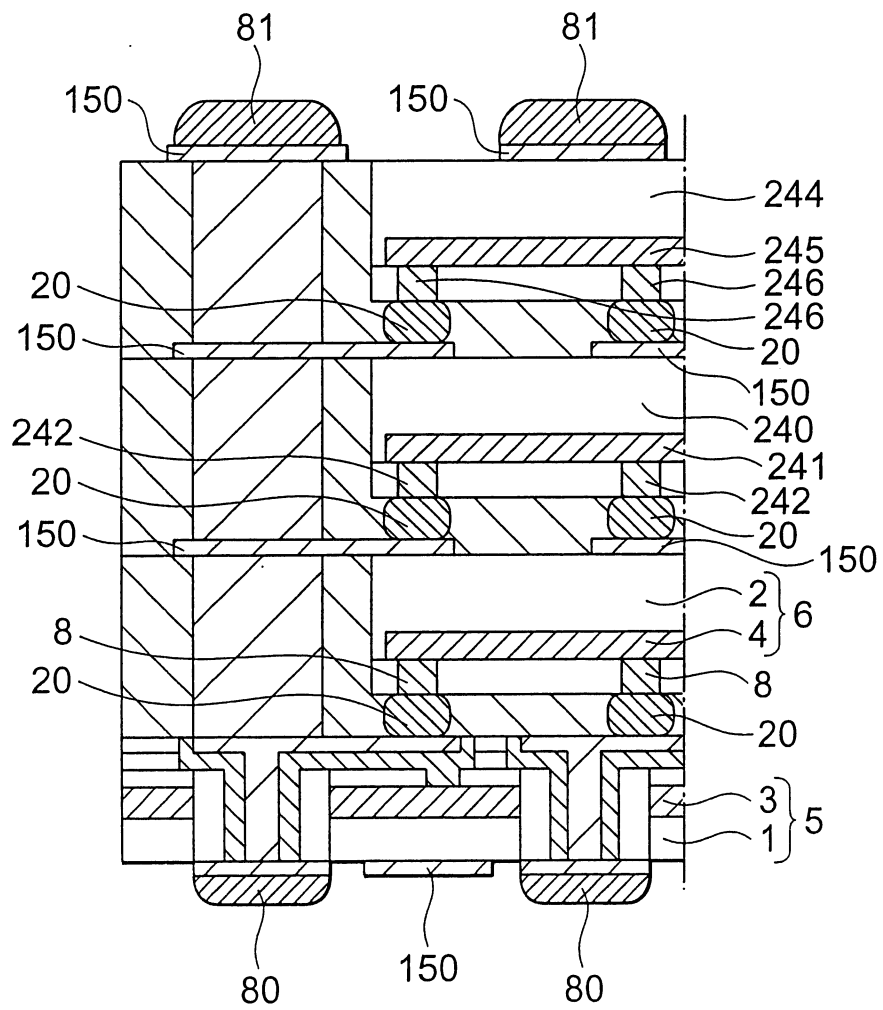


圖 82

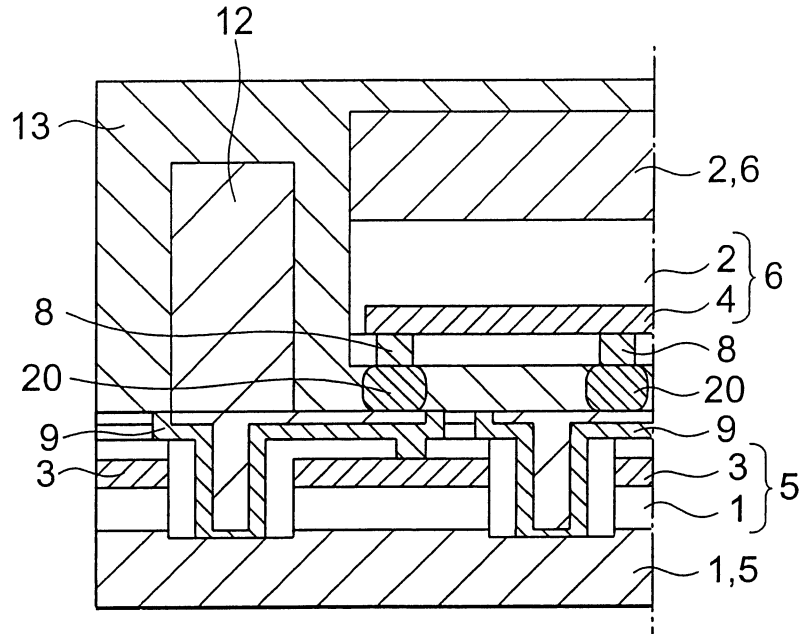


圖 83

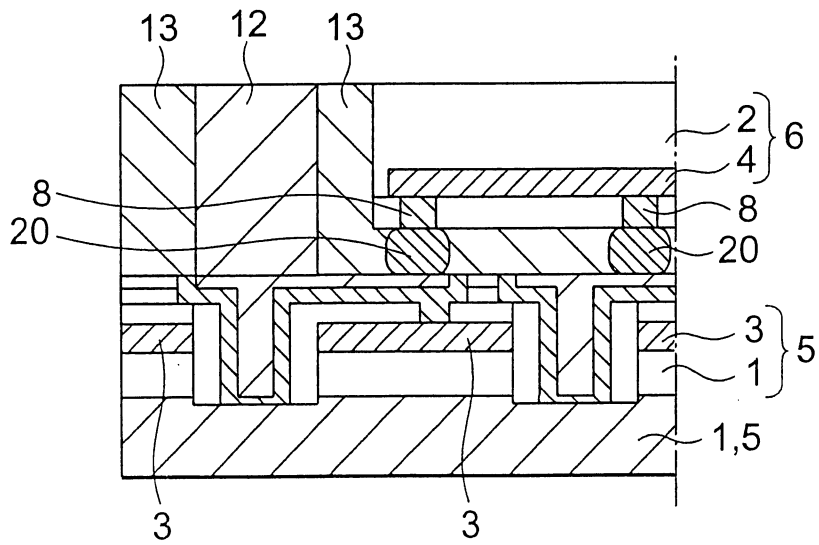


圖 84

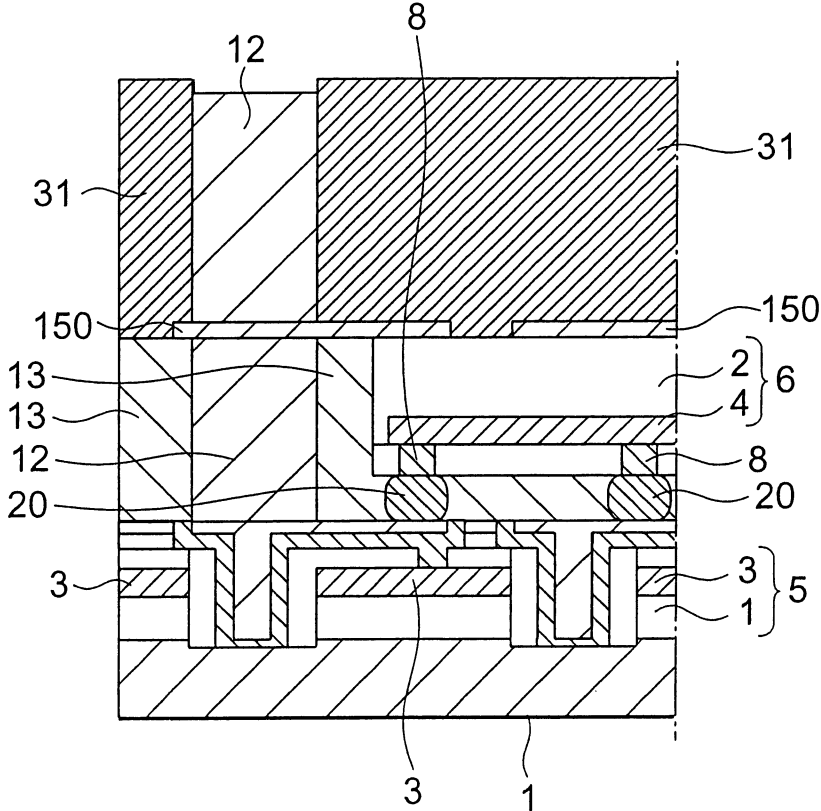


圖 85

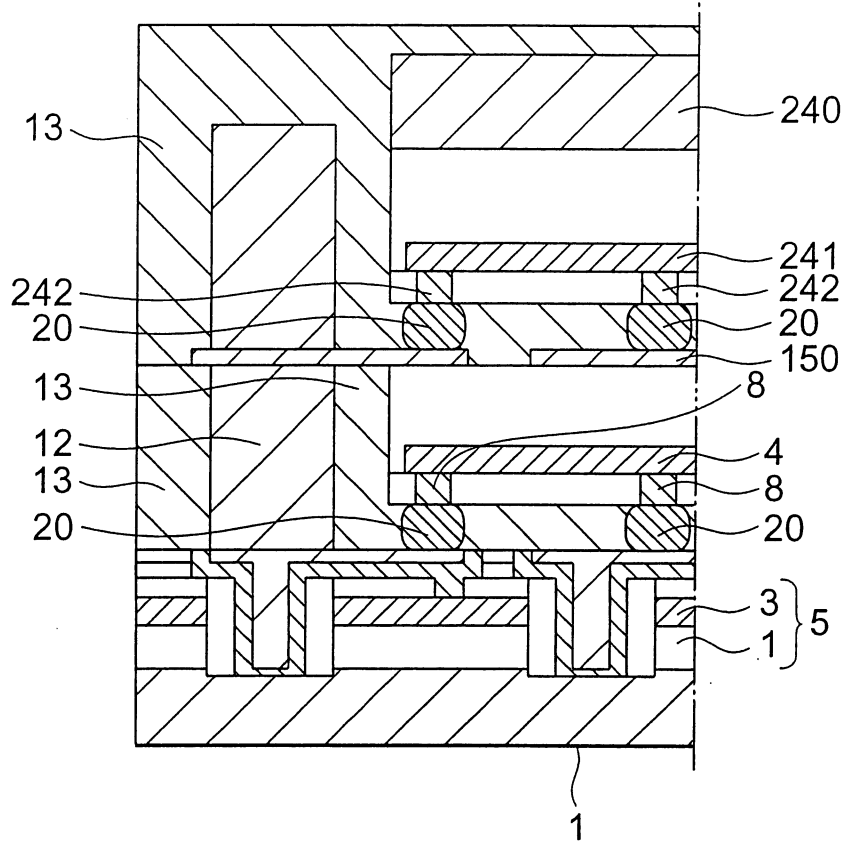
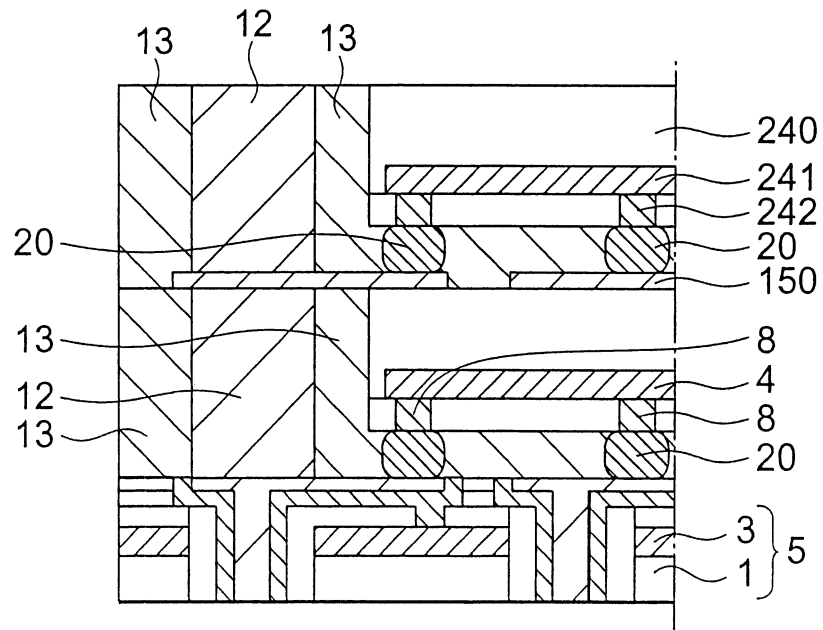


圖 86



I255674

87

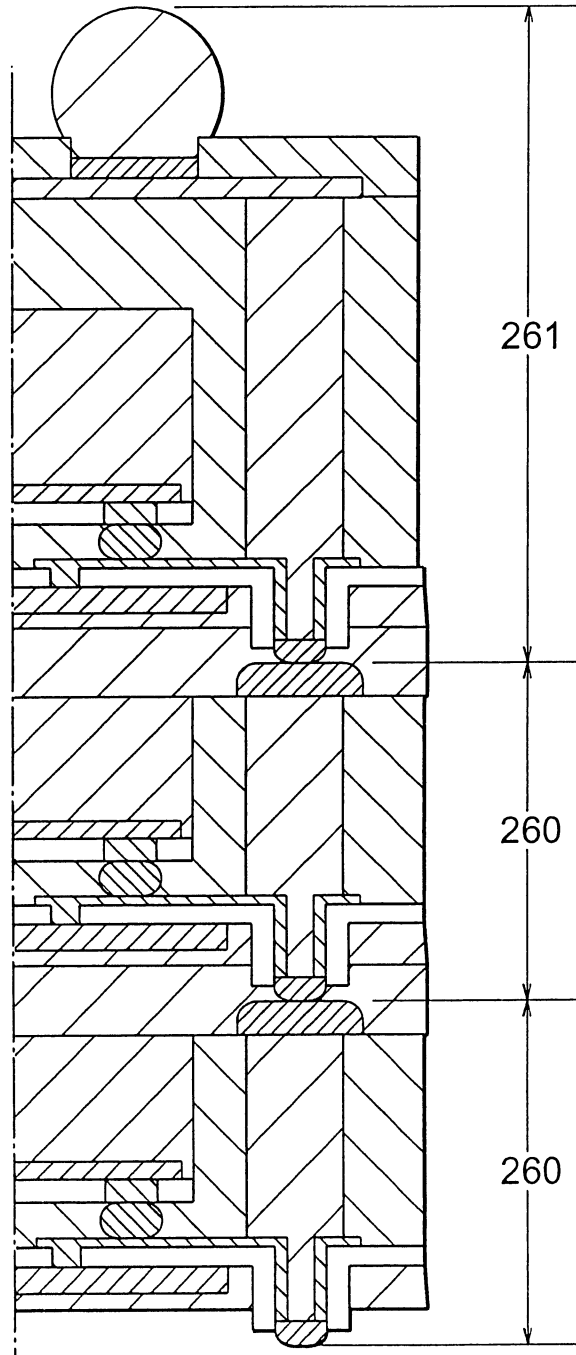


圖 88

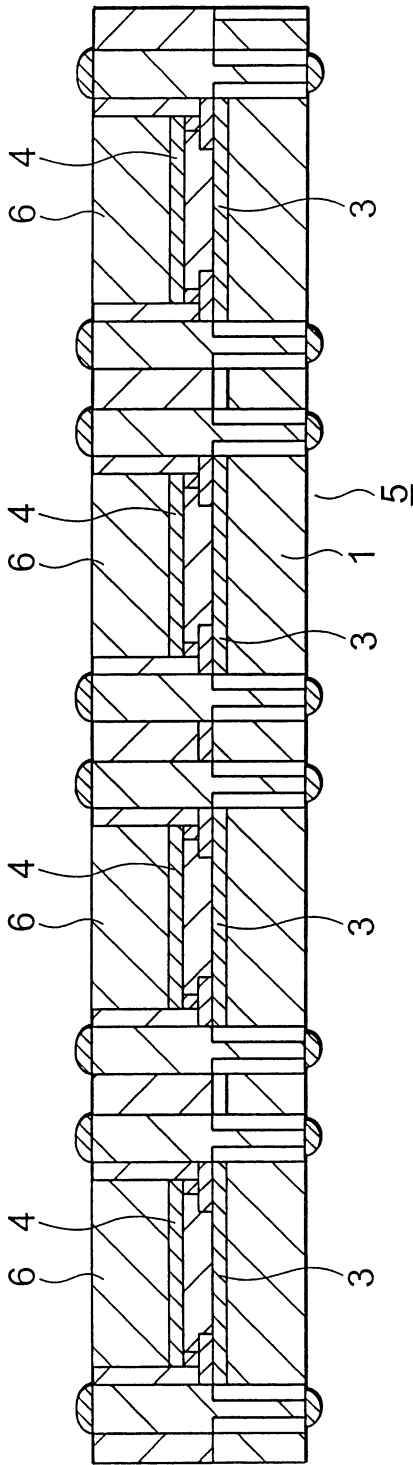


圖 89

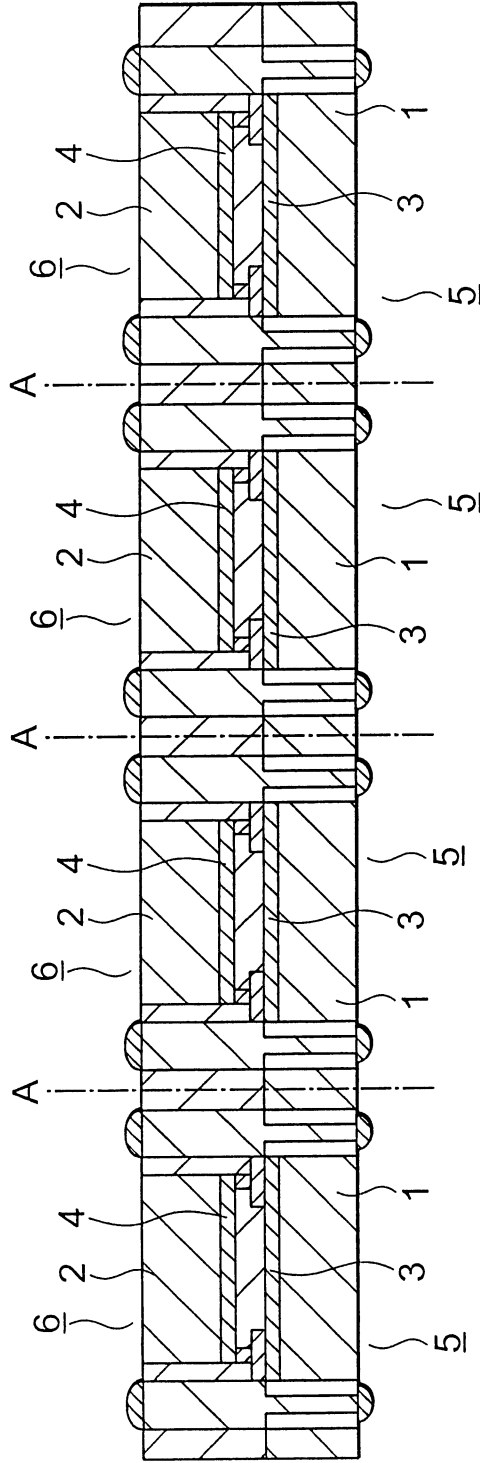


圖 90

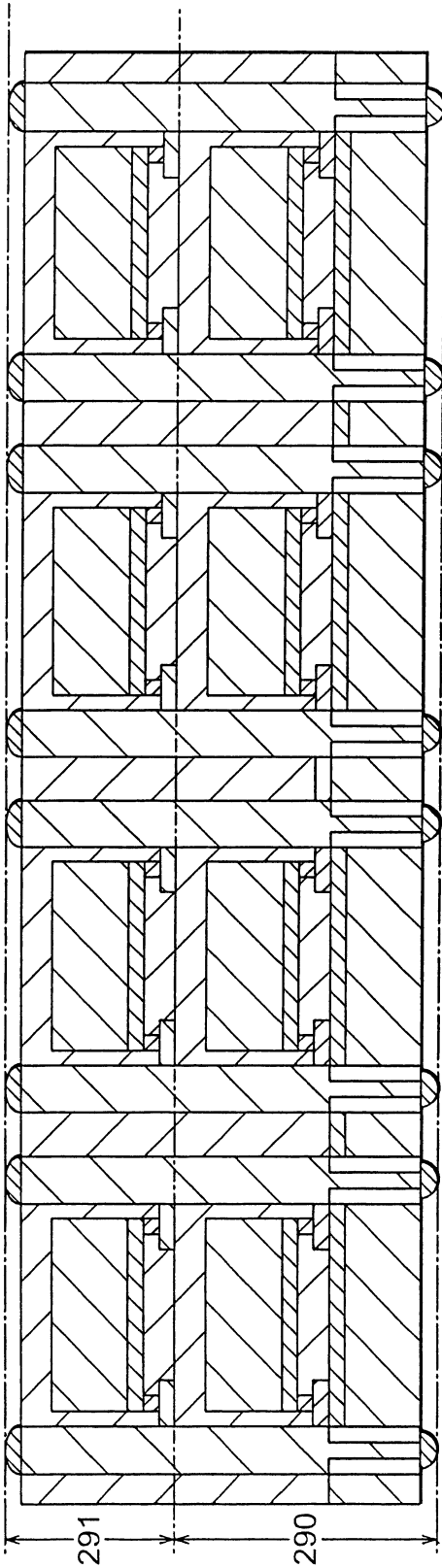


圖 91

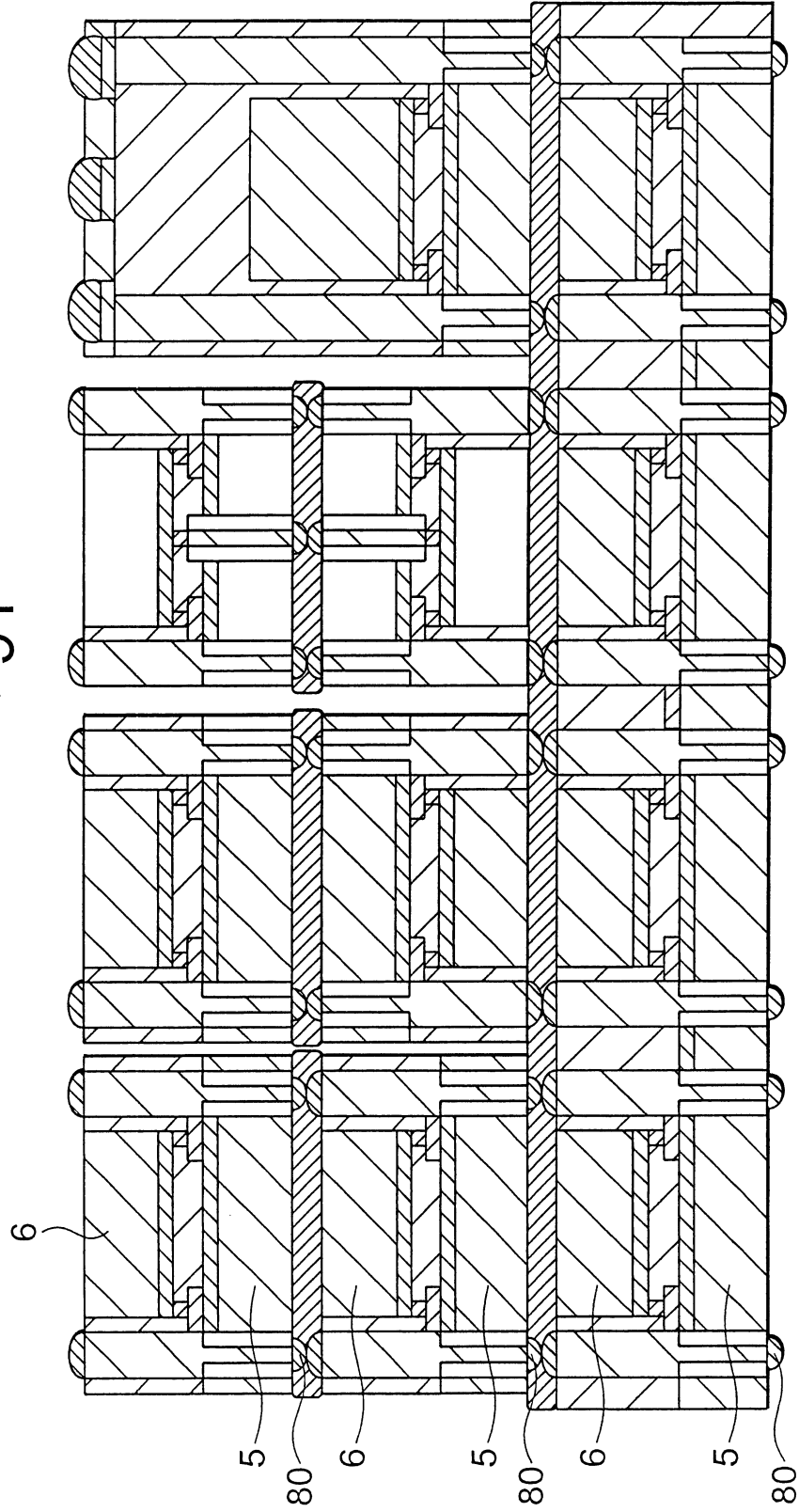


圖 93

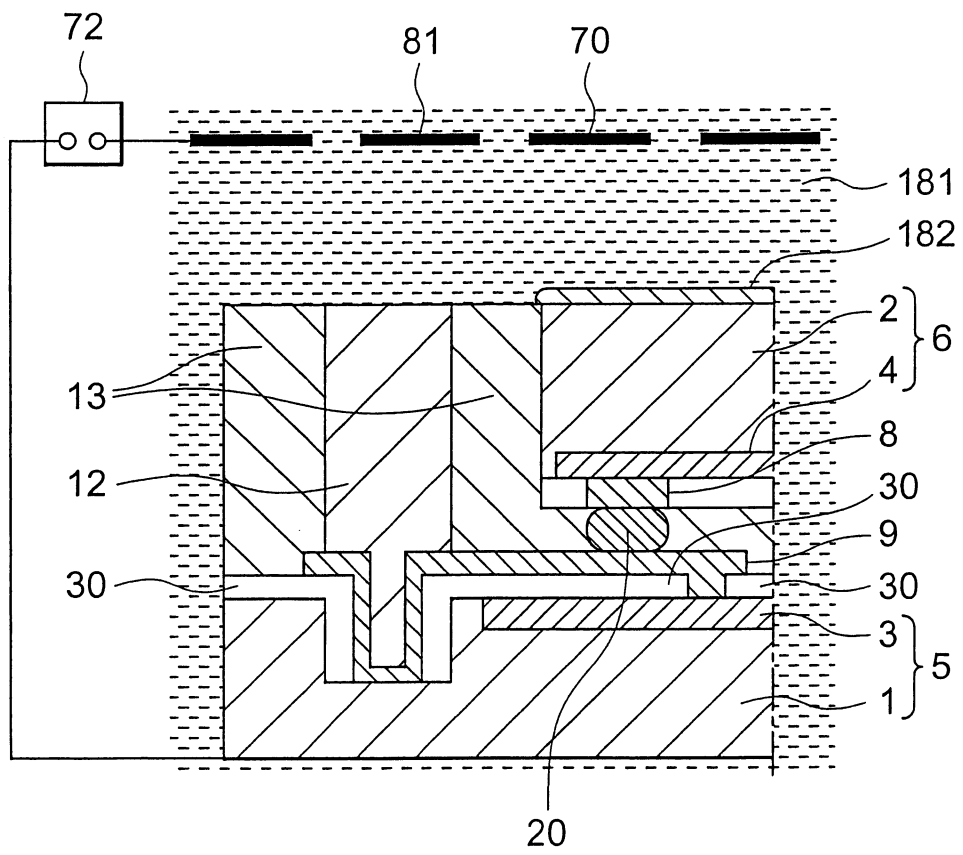
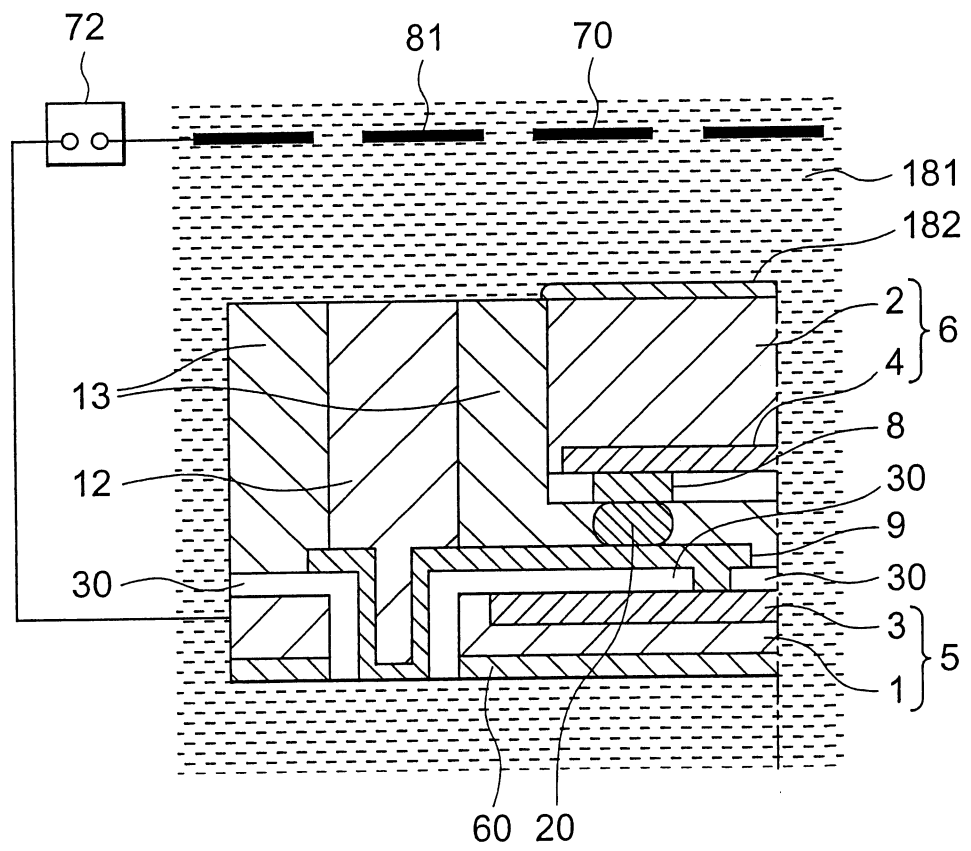


圖 94



柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

- 1 第1半導體基板
- 2 第2半導體基板
- 3 第1半導體電路
- 4 第2半導體電路
- 5 第1半導體元件
- 6 第2半導體元件
- 7 第1電極(電極群)
- 8 第2電極(電極群)
- 9 配線層
- 10 第1外部端子
- 11 第2外部端子
- 12 穿通電極
- 13 絕緣材
- 30 絕緣膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92129741

※ 申請日期：92/10/27

※IPC 分類：

H05k 3/00

壹、發明名稱：(中文/英文)

(中文) 半導體裝置及其製造方法

(英文) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

貳、申請人：(共 3 人)

姓名或名稱：(中文/英文)

(中文) (1) 瑞薩科技股份有限公司

(2) 東芝股份有限公司

(3) 羅沐股份有限公司

(英文) (1) Renesas Technology Corp. (株式会社ルネサステクノロジ)

(2) KABUSHIKI KAISHA TOSHIBA (株式会社東芝)

(3) ROHM CO., LTD. (ローム株式会社)

代表人：(中文/英文) (簽章)

(1) 伊藤達 / Satoru ITO

(2) 岡村正 / OKAMURA Tadashi

(3) 佐藤研一郎 / SATO Kenichiro

住居所或營業所地址：(中文/英文)

(中文) (1) 日本國東京都千代田區丸の内二丁目 4 番 1 號

(2) 日本國東京都港區芝浦一丁目 1 番 1 號

(3) 日本國京都府京都市右京區西院溝崎町 21 番地

(英文) (1) 4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO JAPAN

(2) 1-1, Shibaura 1-chome, Minato-ku, Tokyo, JAPAN

(3) 21 Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, KYOTO 615-8585 JAPAN

國籍：(中文) 日本 (英文) Japan