



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년02월10일  
 (11) 등록번호 10-0941545  
 (24) 등록일자 2010년02월02일

(51) Int. Cl.  
*H01L 21/20* (2006.01)  
 (21) 출원번호 10-2007-0140826  
 (22) 출원일자 2007년12월28일  
 심사청구일자 2007년12월28일  
 (65) 공개번호 10-2008-0071891  
 (43) 공개일자 2008년08월05일  
 (30) 우선권주장  
 11/669,550 2007년01월31일 미국(US)  
 (56) 선행기술조사문헌  
 KR100642646 B1\*  
 KR1020050119991 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**어플라이드 머티어리얼스, 인코포레이티드**  
 미국 95054 캘리포니아 산타 클라라 바우어스 애  
 브뉴 3050  
 (72) 발명자  
**람, 앤드류**  
 미국 94116 캘리포니아 샌프란시스코 42 스트리트  
 2287  
**김이환**  
 미국 95035 캘리포니아 밀피타스 헤븐리 플레이스  
 825  
 (74) 대리인  
**남상선**

전체 청구항 수 : 총 19 항

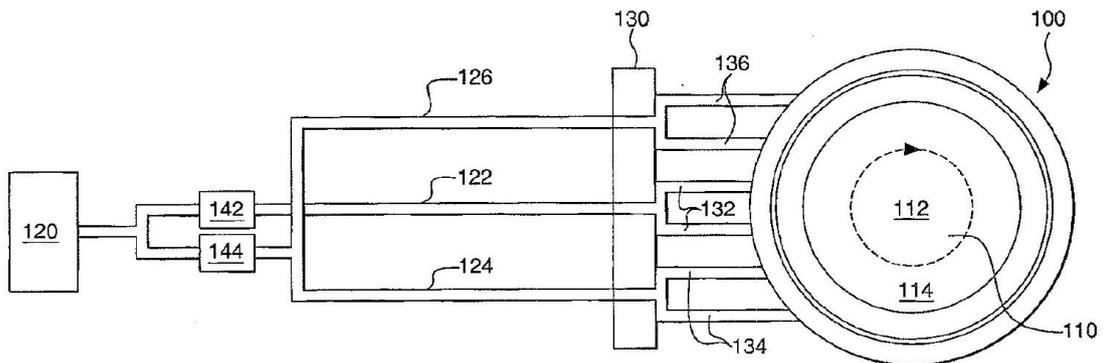
심사관 : 심병로

**(54) 선택적 에피택시 공정의 제어**

**(57) 요약**

기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법이 제공된다. 하나 이상의 실시예에서, 처리 챔버 내의 압력은 기판 상의 재료 증착 중에 감소되며 기판으로부터 재료를 에칭하는 중에 증가된다. 일 실시예에 따라, 공정 가스는 제 1 영역과 제 2 영역을 통해 챔버의 내측으로 유동되어서 제 1 영역으로 유동되는 가스 양과 제 2 영역으로 유동되는 가스 양의 비율을 제공한다. 하나 이상의 실시예에서, 제 1 영역은 내측 방사상 영역이고 제 2 영역은 외측 방사상 영역이며, 내측 영역 가스 유동 대 외측 영역 가스 유동의 비는 에칭 공정 중에 보다 증착 공정 중에 적다. 하나 이상의 실시예에서, 선택적 에피택셜 공정은 증착 및 그 이후의 에칭 공정 및 소정 두께의 에피택셜 층이 성장될 때까지 선택적인 세정 공정을 하나의 사이클로 반복하는 단계를 포함한다.

**대표도**



**특허청구의 범위**

**청구항 1**

- a) 제 1 영역과 제 2 영역을 포함하는 처리 챔버의 내측으로 단결정질 표면과 적어도 유전체 표면을 포함하는 기판을 위치시키는 단계,
  - b) 상기 단결정질 표면 상에 에피택셜 층을 형성하고 상기 유전체 표면 상에 제 2 재료를 형성하도록 실리콘 함유 증착 가스에 상기 기판을 노출시키고 상기 처리 챔버 내의 압력을 50 Torr 이하로 유지하는 단계,
  - c) 상기 증착 가스의 유동 중의 압력보다 높은 에칭제 가스 부분 압력을 유지하고 상기 제 2 재료를 에칭시키도록 연속해서, 상기 처리 챔버로의 상기 증착 가스의 유동을 정지시키고, 상기 처리 챔버 내의 압력을 증가시키고, 에칭제 가스에 상기 기판을 노출시키는 단계,
  - d) 연속해서, 상기 처리 챔버로의 에칭제 가스의 유동을 정지시키고 상기 처리 챔버의 내측으로 세정 가스를 유동시키는 단계,
  - e) 연속해서, 상기 b), c) 및 d) 단계를 적어도 한번 반복하는 단계, 및 상기 제 1 영역 가스 유동 대 상기 제 2 영역 가스 유동의 비율을 제공하도록 상기 제 1 영역 대 상기 제 2 영역에 대한 가스 유동을 제어하고 상기 b) 단계와 상기 c) 단계 중에 상기 비율이 상이하도록 상기 제 1 영역 가스 유동 대 상기 제 2 영역 가스 유동의 비율을 변경하는 단계를 포함하는,
- 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 2**

삭제

**청구항 3**

- 제 1 항에 있어서,
  - 상기 제 1 영역은 내측 방사상 영역을 포함하며 상기 제 2 영역은 외측 방사상 영역을 포함하며, 상기 가스는 상기 내측 영역 가스 유동 대 외측 영역 가스 유동의 비율(I/O)을 제공하는 방식으로 상기 처리 챔버의 내측으로 유동되며, 상기 증착 가스에 기판을 노출시키는 동안에 상기 I/O를 1 이하로 유지하고 상기 에칭제 가스에 기판을 노출시키는 동안에 상기 I/O는 1 이상으로 유지하는,
- 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 4**

- 제 3 항에 있어서,
  - 실질적으로 상기 에칭제 가스는 처리 챔버의 내측으로 유동되지 않는 반면에, 상기 증착 가스는 처리 챔버의 내측으로 유동되는,
- 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 5**

- 제 3 항에 있어서,
  - 상기 I/O는 증착 가스에 기판을 노출시키는 동안에는 0.2 내지 1.0 범위이며 상기 에칭제 가스에 기판을 노출시키는 동안에는 1.0 보다 크고 6.0 미만인,
- 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 6**

- 제 1 항에 있어서,

상기 에칭제 가스에 대한 노출 중에 처리 챔버 내의 압력 증가는 기관의 온도를 증가시키며 상기 세정 가스에 대한 노출 중의 챔버 압력은 감소됨으로써 기관 온도를 감소시키는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 7**

제 6 항에 있어서,

상기 에칭제 가스에 대한 노출 중에 처리 챔버 내의 압력은 증착 가스에 기관을 노출시키는 동안의 처리 챔버 내의 압력의 2 배 내지 10 배인,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 8**

제 6 항에 있어서,

상기 처리 챔버 내의 온도는 전체 공정 중에 800 °C 이하로 유지되는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 9**

제 7 항에 있어서,

상기 처리 챔버 내의 온도는 전체 공정 중에 750 °C 이하로 유지되는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 10**

단결정질 표면과 적어도 유전체 표면을 포함하는 기관을, 제 1 가스 유동 영역과 제 2 가스 유동 영역을 포함하는 처리 챔버의 내측에 위치시키는 단계와;

1 미만의 상기 제 1 영역 대 제 2 영역의 증착 가스 유동비를 제공하도록 상기 제 1 영역과 상기 제 2 영역의 내측으로, 그리고 제 1 압력에서 상기 처리 챔버의 내측으로 실리콘 함유 증착 가스를 유동시키는 단계;

연속적으로, 상기 처리 챔버로의 증착 가스의 유동을 정지시키고, 상기 처리 챔버 내의 압력을 제 2 압력으로 증가시키고, 그리고 1 이상의 상기 제 1 영역 가스 유동 대 제 2 영역 가스 유동의 에칭제 가스 유동비에서 상기 처리 챔버의 내측 방사상 영역 및 외측 방사상 영역의 내측으로 에칭제 가스를 유동시키는 단계;

연속적으로, 상기 처리 챔버로의 에칭제 가스의 유동을 정지시키고, 상기 처리 챔버 내측으로의 세정 가스를 유동시키는 단계; 및

상기 증착 가스를 유동시키는 단계, 상기 에칭제 가스를 유동시키는 단계 및 상기 세정 가스를 유동시키는 연속적인 단계들을 소정의 두께를 갖는 실리콘 함유 재료가 형성될 때까지 한 번 이상 반복하는 단계를 포함하는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 11**

제 10 항에 있어서,

상기 에칭 가스에 대한 노출 중에 처리 챔버 내의 압력 증가는 기관의 온도를 증가시키며, 상기 세정 가스에 대한 노출 중의 챔버 압력은 감소됨으로써 기관 온도를 감소시키는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 12**

제 11 항에 있어서,

상기 제 2 압력은 상기 제 1 압력의 2 배 내지 10 배 범위인,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 13**

제 12 항에 있어서,

상기 증착 가스 유동 중의 제 1 영역 대 제 2 영역의 가스 유동 비는 0.2 내지 1.0 범위인,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 14**

제 12 항에 있어서,

상기 에칭제 가스 유동 중의 상기 제 1 영역 대 제 2 영역의 가스 유동비는 1.0 보다 크고 6.0 미만인,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 15**

단결정질 표면과 적어도 유전체 표면을 포함하는 기관을, 제 1 가스 유동 영역과 제 2 가스 유동 영역을 포함하는 처리 챔버의 내측에 위치시키는 단계와;

에칭제 가스가 상기 처리 챔버의 내측으로 유동되지 않는 동안에 실리콘 함유 가스를 상기 처리 챔버의 내측으로 유동시키는 단계를 포함하는 증착 단계를 수행하는 단계와;

실리콘 함유 가스가 상기 처리 챔버의 내측으로 유동되지 않는 동안에 에칭제 가스를 상기 처리 챔버의 내측으로 유동시키는 단계를 포함하는 에칭 단계를 수행하는 단계와;

세정 가스가 유동되는 동안에 세정 단계를 수행하는 단계를 포함하며;

하나의 공정 사이클이 증착 단계, 에칭 단계 및 세정 단계를 포함하고 상기 공정 사이클이 한번 이상 반복되며, 상기 각각의 증착 단계, 에칭 단계 및 세정 단계 중에 상기 제 1 영역과 제 2 영역 사이의 가스 유동비와 상기 처리 챔버 내에 압력을 제공하도록 상기 제 1 영역과 제 2 영역으로 가스가 유동되며, 상기 처리 챔버 내의 압력 또는 상기 가스 유동 비 중의 하나 이상이 상기 증착 단계와 에칭 단계 중에 상이한;

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 16**

제 15 항에 있어서,

상기 처리 챔버 내의 압력은 에칭 공정 중 보다 증착 공정 중에 더 낮아서, 상기 에칭 공정 중 보다 증착 공정 중에 더 낮은 기관 온도를 초래하는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 17**

제 16 항에 있어서,

상기 제 1 영역 대 제 2 영역의 가스 유동비는 에칭 단계 중에 보다 증착 단계 중에 더 작은,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 18**

제 17 항에 있어서,

상기 제 1 영역은 처리 챔버의 내측 방사상 영역을 포함하며 상기 제 2 영역은 처리 챔버의 외측 방사상 영역을 포함하는,

기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 19**

제 17 항에 있어서,  
 상기 에칭 공정 중의 압력은 증착 공정 중의 압력에 두 배 이상인,  
 기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**청구항 20**

제 19 항에 있어서,  
 상기 공정은 800 °C 미만의 온도에서 수행되는,  
 기관 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법.

**명세서**

**발명의 상세한 설명**

**기술 분야**

- [0001] 본 발명은 2007년 1월 31일자로 출원되고 본 발명에 전체적으로 참조된 미국 특허 출원 번호 11/669,550호를 우선권으로 주장한다.
- [0002] 본 발명의 실시예는 일반적으로 전자 제조 공정 및 장치 분야에 관한 것이며, 특히 전자 장치를 제조하는 과정 중의 실리콘 함유 필름을 증착하는 방법에 관한 것이다.

**배경 기술**

- [0003] 보다 소형의 트랜지스터가 제조되면서, 초미세(ultra shallow) 소오스/드레인 접합(junction)을 제조하기 위한 더 많은 도전을 불러 일으키고 있다. 일반적으로, 서브-100 nm CMOS(상보성 금속 산화물 반도체) 장치는 30 nm 미만의 접합 깊이를 필요로 한다. 선택적 에피택셜 증착법이 실리콘 함유 재료(예를 들어, SiGe 및 SiC)의 에피층(epilayer)을 접합 내측에 형성하는데 종종 사용된다. 일반적으로, 에피택셜 증착법은 유전체 영역 상에서의 성장 없이 실리콘 모우트(moat) 상에서 에피택셜 층("에피층")의 성장을 가능하게 한다. 선택적 에피택시법은 불록한 소오스/드레인, 소오스/드레인 연장부, 2극 장치의 접촉 플러그 또는 베이스 층과 같은 반도체 장치 내에 피처를 제조할 수 있게 한다.
- [0004] 일반적으로, 선택적 에피택시 공정은 증착 반응과 에칭 반응을 포함한다. 증착 및 에칭 반응은 에피택셜 층과 다결정질 층에 대해 상당히 다른 반응물로 동시에 발생한다. 증착 공정 중에, 에피택셜 층은 단결정 표면에 형성되는 반면에, 다결정질 층은 존재하는 다결정질 층 및/또는 비결정질 층과 같은 적어도 제 2 층 상에 증착된다. 그러나, 다결정질 층은 일반적으로 에피택셜 층 보다 더 빠른 비율로 에칭된다. 그러므로, 에칭 가스의 농도를 변경시킴으로써 순수 선택적 공정은 에피택시 재료의 증착 및 다결정질 재료의 제한된 또는 그렇지 않은 증착을 유발한다. 예를 들어, 선택적 에피택셜 공정은 스페이서 상에는 증착을 남기지 않으면서 단결정질 실리콘 표면 상에 실리콘 함유 재료의 에피층을 형성하게 한다.
- [0005] 선택적 실리콘 함유 재료의 에피택셜 증착은 실리콘 함유 MOSFET(금속 산화물 반도체 전계 효과 트랜지스터) 장치의 제조 중에, 예를 들어 불록한 소오스/드레인 및 소오스/드레인 연장부 피처의 제조 중에 유용한 기술이 된다. 소오스/드레인 연장부 피처들은 오목한 소오스/드레인 피처를 형성하도록 실리콘 표면을 에칭한 후에 실리콘 게르마늄(SiGe) 재료와 같은 선택적으로 성장된 에피층으로 에칭된 표면을 충전시킴으로써 제조된다. 선택적 에피택시는 인-시츄 도핑에 의해 거의 완전한 도펀트 활성화를 가능하게 하여, 후 어니링 공정을 생략할 수 있게 한다. 그러므로, 접합 깊이는 실리콘 에칭 및 선택적 에피택시에 의해 정밀하게 제어될 수 있다. 다른 한편으로, 초미세 소오스/드레인 접합은 불가피한 증가된 직렬 저항을 초래한다. 또한, 규화물 형성 중에 접합 소모는 직렬 저항을 훨씬 더 증가시킨다. 접합 소모를 보상하기 위해, 불록한 소오스/드레인이 에피택셜 처리되고 접합 위에서 선택적으로 성장된다. 통상적으로, 불록한 소오스/드레인 층은 언도프된 실리콘이다.
- [0006] 그러나, 현재의 선택적 에피택시 공정은 몇몇 단점을 가진다. 현재의 에피택셜 공정 중에 선택성을 유지하기 위해, 전구체의 화학적 농도뿐만 아니라 반응 온도가 증착 공정 전반에 걸쳐 조절되고 조정되어야 한다. 충분하지 않은 전구체가 공급되면, 에칭 반응이 우세해지고 전체 공정은 늦춰지게 된다. 또한, 기관 피처에 대한

유해한 오버-에칭이 발생된다. 충분하지 않은 에칭제 전구체가 공급되면, 증착 반응이 우세해져 기판 표면에 걸친 단결정질 및 다결정질 재료를 형성하기 위한 선택도가 감소한다. 또한, 현재의 선택적 에피택셜 공정은 보통, 800 °C, 1000 °C 이상, 또는 그보다 높은 반응 온도를 필요로 한다. 그와 같은 높은 온도는 열 축적 측면 및 기판 표면에 대한 잠재적인 비제어 질화 반응으로 인해 제조 공정 중에 바람직하지 않다. 또한, 약 800 °C 미만 온도에서 동시적인 증착과 에칭을 수행하는 종래 기술의 방식에 따른 공정에서는 허용할 수 없는 낮은 성장률이 초래된다. 그러므로, 실리콘과 실리콘 함유 화합물을 선택적이고 에피택셜하게 증착하기 위한 방법이 필요하다. 이는 선택적인 도펀트를 갖는 그러한 화합물을 증착하기 위한 공정을 제공하는 것이 바람직할 수 있다. 게다가, 그러한 공정은 빠른 증착률을 가지며 약 800 °C 또는 그 미만의 온도와 같은 공정 온도로 유지하면서, 변화하는 원소 농도를 갖는 실리콘 함유 화합물을 형성할 수 있어야 한다.

**발명의 내용**

- [0007] 본 발명의 일 실시예에 따라, 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법은,
- [0008] a) 제 1 영역과 제 2 영역을 포함하는 처리 챔버의 내측으로 단결정질 표면과 적어도 유전체 표면을 포함하는 기판을 위치시키는 단계,
- [0009] b) 상기 단결정질 표면 상에 에피택셜 층을 형성하고 상기 유전체 표면 상에 제 2 재료를 형성하도록 실리콘 함유 증착 가스에 상기 기판을 노출시키고 상기 처리 챔버 내의 압력을 약 50 Torr 이하로 유지하는 단계,
- [0010] c) 상당히 높은 에칭제 가스 부분 압력을 유지하고 상기 제 2 재료를 에칭시키도록 연속해서, 상기 처리 챔버로의 증착 가스의 흐름을 정지시키고, 상기 처리 챔버 내의 압력을 증가시키고, 에칭제 가스에 상기 기판을 노출시키는 단계,
- [0011] d) 연속해서, 상기 처리 챔버로의 에칭제 가스의 흐름을 정지시키고 상기 처리 챔버의 내측으로 세정 가스를 유동시키는 단계, 및
- [0012] e) 연속해서, 상기 b), c) 및 d) 단계를 적어도 한번 반복하는 단계를 포함한다.
- [0013] 일 실시예에서, 상기 방법은 상기 제 1 영역 가스 유동 대 상기 제 2 영역 가스 유동의 비율을 제공하도록 상기 제 1 영역 대 상기 제 2 영역에 대한 가스 유동을 제어하고 상기 b) 단계와 상기 c) 단계 중에 상기 비율이 상이하도록 상기 제 1 영역 가스 유동 대 상기 제 2 영역 가스 유동의 비율을 변경하는 단계를 더 포함한다. 특정 실시예에서, 상기 제 1 영역은 내측 방사상 영역을 포함하며 상기 제 2 영역은 외측 방사상 영역을 포함하며 상기 가스는 상기 내측 영역 가스 유동 대 외측 영역 가스 유동의 비율(I/O)을 제공하는 방식으로 상기 처리 챔버의 내측으로 유동되며, 상기 증착 가스에 기판을 노출하는 동안에 상기 I/O는 약 1 이하로 유지되고 상기 에칭제 가스에 기판을 노출하는 동안에 상기 I/O는 약 1 이상으로 유지된다. 특정 실시예에 따라서, 실질적으로 에칭제 가스는 처리 챔버의 내측으로 유동되지 않는 반면에, 증착 가스는 처리 챔버의 내측으로 유동된다. 하나 또는 그 이상의 실시예에서, 상기 I/O는 증착 가스에 기판을 노출시키는 동안에는 약 0.2 내지 1.0 범위이며 상기 에칭 가스에 기판을 노출시키는 동안에는 약 1.0 보다 크고 약 6.0 보다 작다.
- [0014] 특정 실시예에 따라서, 에칭제 가스에 노출되는 동안의 처리 챔버 내의 압력은 증착 가스에 기판을 노출시키는 동안의 처리 챔버 내의 압력에 적어도 약 두 배이다. 하나 이상의 실시예에서, 에칭제 가스에 대한 노출 중에 처리 챔버 내의 압력은 증착 가스에 기판을 노출시키는 동안의 처리 챔버 내의 압력의 약 2 배 내지 10 배이다. 하나 이상의 실시예에 따라, 전체 처리 공정 중의 처리 챔버 내의 온도는 약 800 °C 이하, 예를 들어 약 750 °C 이하로 유지된다.
- [0015] 다른 실시예에서, 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법은; 단결정질 표면과 적어도 유전체 표면을 포함하는 기판을, 제 1 가스 유동 영역과 제 2 가스 유동 영역을 포함하는 처리 챔버의 내측에 위치시키는 단계와; 1 미만의 상기 제 1 영역 대 제 2 영역의 증착 가스 유동비를 제공하도록 상기 제 1 영역과 상기 제 2 영역의 내측으로, 그리고 제 1 압력에서 상기 처리 챔버의 내측으로 실리콘 함유 증착 가스를 유동시키는 단계; 연속적으로, 상기 처리 챔버로의 증착 가스의 유동을 정지시키고, 상기 처리 챔버 내의 압력을 제 2 압력으로 증가시키고, 그리고 1 이상의 상기 제 1 영역 가스 유동 대 제 2 영역 가스 유동의 에칭제 가스 유동비에서 상기 처리 챔버의 내측 방사상 영역 및 외측 방사상 영역의 내측으로 에칭제 가스를 유동시키는 단계; 연속적으로, 상기 처리 챔버로의 에칭제 가스의 유동을 정지시키고, 상기 처리 챔버 내측으로의 세정 가스를 유동시키는 단계; 및 상기 증착 가스를 유동시키는 단계, 상기 에칭제 가스를 유동시키는 단계 및 상기 세정 가스를 유동시키는 연속적인 단계들을 소정의 두께를 갖는 실리콘 함유 재료가 형성될 때까지

적어도 한 번 반복하는 단계를 포함한다. 하나 이상의 실시예에서, 에칭 단계 중의 증가된 압력은 기판 온도의 증가를 초래하며, 세정 단계 중의 증가된 압력은 기판 온도의 감소를 초래한다.

[0016] 일 실시예에서, 제 2 압력은 제 1 압력의 적어도 두 배이다. 특정 실시예에서, 제 2 압력은 제 1 압력의 약 5 배 내지 약 10 배 범위이다. 일 실시예에 따라, 증착 가스 유동 중의 제 1 영역 대 제 2 영역의 가스 유동 비는 약 0.2 내지 1.0 범위이다. 하나 이상의 실시예에서, 에칭제 가스 유동 중의 상기 제 1 영역 대 제 2 영역의 가스 유동비는 약 1.0 보다 크고 약 6.0 보다 적다.

[0017] 다른 실시예에서, 기판 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 형성하는 방법은; 단결정질 표면과 적어도 유전체 표면을 포함하는 기판을, 제 1 가스 유동 영역과 제 2 가스 유동 영역을 포함하는 처리 챔버의 내측에 위치시키는 단계와; 에칭제 가스가 상기 처리 챔버의 내측으로 유동되지 않는 동안에 실리콘 함유 가스를 상기 처리 챔버의 내측으로 유동시키는 단계를 포함하는 증착 단계를 수행하는 단계와; 실리콘 함유 가스가 상기 처리 챔버의 내측으로 유동되지 않는 동안에 에칭제 가스를 상기 처리 챔버의 내측으로 유동시키는 단계를 포함하는 에칭 단계를 수행하는 단계와; 하나의 공정 사이클이 증착 단계, 에칭 단계 및 세정 단계를 포함하고 상기 공정 사이클이 적어도 한번 반복되며 상기 각각의 증착 단계, 에칭 단계 및 세정 단계 중에 상기 제 1 영역과 제 2 영역 사이의 유동비와 상기 처리 챔버 내에 압력을 제공하도록 상기 제 1 영역과 제 2 영역으로 가스가 유동되며 상기 처리 챔버 내의 압력 또는 가스 유동 비 중의 적어도 하나가 상기 증착 단계와 에칭 단계 중에 상이한 세정 단계를 세정 가스가 유동되는 동안에 수행하는 단계를 포함한다. 일 실시예에서, 처리 챔버 내의 압력은 에칭 공정 중에 더 낮다. 특정 실시예에서, 처리 챔버 내의 더 낮은 압력은 기판 온도의 감소를 초래한다.

[0018] 일 실시예에서, 상기 제 1 영역 대 제 2 영역의 가스 유동비는 에칭 단계 동안 보다 증착 단계 중에 더 작다. 일 실시예에서, 제 1 영역은 처리 챔버의 내측 방사상 영역을 포함하며 제 2 영역은 처리 챔버의 외측 방사상 영역을 포함한다. 특정 실시예에서, 에칭 중의 압력은 증착 중의 압력에 적어도 두 배이다. 하나 이상의 실시예에서, 상기 공정은 약 800 °C 미만의 온도에서 수행된다.

**발명의 실시를 위한 구체적인 내용**

[0019] 전술한 본 발명의 특징들이 더욱 구체적으로 이해될 수 있도록, 간단히 요약한 본 발명에 대한 더욱 특정한 실시예들이 첨부 도면에 몇몇 실시예들이 도시되어 있는 실시예들을 참조하여 설명된다. 그러나, 첨부 도면들은 본 발명의 단지 예시적인 실시예들만을 도시한 것이므로, 본 발명의 사상들을 한정하는 것이라고 이해해서는 안되며, 본 발명의 다른 동등한 유효한 실시예들이 있을 수 있다고 이해해야 한다.

[0020] 본 발명의 여러 예시적인 실시예들을 설명하기 이전에, 본 발명은 다음의 설명들에 설정된 구성 또는 공정 단계들의 세부 내용에 한정되지 않는다고 이해해야 한다. 본 발명은 다른 실시예들을 포함할 수 있으며 다양한 방식으로 실시 또는 수행될 수 있다.

[0021] 본 발명의 실시예들은 일반적으로 전자 소자들의 제조 공정 중에 기판의 단결정 표면 상에 실리콘 함유 재료를 선택적이고 에피택셜하게 증착하기 위한 공정들을 제공한다. 비결정질 표면 및/또는 다결정질 표면(예를 들어, 산화물 또는 질화물)과 같은 적어도 2차적인 표면과 단결정질 표면(예를 들어, 실리콘 또는 실리콘 게르마늄)을 포함하는 패턴화된 표면이 에피택셜 공정에 노출됨으로써 2차 표면 상에 제한된 또는 거의 없는 다결정질 층을 형성하면서 단결정질 표면 상에 에피택셜 층이 형성된다. 하나 이상의 실시예들에 따라서, 교대 가스 공급(AGS) 공정으로서 지칭될 수 있는 에피택셜 공정은 소정 두께의 에피택셜 층이 성장될 때까지 증착 공정과 에칭 공정의 사이클을 반복하는 단계를 포함한다. AGS 공정은 교대 가스 공급원을 갖는 선택적인 에피택셜 공정이라는 발명의 명칭을 가지며 공동 계류중이고 공동 양도된 미국 출원 번호 11/001,774호(미국 출원 공개 US 2006/0115934)에 설명되어 있다. 하나 이상의 실시예에 따라서, 교대 가스 공급 공정은 소정 두께의 에피택셜 층이 성장될 때까지 증착 공정, 에칭 공정 및 세정 공정의 사이클을 반복하는 단계를 포함한다.

[0022] 하나 이상의 실시예에서, 증착 공정은 적어도 실리콘 소오스를 포함하는 증착 가스에 기판 표면을 노출시키는 단계를 포함한다. 통상적으로, 증착 가스는 캐리어 가스도 포함할 것이다. 하나 이상의 실시예에서, 증착 가스는 게르마늄 소오스 또는 탄소 소오스뿐만 아니라 도펀트 소오스를 포함한다. 증착 공정 중에, 에피택셜 층은 기판의 단결정질 표면 상에 형성되는 반면에, 다결정질 층은 비정질 및/또는 다결정질 표면과 같은 2차적인 표면 상에 형성된다.

[0023] 계속해서, 기판은 에칭 가스에 노출된다. 에칭 가스는 염소 가스 또는 염화 수소와 같은 에칭제와 캐리어 가스를 포함한다. 에칭 가스는 증착 공정 중에 증착되는 실리콘 함유 재료를 제거한다. 특정 실시예에 따라,

에칭 공정 중에 다결정질 층은 에피택셜 층 보다 더 빠른 비율로 제거된다. 그러므로, 증착과 에칭 공정의 순수한 결과는 있다면, 2차적인 표면 상의 다결정질 실리콘 함유 재료의 성장을 최소화하면서 단결정질 표면 상의 에피택셜하게 성장된 실리콘 함유 재료를 형성한다. 하나 이상의 실시예에서, 처리 챔버 내의 압력은 에칭 공정 보다 증착 공정 중에 압력이 더 높도록 증착 공정과 에칭 공정 사이에 조절된다. 하나 이상의 실시예에 따라서, 증착된 압력은 기판의 온도 증가를 조래한다. 다른 실시예에서, 처리 챔버의 특정 영역으로의 가스 분배는 증착 공정과 에칭 공정 사이에 조절되고 변화될 수 있다. 증착 및 에칭 공정의 사이클은 소정 두께의 실리콘 함유 재료를 달성하도록 필요에 따라 반복될 수 있다. 본 발명의 실시예들에 의해 증착될 수 있는 실리콘 함유 재료는 실리콘, 실리콘 게르마늄, 실리콘 탄소, 실리콘 게르마늄 탄소, 및 이들의 다양한 도펀트를 포함한다.

[0024] 공정의 일 실시예에서, 에칭제로서 염소가스를 사용하는 것은 전체 공정의 온도를 약 800 °C 이하로 낮출 수 있게 한다. 일반적으로, 증착 공정은 에칭 반응 보다 낮은 온도에서 수행될 수 있는데, 그 이유는 에칭제가 종종 활성화되는데 높은 온도를 필요로 하기 때문이다. 예를 들어, 실란은 약 500 °C 또는 그 미만에서 실리콘을 증착하도록 열적으로 분해되는 반면에, 염화 수소는 유효한 에칭제로서의 역할을 하기 위해 약 700°C 또는 그 초과로 활성화 온도를 필요로 한다. 그러므로, 염화 수소가 상기 공정 중에 사용된다면, 전체 공정 온도는 에칭제를 활성화하는데 필요한 높은 온도에 의해 지배된다. 염소는 필요한 전체 공정 온도를 감소시킴으로써 전체 공정에 공헌한다. 염소는 약 500°C 정도의 온도보다 낮은 온도에서 활성화될 수 있다. 그러므로, 염소를 에칭제로서 상기 공정에 공급함으로써, 전체 공정 온도는 염화 수소를 에칭제로서 사용하는 공정에 비해서 예를 들어, 200°C 내지 300°C 만큼 상당히 감소시킬 수 있다. 또한, 염소는 염화 수소보다 더 빠르게 실리콘 함유 재료를 에칭한다. 그러므로, 염소 에칭제는 공정의 전체 비율을 증가시킨다.

[0025] 캐리어 가스는 어떤 적절한 불활성 가스 또는 수소일 수 있다. 아르곤 또는 헬륨과 같은 귀가스가 불활성 캐리어 가스로서 사용될 수 있지만, 임의의 실시예에 따라 질소가 경제적으로 바람직한 불활성 캐리어 가스이다. 질소는 일반적으로, 수소, 아르곤 또는 헬륨보다 훨씬 덜 비싸다. 질소를 캐리어 가스로서 사용할 때 발생될 하나의 단점은 증착 공정 중의 기판 상에 있는 재료의 질화이다. 그러나, 800°C 이상과 같은 고온은 그러한 방식으로 질소를 활성화하는데 필요하다. 그러므로, 하나 이상의 실시예에서, 질소는 질소 활성화 임계 온도 이하의 온도에서 수행되는 공정에서 불활성 캐리어 가스로서 사용될 수 있다. 에칭제로서 염소를, 그리고 캐리어 가스로서 질소를 사용하는 조합 효과는 전체 공정 비율을 현저히 증가시킨다.

[0026] 본 발명의 전체에 있어서, 용어 "실리콘 함유" 재료, 화합물, 필름 또는 층은 적어도 실리콘을 함유하는 조성물을 포함하며 게르마늄, 탄소, 붕소, 비소, 인 게르마늄 및/또는 알루미늄을 포함할 수 있다고 이해해야 한다. 금속, 할로젠 또는 수소와 같은 다른 원소들은 보통, ppm 농도 범위 내에서 실리콘 함유 재료, 화합물, 필름 또는 층 내에 함유될 수 있다. 실리콘 함유 재료의 화합물 또는 합금은 실리콘을 위한 Si, 실리콘 게르마늄을 위한 SiGe, 실리콘 탄소를 위한 SiC 및 실리콘 게르마늄 탄소를 위한 SiGeC와 같이 약자로 표현될 수 있다. 그러한 약자는 화학량론적 관계를 갖는 화학식이나 실리콘 함유 재료의 어떤 특정 환원/산화 상태로 나타내지 않았다.

[0027] 하나 이상의 실시예에서, AGS 공정은 실리콘 결정 기판 및 유전체 필름 사이에서의 상이한 핵성장률과 메카니즘을 조절하도록 변경될 수 있다. 본 발명의 실시예에 따라, 증착 및 필름 에칭 반응들과 일련의 교대하는 증착과 에칭 사이클 중에 필름 성장 반응들의 독립적인 최적화가 선택성의 손실없이 높은 선택적 성장 비율을 제공하도록 사용될 수 있다. 본 발명은 특정 이론에 의해 제한되지 않지만, 특정 실시예에서 유전체 표면 상의 실리콘 핵 성장은 높은 증착 비율을 갖는 선택적인 공정을 제공하기 위한 하나 이상의 증착 및 에칭 가스, 가스 유동 분포, 기판 온도, 및 주기적인 증착과 에칭 중의 반응로 압력을 조절함으로써 임계치 이하로 억제된다. 특정 실시예에서, 필름 증착 단계 중의 반응로 압력은 예를 들어, 압력 제어 밸브를 완전히 개방함으로써 상당히 낮게 유지되며 실리콘 함유 소오스가 처리 챔버의 내측으로 어떠한 에칭제 가스의 유입없이 반응로 내측으로 유입된다. 압력은 다른 수단에 의해 챔버 내에서 감소될 수 있다고 이해해야 한다. 하나 이상의 실시예에 따라, 저압 증착 사이클이 낮은 증착 부분압을 유지하며 열 전도에 의해 웨이퍼의 온도를 감소시키며, 그에 따라 유전체 필름 상의 과도한 필름 핵생성을 억제한다.

[0028] 하나 이상의 실시예에서, 필름 에칭 단계 중에 반응로 압력은 예를 들어, 압력 제어 밸브를 완전히 폐쇄함으로써 증가되며 에칭 가스, 예를 들어 HCl은 반응로 내측으로 유입되나 증착 가스는 에칭 중에 유동되지 않는다. 본 발명의 실시예에 따라서, 이러한 고압 에칭 사이클은 고압 에칭제 부분압을 제공하며 열전도를 통하여 웨이퍼의 온도를 증가시키며, 그에 따라 필름 에칭 효율을 증가시킨다. 증착과 에칭 단계의 사이클 타임을 최적화함으로써, 실리콘 표면 상에서의 에피택셜 성장과 유전체 필름 상의 무 핵생성 사이의 균형이 유지되어, 선택

성의 손실없이 높은 선택적인 성장율을 초래한다.

- [0029] 실리콘 함유 층을 증착하기 위한 에피택셜 공정의 예시적인 실시예는 보통 패턴화된 기관인 기관을 처리 챔버의 내측으로 로딩하는 단계 및 소정의 온도와 압력에 대한 처리 챔버 내의 조건을 조절하는 단계를 포함한다. 하나 이상의 실시예에 따라서, 처리 챔버 내의 압력은 상당히 낮게, 예를 들어 약 50 Torr 미만으로 유지된다. 특정 실시예에서, 압력은 약 20 Torr 이하로 유지된다. 압력이 상당히 낮게 유지되는 동안, 기관의 비정질 및/또는 다결정질 표면 상에 다결정질 층을 형성하면서 기관의 단 결정질 표면 상에 에피택셜 층을 형성하도록 실리콘 소오스 가스와 같은 증착 가스를 유동시킴으로써 증착 공정이 시작된다.
- [0030] 하나 이상의 실시예에 따라서, 증착 중에 처리 챔버 내의 유동 분포는 상당한 양의 증착가스가 처리 챔버의 제 2 영역, 예를 들어 외측 방사상 영역으로 보다는 제 1 영역, 예를 들어 내측 방사상 영역으로 유동되도록 유지된다. 처리 챔버의 내측 방사상 영역과 외측 방사상 영역은 처리될 기관의 직경과 일치되도록 선택된다. 그러나, 처리 챔버 내측으로의 가스 유동 분포는 다른 방식으로 변경될 수 있다. 예시적인 실시예에서, 내측 방사상 영역은 처리될 기관의 직경의 약 1/2의 직경을 갖는 기관의 동축인 중앙 영역일 수 있다. 외측 방사상 영역은 내측 방사상 영역을 에워싸는 영역을 포함한다. 일 예로서, 직경 300 mm의 원형 기관을 처리하기 위한 처리 챔버 내에서 내측 영역은 기관의 75mm 중앙 영역일 수 있다.
- [0031] 이제 도 1을 참조하면, 기관(110)을 포함하는 처리 챔버(100)의 개략적인 평면도가 도시되어 있다. 처리 챔버는 기관(110)을 포함하는 제 1 또는 내측 방사상 영역(112) 및 제 2 또는 외측 방사상 영역(114)을 포함한다. 가스 소오스(120)는 내측 가스 도관(122)과 외측 영역 가스 도관(124, 126)과 유체 연통된다. 가스 도관(122, 124, 126)은 챔버와 유체 연통되게 분배 포트(130)에 연결될 수 있다. 분배 포트(130)는 하나 이상의 내측 영역 포트(132)와 두 개 이상의 외측 영역 포트(134, 136)와 연통된다. 내측 영역 계량 밸브(142) 및 외측 영역 계량 밸브(144)는 각각 내측 방사상 영역(112) 및 외측 방사상 영역(114)으로 유동하는 처리 가스의 양을 제어한다. 계량 밸브(142, 144)는 내측 영역 가스 도관(122) 및 외측 영역 가스 도관(124)의 직경을 감소시키도록 조절될 수 있다. 가스 도관의 직경을 감소시킴으로써, 영역으로 유동되는 가스의 양은 감소되는 반면에, 가스 도관의 직경이 증가하여 영역으로 유동되는 가스의 양은 증가될 수 있다. 그러한 가스 분포 배열은 미국 산타 클라라 소재의 어플라이드 머티리얼즈로부터 이용가능한 아큐셋(Accusett:등록 상표) 계량 밸브를 포함하는 에피 센투라(Epi Centura:등록 상표)로부터 이용가능하다. 각각의 영역으로의 유동을 감소시키는 다른 방법도 이용될 수 있다고 이해해야 한다. 예를 들어, 계량 밸브 대신에 가스 유동은 질량 유동 제어기 또는 다른 적합한 유동 제어기에 의해 도관을 통해 유동하는 가스의 양을 조절하도록 제어될 수 있다. 게다가, 챔버 내의 유동 분포는 내측 방사상 영역 및 외측 방사상 영역을 제공하는 것과는 다른 방식으로 변경될 수 있다.
- [0032] 내측 방사상 영역(112)으로 유동하는 가스 양 대 외측 방사상 영역(114)으로 유동하는 가스 양의 비율은 I/O로 표시될 수 있으며, 여기서 I는 내측 방사상 영역으로 유동하는 가스 양을 나타내고 O는 외측 방사상 영역으로 유동하는 가스의 양을 나타낸다. 하나 이상의 실시예에서, 증착 중의 I/O 비율은 약 1 미만이다. 특정 실시예에 따라서, I/O 비율은 약 0.2 내지 1.0 범위이며, 특정 실시예에서는 약 0.4 내지 0.8 범위이다.
- [0033] 그 후 증착 공정이 종료되며, 하나 이상의 실시예에 따라서 처리 챔버 내의 압력은 고압, 예를 들어 약 50 Torr 이상의 압력으로 램프 업 또는 증가된다. 하나 이상의 실시예에서, 상기 압력은 약 100 Torr 또는 그 이상, 예를 들어 약 300Torr까지 램프 업될 수 있다. 어떤 실시예에 따라, 처리 챔버 내의 압력의 증가는 기관 처리 챔버 내의 온도 설정점의 변경 없이, 기관의 온도 증가를 초래한다. 환언하면, 기관의 온도는 통상적으로 가열 램프인 기관 가열 소자로 공급되는 동력의 변경 없이 변경될 수 있다. 에칭제 가스는 처리 챔버의 내측 및 외측 방사상 영역으로 유동된다. 하나 이상의 실시예에 따라서, 증착 가스는 유동되지 않으나 에칭제 가스는 처리 챔버의 내측으로 유동된다. 본 발명의 일 실시예에서, 내측 방사상 영역 및 외측 방사상 영역의 유동 분포는 내측 방사상 영역으로의 유동이 외측 방사상 영역으로의 유동보다 크도록 조절된다. 하나 이상의 실시예에 따라서, 에칭 중의 I/O의 비율은 약 1 보다 큰, 예를 들어 약 1.0 내지 6.0 범위, 더 특정적으로 약 1.0 내지 3.0 범위이다. 바람직하게, 다결정질 층은 에피택셜 층보다 더 빠르게 에칭된다. 에칭 단계는 에피택셜 층의 단지 가장자리 부분만을 제거하면서 다결정질 층을 최소화하거나 완전히 제거한다. 에칭 공정은 종료된다. 에피택셜 층과 다결정질 층의 두께는 두께를 측정함으로써 결정될 수 있다. 예정된 에피택셜 층 또는 다결정질 층의 두께가 성취되면, 에피택셜 공정은 종료된다. 그러나, 예정된 두께가 성취되지 못하면, 증착 및 에칭 단계는 예정된 두께가 달성될 때까지 한 사이클만큼 더 반복된다.
- [0034] 연속적인 증착 및 에칭 단계는 처리 챔버를 세정하는 단계를 더 포함한다. 세정 후에, 에피택셜 층의 두께가

결정될 수 있으며, 필요하다면, 일련의 증착, 에칭 및 선택적인 세정 단계가 반복될 수 있다. 세정 단계 중에, 처리 챔버 내의 압력은 에칭 중의 챔버 내에서 유지되는 압력 이하로 감소되며, 몇몇 실시예에 따라 상기 압력은 증착 중의 압력과 동일한 압력으로 감소될 수 있다. 하나 이상의 실시예에 따라서, 처리 챔버 내의 압력 감소는 기판 온도의 급격한 감소를 초래한다. 이와 같이, 기판 온도는 처리 챔버의 가열 램프로의 추가의 동력 공급 없이도 처리 챔버 내의 온도를 조절함으로써 제어될 수 있다. 또한, 세정 중에, I/O의 비율은 내측 방사상 영역으로보다 외측 방사상 영역으로의 세정 가스의 양이 크도록 조절될 수 있다.

[0035] 공정 시퀀스에 대한 추가의 예시적인 사항은 이후에 설명된다. 처리 챔버 내측으로 로딩되는 기판은 통상적으로 패턴화된 기판이다. 패턴화된 기판은 기판 표면의 내측 또는 기판 표면 상에 형성되는 전자 피처를 포함하는 기판이다. 패턴화된 기판은 보통 단결정질 표면과 다결정질 표면 또는 비정질 표면과 같은 비-단결정인 적어도 하나의 2차적인 표면을 포함한다. 단결정질 표면은 베어(bare)결정질 표면 또는 보통 실리콘, 실리콘 게르마늄 또는 실리콘 탄소와 같은 재료로 형성되는 증착된 단일 결정질 층을 포함한다. 다결정질 또는 비정질 표면은 산화물 또는 질화물, 특히 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 재료뿐만 아니라 비정질 실리콘 표면을 포함할 수 있다.

[0036] 에피택셜 공정은 전술한 바와 같이, 패턴화된 기판을 포함하는 처리 챔버를 증착 단계 중의 예정된 온도와 압력으로 조절함으로써 시작된다. 상기 온도는 특정 수행 공정으로 조절된다. 이전의 공정에서, 처리 챔버는 에피택셜 공정 전반에 걸쳐서 일정한 압력, 온도 및 유동 분포로 유지된다. 그러나, 본 발명의 실시예들에 따라서, 상기 온도는 증착, 에칭 및 세정 단계들 중에서 변화될 수 있다. 일 실시예에서, 온도는 에칭 단계 중에 증가된다. 증착 단계 중에, 처리 챔버는 약 250 °C 내지 약 1000°C, 바람직하게 약 500°C 내지 약 800°C, 더 바람직하게 약 550°C 내지 약 750°C 범위 내의 온도로 유지된다. 에피택셜 공정을 수행하기 위한 적합한 온도는 실리콘 함유 재료를 증착 및/또는 에칭하는데 사용되는 특정 전구체에 의존할 수 있다. 일 실시예에서, 염소(Cl<sub>2</sub>) 가스가 더욱 일반적인 에칭제를 사용하는 공정에서 보다 낮은 온도에서 실리콘 함유 재료용 에칭제로서 예상외로 잘 작용함을 알아냈다. 그러므로, 일 실시예에서 처리 챔버를 예비 가열하기에 적합한 온도는 약 750°C 또는 그 미만, 바람직하게 약 650 °C 또는 그 미만, 더 바람직하게 약 550°C 또는 그 미만이다. 증착 중에, 처리 챔버는 보통 약 1 Torr 내지 약 50 Torr 범위의 압력으로 유지된다.

[0037] 증착 공정 중에, 패턴화된 기판은 2차적인 표면 상에 다결정질 층을 형성하면서 단결정질 표면 상에 에피택셜 층을 형성하도록 증착 가스에 노출된다. 기판은 약 0.5초 내지 약 30초, 예를 들어 바람직하게 약 1초 내지 약 20초, 더 바람직하게 약 5초 내지 약 10초의 시간 주기 동안 증착 가스에 노출된다. 증착 공정의 특정 노출 시간은 에칭 공정 중의 노출 시간뿐만 아니라 공정 중에 사용되는 온도와 특정 전구체와 관련하여 결정될 수 있다. 일반적으로, 기판은 쉽게 에칭될 수 있는 최소 두께의 다결정질 층을 형성하면서 최대 두께의 에피택셜 층을 형성하기에 충분히 길게 증착 가스에 노출된다.

[0038] 증착 가스는 적어도 실리콘 소오스 및 캐리어 가스를 포함하며, 게르마늄 소오스 및/또는 탄소 소오스와 같은 적어도 2차 원소 소오스를 포함할 수 있다. 또한, 증착 가스는 붕소, 비소, 인, 갈륨 및/또는 알루미늄과 같은 도펀트의 소오스를 제공하기 위한 도펀트 화합물을 더 포함할 수 있다.

[0039] 실리콘 소오스는 보통 약 5 sccm 내지 약 500 sccm 범위, 예를 들어 약 10 sccm 내지 약 300 sccm 범위, 더 특정적으로 약 50 sccm 내지 약 200 sccm 범위, 예를 들어 약 50 sccm의 비율로 처리 챔버의 내측으로 제공된다. 실리콘 함유 화합물을 증착시키기 위한 증착 가스로 유용한 실리콘 소오스는 실란, 할로겐화 실란 및 유기실란을 포함한다. 실리콘 함유 화합물을 증착하기 위한 증착 가스로 유용한 실리콘 소오스는 실란, 할로겐화 실란 및 유기 실란을 포함한다. 실란(SiH<sub>4</sub>)은 디실란(Si<sub>2</sub>H<sub>6</sub>), 트리실란(Si<sub>3</sub>H<sub>8</sub>) 및 테트라실란(Si<sub>4</sub>H<sub>10</sub>)과 같은 화학식 Si<sub>x</sub>H<sub>(2x+2)</sub>를 갖는 보다 높은 실란뿐만 아니라 다른 물질들도 포함한다. 할로겐화 실란은 헥사클로로디실란(Si<sub>2</sub>Cl<sub>6</sub>), 테트라클로로실란(SiCl<sub>4</sub>), 디클로로실란(Cl<sub>2</sub>SiH<sub>2</sub>) 및 트리클로로실란(Cl<sub>3</sub>SiH)와 같은 X<sup>y</sup>Si<sub>x</sub>H<sub>(2x+2-y)</sub>의 화학식을 갖는 화합물을 포함하며, 여기서 X'는 F, Cl, Br 또는 I이다. 유기실란은 메틸실란((CH<sub>3</sub>)SiH<sub>3</sub>), 디메틸실란((CH<sub>3</sub>)<sub>2</sub>SiH<sub>2</sub>), 에틸실란((CH<sub>3</sub>CH<sub>2</sub>)SiH<sub>3</sub>), 메틸디실란((CH<sub>3</sub>)<sub>2</sub>Si<sub>2</sub>H<sub>5</sub>), 디메틸디실란((CH<sub>3</sub>)<sub>2</sub>Si<sub>2</sub>H<sub>4</sub>) 및 헥사메틸디실란((CH<sub>3</sub>)<sub>6</sub>Si<sub>2</sub>)와 같은 R<sub>y</sub>Si<sub>x</sub>H<sub>(2x+2-y)</sub>의 화학식을 갖는 화합물을 포함하며, 여기서 R는 메틸, 에틸, 프로필 또는 부틸이다. 유기실란 화합물은 증착된 실리콘 함유 화합물 내에 탄소가 결합되는 실시예에서 유용한 실리콘 소오스와 탄소 소오스임이 발견되었다.

[0040] 실리콘 소오스는 보통, 캐리어 가스와 함께 처리 챔버의 내측으로 제공된다. 캐리어 가스는 약 약 1

slm(standard liters per minute) 내지 약 100 slm 범위, 예를 들어 약 5 slm 내지 약 75 slm 범위, 및 더 특정적으로 약 10 slm 내지 약 50 slm 범위, 예를 들어 약 25 slm의 유동비를 가진다. 캐리어 가스는 질소, 수소, 아르곤, 헬륨 및 이들의 조합물을 포함할 수 있다. 불활성 캐리어 가스가 바람직하며 질소, 아르곤, 헬륨 및 이들의 조합물이 포함된다. 캐리어 가스는 에피택셜 공정 중사용된 전구체 및/또는 처리 온도를 기초로 선택될 수 있다. 캐리어 가스는 증착 및 에칭 단계 전반에 걸쳐 동일할 수 있다. 그러나, 몇몇 실시예는 특정 단계에 상이한 캐리어 가스를 사용할 수 있다. 예를 들어, 질소는 증착 중의 실리콘 소오스 및 에칭 중의 에칭제와 함께 캐리어 가스로서 사용될 수 있다.

[0041] 질소는 저온(예를 들어, 800°C 이하) 공정을 특징으로 하는 실시예에서 캐리어 가스로서 사용될 수 있다. 저온 공정은 부분적으로 에칭 공정에서 염소 가스의 사용으로 인해 접근가능하다. 질소는 저온 증착 공정 중에 불활성을 유지한다. 그러므로, 질소는 저온 공정 중에는 증착된 실리콘 함유 재료와 결합되지 않는다. 결국, 저온 공정은 캐리어 가스로서 질소의 사용이 경제적으로 유용함을 제공하는데, 이는 질소가 수소, 아르곤 또는 헬륨보다 훨씬 덜 비싸기 때문이다. 질소가 여러 장점을 가지지만, 본 발명은 캐리어 가스로서 질소의 사용에 한정되지 않으며 수소와 귀가스와 같은 다른 적합한 캐리어 가스가 사용될 수 있다.

[0042] 증착 가스는 또한 게르마늄 소오스 및/또는 탄소 소오스와 같은 적어도 하나의 2차 원소 소오스를 포함할 수 있다. 게르마늄 소오스는 실리콘 게르마늄 재료와 같은 실리콘 함유 화합물을 형성하도록 실리콘 소오스 및 캐리어 가스와 함께 처리 챔버로 추가될 수 있다. 게르마늄 소오스는 보통, 약 0.1 sccm 내지 약 20 sccm 범위, 예를 들어 약 0.5 sccm 내지 약 10 sccm 범위, 더 특정적으로 약 1 sccm 내지 약 5 sccm 범위, 예를 들어 약 2 sccm의 비율로 처리 챔버의 내측으로 제공된다. 실리콘 함유 화합물을 증착하는데 유용한 게르마늄 소오스는 게르만(germane:GeH<sub>4</sub>), 보다 높은 게르만 및 유기게르만을 포함한다. 보다 높은 게르만은 디게르만(Ge<sub>2</sub>H<sub>6</sub>), 트리게르만(Ge<sub>3</sub>H<sub>8</sub>) 및 테트라게르만(Ge<sub>4</sub>H<sub>10</sub>)과 같은, Ge<sub>x</sub>H<sub>(2x+2)</sub> 화학식을 갖는 화합물과 다른 물질들을 포함한다. 유기게르만은 메틸게르만((CH<sub>3</sub>)GeH<sub>3</sub>), 디메틸게르만((CH<sub>3</sub>)<sub>2</sub>GeH<sub>2</sub>), 에틸게르만(CH<sub>3</sub>CH<sub>2</sub>GeH<sub>3</sub>), 메틸디게르만((CH<sub>3</sub>)Ge<sub>2</sub>H<sub>5</sub>), 디메틸디게르만((CH<sub>3</sub>)<sub>2</sub>Ge<sub>2</sub>H<sub>4</sub>) 및 헥사메틸디게르만((CH<sub>3</sub>)<sub>6</sub>Ge<sub>2</sub>)과 같은 화합물을 포함한다. 게르만과 유기게르만 화합물은 게르마늄과 탄소를 증착된 실리콘 함유 화합물과 결합시킨, 즉 SiGe 및 SiGeC화합물인 실시예에서 유리한 게르마늄 소오스 및 탄소 소오스임이 발견되었다. 에피택셜 층 내의 게르마늄 농도는 약 1 원자% 내지 약 30 원자% 범위, 예를 들어 약 20 원자%이다. 게르마늄 농도는 에피택셜 층 내에서 등급이 결정될 것이며, 바람직하게는 에피택셜 층의 상부에서보다 에피택셜 층의 하부에서 높은 게르마늄 농도를 가질 것이다.

[0043] 이와는 달리, 탄소 소오스는 실리콘 탄소 재료와 같은 실리콘 함유 화합물을 형성하도록 실리콘 소오스와 캐리어 가스와 함께 증착 중에 처리 챔버로 추가될 것이다. 탄소 소오스는 보통 약 0.1 sccm 내지 약 20sccm 범위, 예를 들어 약 0.5 sccm 내지 약 10 sccm 범위, 더 특정적으로 약 1 sccm 내지 약 5 sccm 범위, 예를 들어 약 2 sccm의 비율로 처리 챔버의 내측으로 제공된다. 실리콘 함유 화합물을 증착하는데 유용한 탄소 소오스는 유기실란, 알킬, 알켄 및 에틸, 프로필 및 부틸의 알킨을 포함한다. 그러한 탄소 소오스는 메틸실란((CH<sub>3</sub>)SiH<sub>3</sub>), 디메틸실란((CH<sub>3</sub>)<sub>2</sub>SiH<sub>2</sub>), 에틸실란((CH<sub>3</sub>CH<sub>2</sub>)SiH<sub>3</sub>), 메탄(CH<sub>4</sub>), 에틸렌(C<sub>2</sub>H<sub>4</sub>), 에틴(C<sub>2</sub>H<sub>2</sub>), 프로판(C<sub>3</sub>H<sub>8</sub>), 프로펜(C<sub>3</sub>H<sub>6</sub>), 부틴(C<sub>4</sub>H<sub>6</sub>)뿐만 아니라 다른 것도 포함한다. 에피택셜 층의 탄소 농도는 약 200 ppm 내지 약 5 원자% 범위, 예를 들어 약 1 원자% 내지 약 3 원자% 범위, 예를 들어 1.5 원자%이다. 일 실시예에서, 탄소 농도는 에피택셜 층 내에서 등급이 결정될 것이며, 바람직하게는 에피택셜 층의 최종 부분에서보다 에피택셜 층의 최초 부분에서 낮은 탄소 농도를 가질 것이다. 이와는 달리, 게르마늄 소오스와 탄소 소오스는 실리콘 탄소 도는 실리콘 게르마늄 탄소 재료와 같은 실리콘 함유 화합물을 형성하도록 실리콘 소오스와 캐리어 가스와 함께 증착 중에 처리 챔버에 추가될 것이다.

[0044] 사용된 증착 가스는 붕소, 비소, 인, 갈륨 또는 알루미늄과 같은 원소 도펀트의 소오스를 제공하도록 적어도 하나의 도펀트 화합물을 더 포함할 수 있다. 도펀트는 전자소자에 의해 요구되는 제어되고 바람직한 통로 내에 지향성 전자 유동과 같은 다양한 전도 특성을 증착된 실리콘 함유 화합물에 제공한다. 실리콘 함유 화합물의 필름은 소정의 전도 특성을 달성하도록 특정 도펀트로 도프된다. 일 실시예에서, 실리콘 함유 화합물은 약 10<sup>15</sup> 원자/cm<sup>3</sup> 내지 약 10<sup>21</sup>원자/cm<sup>3</sup> 범위 내의 농도로 붕소를 첨가하기 위해 디보란을 사용함으로써 p-형 도프된다. 일 실시예에서, p-형 도펀트는 적어도 5 × 10<sup>19</sup> 원자/cm<sup>3</sup>의 농도를 가진다. 다른 실시예에서, p-형 도펀트는 약 1 × 10<sup>20</sup> 원자/cm<sup>3</sup> 내지 2.5 × 10<sup>21</sup> 원자/cm<sup>3</sup> 범위 내에 있다. 다른 실시예에서, 실리콘 함유 화합물은 약 10<sup>15</sup> 원자/cm<sup>3</sup> 내지 약 10<sup>21</sup> 원자/cm<sup>3</sup> 범위 내의 농도로 예를 들어 인 및/또는 비소로 도프된 n-형이다.

- [0045] 도펀트 소오스는 보통 약 0.1 sccm 내지 약 20sccm 범위, 예를 들어 약 0.5 sccm 내지 약 10 sccm 범위, 더 특정적으로 약 1 sccm 내지 약 5 sccm 범위, 예를 들어 약 2 sccm의 비율로 처리 챔버의 내측으로 제공된다. 도펀트 소오스로서 유용한 붕소 함유 도펀트는 붕소 및 유기 붕소를 포함한다. 붕소는 보란, 디보란( $B_2H_6$ ), 트리보란, 테트라보란 및 펜타보란을 포함하지만, 알킬보란은 화학식  $RxBH_{(3-x)}$ 을 갖는 화합물을 포함하며, 여기서 R은 메틸, 에틸, 프로필 또는 부틸이고 x는 1, 2 또는 3이다. 알킬보란은 트리메틸보란( $(CH_3)_3B$ ), 디메틸보란( $(CH_3)_2BH$ ), 트리에틸보란( $(CH_3CH_2)_3B$ ) 및 디에틸보란( $(CH_3CH_2)_2BH$ )을 포함한다. 도펀트는 예를 들어 화학식  $RxPH_{(3-x)}$ 을 갖는 아르신( $AsH_3$ ), 포스핀( $PH_3$ ) 및 알킬포스핀과 같은 화합물을 포함하며, 여기서 R은 메틸, 에틸, 프로필 또는 부틸이고 x는 1, 2 또는 3이다. 알킬포스핀은 트리메틸포스핀( $(CH_3)_3P$ ), 디메틸포스핀( $(CH_3)_2PH$ ), 트리에틸포스핀( $(CH_3CH_2)_3P$ ) 및 디에틸포스핀( $(CH_3CH_2)_2PH$ )을 포함한다. 알루미늄 및 갈륨 도펀트 소오스는 예를 들어 화학식  $RxMX_{(3-x)}$ 을 갖는 알킬화물 및/또는 할로겐화물 유도체와 같은 화합물을 포함하며, 여기서 M은 Al 또는 Ga이고, R은 메틸, 에틸, 프로필 또는 부틸이고, X는 Cl 또는 F이고, x는 1, 2 또는 3이다. 알루미늄과 갈륨 도펀트 소오스의 예로는 트리메틸알루미늄( $Me_3Al$ ), 트리에틸알루미늄( $Et_3Al$ ), 디메틸알루미늄( $Me_2AlCl$ ), 알루미늄 염화물( $AlCl_3$ ), 트리메틸갈륨( $Me_3Ga$ ), 트리에틸갈륨( $Et_3Ga$ ), 디메틸갈륨염화물( $Me_2GaCl$ ) 및 갈륨 염화물( $GaCl_3$ )이 포함된다.
- [0046] 증착 공정이 종료된 후에, 일 예로서 처리 챔버는 세정 가스 또는 캐리어 가스로 세정될 수 있으며 또한, 상기 공정은 진공 펌프로 배기될 수 있다. 상기 세정 및/또는 배기 공정은 과도한 증착 가스, 반응 부산물 및 다른 오염물을 제거한다. 다른 실시예에서, 일단 증착 공정이 종료되면 에칭 공정이 처리 챔버를 세정 및/또는 배기함이 없이 즉시 시작된다.
- [0047] 에칭 공정은 증착 중에 증착된 기판 표면으로부터 실리콘 함유 재료를 제거한다. 에칭 공정은 에피택셜 또는 단결정질 재료 및 비결정질 재료를 모두 제거한다. 있다면, 기판 표면 상에 증착된 다결정질 층은 에피택셜 층 보다 더 빠르게 제거된다. 에칭 공정의 시간 주기는 기판의 소정 영역 상에 선택적으로 형성된 에피택셜 층의 순수 증착을 초래하기 위한 증착 공정의 시간 주기와 균형을 이룬다. 그러므로, 증착 공정과 에칭 공정의 순수 결과로서 있다면, 다결정질 실리콘 함유 재료의 성장을 최소화하면서 선택적이고 에피택셜하게 성장된 실리콘 함유 재료를 형성한다.
- [0048] 에칭 중에, 기판은 약 10 초 내지 약 90 초, 예를 들어 약 20 초 내지 약 60초, 더 특정적으로 약 30 초 내지 약 45 초간의 시간 주기 동안에 에칭 가스에 노출된다. 에칭 가스는 적어도 하나의 에칭제와 캐리어 가스를 포함한다. 에칭제는 보통 약 10 sccm 내지 약 700 sccm, 예를 들어 약 50 sccm 내지 약 500 sccm, 및 더 특정적으로 약 100 sccm 내지 약 400 sccm, 예를 들어 약 200 sccm 범위의 비율로 처리 챔버의 내측으로 제공된다. 에칭 가스 내에 사용된 에칭제는 염소( $Cl_2$ ), 염화 수소( $HCl$ ), 삼염화 붕소( $BCl_3$ ), 사염화 탄소( $CCl_4$ ), 클로로트리플루오라이드( $ClF_3$ ) 및 이들의 조합물이 포함될 수 있다.
- [0049] 에칭제는 보통 캐리어 가스와 함께 처리 챔버의 내측으로 공급된다. 캐리어 가스는 약 1 slm 내지 약 100 slm, 예를 들어 약 5 slm 내지 약 75 slm, 및 더 특정적으로 약 10 slm 내지 약 50 slm 범위의 유동률을 가진다. 캐리어 가스는 질소, 수소, 아르곤, 헬륨 및 이들의 조합물을 포함할 수 있다. 몇몇 실시예에서, 불활성 가스가 사용되며 불활성 가스로는 질소, 아르곤, 헬륨 및 이들의 조합물을 포함할 수 있다. 캐리어 가스는 에피택셜 공정 중에 사용된 특정 전구체 및/또는 온도를 근거로 하여 선택된다.
- [0050] 에칭 공정의 종료 후에, 일 실시예로서 처리 챔버는 세정 가스 또는 캐리어 가스로 세정될 수 있으며 또한, 상기 공정은 진공 펌프로 배기될 수 있다. 상기 세정 및/또는 배기 공정은 과도한 증착 가스, 반응 부산물 및 다른 오염물을 제거한다. 다른 실시예에서, 일단 에칭 공정이 종료되면 세정 가스는 사용되지 않는다. 처리 챔버 내의 압력은 세정 공정 중에 약 50 Torr 미만, 예를 들어 약 10 Torr 미만으로 낮아질 수 있으며, 가스 유동 분포는 조절될 수 있다.
- [0051] 에피택셜 층과 다결정질 층의 두께는 증착, 에칭 및 선택적인 세정 단계로 이루어지는 한 번 이상의 사이클의 수행 후에 결정될 수 있다. 예정된 두께가 달성되면, 에피택셜 공정은 종료될 수 있다. 그러나, 예정된 두께가 달성되지 않으면, 증착 및 에칭은 소정의 두께가 달성될 때까지 사이클 주기로서 반복된다. 에피택셜 층은 보통 약 10 Å 내지 약 2000 Å, 특정하면 약 100 Å 내지 약 1500 Å, 및 더 특정하면 약 400 Å 내지 1200 Å 범위, 예를 들어 약 800 Å의 두께를 갖도록 성장된다. 다결정질 층은 보통 있다면, 하나의 원자층 두께

내지 약 500 Å 범위의 두께를 갖도록 증착된다. 에피택셜 실리콘 함유 층 또는 다결정질 실리콘 함유 층의 소정의 또는 예정된 두께는 특정 제조 공정에 따라 특정된다. 일 실시예에서 에피택셜 층은 예정된 두께에 도달할 수 있으나 다결정질 층은 너무 두꺼워진다. 과도한 다결정질 층은 추가로 예칭된다.

[0052] 일 실시예에서, 도 2a 내지 도 2e에 도시한 바와 같이, 소오스/드레인 연장부는 실리콘 함유 층이 기판의 표면에 선택적이고 에피택셜하게 증착되는 MOSFET 내에 형성된다. 도 2a는 기판(230)의 표면 내측으로 이온 주입됨으로써 형성되는 소오스/드레인 영역(232)을 도시한다. 소오스/드레인 영역(232)의 세그먼트는 게이트 산화물 층(235)과 스페이서(234) 상에 형성된 게이트(236)에 의해 가교 연결된다. 소오스/드레인 연장부를 형성하기 위해서, 소오스/드레인 영역(232)의 일부분은 도 2b에 도시한 바와 같이 리세스(238)를 형성하도록 예칭 및 수세된다. 게이트(236)의 예칭은 소오스/드레인 영역(232)의 일부분을 예칭하기 이전에 경질 마스크를 증착함으로써 피할 수 있다.

[0053] 도 2c는 실리콘 함유 에피택셜 층(240) 및 선택적인 다결정질 층(242)이 스페이서(234)의 증착 없이 동시에 그리고 선택적으로 증착되는 전술한 에피택셜 공정의 일 실시예를 도시한다. 다결정질 층(242)은 증착 및 예칭 공정들을 조절함으로써 게이트(236) 상에 선택적으로 형성된다. 이와는 달리, 다결정질 층(242)은 에피택셜 층(242)이 소오스/드레인 영역(232) 상에 증착될 때 게이트(236)로부터 연속적으로 예칭되어 버린다.

[0054] 다른 실시예에서, 실리콘 함유 에피택셜 층(240) 및 다결정질 층(242)은 약 1 원자% 내지 약 50 원자%, 예를 들어 약 24 원자% 또는 그 미만의 게르마늄 농도를 갖는 SiGe 함유 층이다. 가변하는 실리콘 및 게르마늄을 함유하는 다중 SiGe 함유 층이 원소 등급의 농도를 갖는 실리콘 함유 에피택셜 층(240)을 형성하도록 적층될 수 있다. 예를 들어, 약 15 원자% 내지 약 25 원자% 범위의 게르마늄 농도를 갖도록 제 1 GeSi 층이 형성되고 약 25 원자% 내지 약 35 원자% 범위의 게르마늄 농도를 갖도록 제 2 GeSi 층이 형성될 수 있다.

[0055] 또 다른 실시예에서, 실리콘 함유 에피택셜 층(240)과 다결정질 층(242)은 약 200 ppm 내지 약 5 원자%, 특정하면 약 3 원자% 또는 그 미만, 더 특정하면 약 1 원자% 내지 약 2 원자%, 예를 들어 약 1.5 원자%의 탄소 농도를 갖는 SiC 함유 층이다. 또 다른 실시예에서 실리콘 함유 에피택셜 층(240)과 다결정질 층(242)은 약 1 원자% 내지 약 50 원자%, 특정하면 약 24 원자% 또는 그 미만의 게르마늄 농도와 약 200 ppm 내지 약 5 원자%, 특정하면 약 3 원자% 또는 그 미만, 더 특정하면 약 1 원자% 내지 약 2 원자%, 예를 들어 약 1.5 원자%의 탄소 농도를 갖는 SiGeC 함유 층이다.

[0056] Si, SiGe, SiC, 또는 SiGeC를 함유하는 다중 층이 실리콘 함유 층(240) 내에 원소적 농도 등급을 갖도록 순서를 바꿔서 증착될 수 있다. 실리콘 함유 층은 일반적으로, 약  $1 \times 10^{19}$  원자/cm<sup>3</sup> 내지  $2.5 \times 10^{21}$  원자/cm<sup>3</sup> 범위, 특정하면 약  $5 \times 10^{19}$  원자/cm<sup>3</sup> 내지 약  $2 \times 10^{20}$  원자/cm<sup>3</sup> 범위의 농도를 갖는 도펀트(예를 들어, 붕소, 아르신, 인, 갈륨 또는 알루미늄)으로 도프된다. 실리콘 함유 재료의 각각의 층에 첨가된 도펀트는 도펀트를 형성한다. 예를 들어, 실리콘 함유 에피택셜 층(240)은 약  $5 \times 10^{19}$  원자/cm<sup>3</sup> 내지 약  $1 \times 10^{20}$  원자/cm<sup>3</sup> 범위의 도펀트 농도(예를 들어, 붕소)를 갖는 제 1 SiGe 층 및 약  $1 \times 10^{20}$  원자/cm<sup>3</sup> 내지 약  $2 \times 10^{20}$  원자/cm<sup>3</sup> 범위의 도펀트 농도(예를 들어, 붕소)를 갖는 제 2 SiGe 함유 층을 증착함으로써 형성된다.

[0057] SiC 함유 층 및 SiGeC 함유 층 내에 결합되는 탄소는 일반적으로, 실리콘 함유 층의 증착 직후의 결정질 격자의 침입 위치에 위치한다. 침입형 탄소 농도는 약 10 원자% 또는 그 미만, 예를 들어 약 5 원자% 미만, 그리고 특정하면 약 1 원자% 내지 약 3 원자%, 예를 들어 약 2 원자%이다. 실리콘 함유 에피택셜 층(240)은 결정질 격자의 치환 위치로 침입형 탄소의 모두는 아닐지라도, 적어도 일부와 결합하기도록 어닐링될 수 있다. 어닐링 공정은 급속 열 공정(RTP)과 같은 스파이크 어닐링, 레이저 어닐링 또는 산소, 질소, 수소, 아르곤, 헬륨 또는 이들의 조합물의 분위기에서의 열적 어닐링이 포함될 수 있다. 어닐링 공정은 실리콘 함유 층이 증착된 직후 또는 기판에 수행되는 다양한 공정들 직후에 발생된다.

[0058] 다음 공정 중에, 도 2d는 스페이서(234) 상에 증착되는 스페이서(234), 일반적으로 질화물 스페이서(예를 들어, SiN<sub>4</sub>)를 도시한다. 스페이서(234)는 보통, CVD 또는 ALD 기술에 의해 상이한 챔버 내에서 증착된다.

그러므로, 기판은 실리콘 함유 에피택셜 층(240)을 증착하는데 사용된 처리 챔버로부터 제거된다. 두 개의 챔버 간의 이송 중에, 기판은 온도, 압력 또는 물과 산소를 함유하는 대기 공기와 같은 주위 조건에 노출될 수 있다. 스페이서(244)의 증착, 또는 다른 반도체 공정(예를 들어, 어닐링, 증착 또는 이온 주입)에 있어서, 기판은 돌출 층(248)을 증착하기 이전의 제 2 시간 주기 동안에 주위 조건에 노출될 수 있다. 일 실시예에서, 최소 게르마늄(예를 들어, 약 5 원자% 미만) 또는 게르마늄을 함유하지 않는 에피택셜 층(도시 않음)이 주위 조건에 기판을 노출시키기 이전에 에피택셜 층(240)의 상부에 증착되는데, 이는 천연 산화물이 약 5 원자% 이상의 게르마늄 농도를 갖도록 형성되는 에피택셜 층으로부터 보다 더 쉽게 최소 게르마늄 농도를 함유하는 에

피택셀 층으로부터 제거되기 때문이다.

- [0059] 도 2e는 실리콘 함유 재료로 구성되는 돌출 층(248)이 에피택셜 층(240: 예를 들어 도프된 SiGe) 상에 선택적이고 에피택셜하게 증착되는 다른 예를 도시한다. 증착 공정 중에, 다결정질 층(242)은 게이트(236) 상에 추가로 성장, 증착 또는 에칭된다.
- [0060] 일 실시예에서, 돌출 층(248)은 에피택셜하게 증착되는 게르마늄 또는 탄소를 조금 또는 전혀 함유하지 않는 실리콘 층이다. 그러나, 다른 실시예에서, 돌출 층(248)은 게르마늄 및/또는 탄소를 함유하지 않는다. 예를 들어, 돌출 층(248)은 약 5 원자% 또는 그 미만의 게르마늄을 함유할 수 있다. 다른 예에서, 돌출 층(248)은 약 2 원자% 또는 그 미만의 탄소를 가질 수 있다. 돌출 층(248)은 또한 붕소, 아르신, 인, 알루미늄 또는 갈륨과 같은 도펀트로 도프될 수 있다.
- [0061] 실리콘 함유 화합물이 이극 소자 제조(예를 들어, 베이스, 이미터, 콜렉터, 이미터 접점), BiCMOS 소자 제조(예를 들어, 베이스, 이미터, 콜렉터, 이미터 접점) 및 CMOS 소자 제조(예를 들어, 채널, 소오스/드레인, 소오스/드레인 연장부, 돌출 소오스/드레인, 기관, 스트레인 실리콘, 절연체 및 접점 플러그 상의 실리콘)에 사용되는 실리콘 함유 층을 증착하기 위한 공정에 대한 실시예들에 사용된다. 공정들에 대한 다른 실시예들은 게이트, 베이스 접점, 콜렉터 접점, 이미터 접점, 돌출 소오스/드레인 및 다른 용도에 사용될 수 있는 실리콘 함유 층의 성장에 대해 설명한다.
- [0062] 상기 공정들은 도 3a 내지 도 3c에 도시된 바와 같은 MOSFET 및 이극 트랜지스터 내에 선택적이고 에피택셜한 실리콘 함유 층을 증착하는데 특히 유용하다. 도 3a 및 도 3b는 MOSFET 장치 상의 에피택셜하게 성장된 실리콘 함유 화합물을 도시한다. 실리콘 함유 화합물은 상기 장치의 소오스/드레인 피쳐 상에 증착된다. 실리콘 함유 화합물은 하부 층의 결정 격자로부터 성장하고 부착되며 실리콘 함유 화합물이 소정의 두께로 성장할 때까지 이러한 배열을 유지한다. 도 3a는 오목한 소오스/드레인 층으로서 증착된 실리콘 함유 화합물을 도시하는 반면에, 도 3b는 오목한 소오스/드레인 층 및 돌출형 소오스/드레인 층으로서 증착된 실리콘 함유 화합물을 도시한다.
- [0063] 소오스/드레인 영역(312)은 이온 주입에 의해 형성된다. 일반적으로, 기관(310)은 n-형 도프되는 반면에 소오스/드레인 영역(312)은 p-형 도프된다. 실리콘 함유 에피택셜 층(313)은 소오스/드레인 영역(312) 및/또는 기관 상에 직접 선택적으로 성장된다. 실리콘 함유 에피택셜 층(314)은 본 발명의 일면에 따라서 실리콘 함유 층(313) 상에서 선택적으로 성장된다. 게이트 산화물 층(318)은 세그먼트 실리콘 함유 층(313)을 가로 연결한다. 일반적으로, 게이트 산화물 층(318)은 실리콘 이산화물, 실리콘 산화물, 또는 하프늄 산화물로 구성된다. 게이트 산화물 층(318)을 부분적으로 내포하고 있는 것은 보통 질화물/산화물 스택(예를 들어,  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ )와 같은 절연 재료인 스페이서(316)이다. 게이트 층(322: 예를 들어 폴리실리콘)은 도 3a에 도시한 바와 같이, 수직 측면을 따라 실리콘 이산화물과 같은 보호 층(319)을 가질 수 있다. 이와는 달리, 게이트 층(322)은 어느 한 측면 상에 배열되는 스페이서(316)와 오프-셋 층(320: 예를 들어  $\text{Si}_3\text{N}_4$ )을 가질 수 있다.
- [0064] 다른 실시예에서, 도 3c는 이극 트랜지스터의 베이스 층으로서의 증착된 실리콘 함유 에피택셜 층(334)을 도시한다. 실리콘 함유 에피택셜 층(334)은 본 발명의 다양한 실시예들에 따라 선택적으로 성장된다. 실리콘 함유 에피택셜 층(334)은 기관(330) 상에 이전에 증착된 n-형 콜렉터 층(332) 상에 증착된다. 트랜지스터는 절연층(333: 예를 들어  $\text{SiO}_2$  또는  $\text{Si}_3\text{N}_4$ ), 접점 층(336: 예를 들어 중후하게 도프된 폴리-Si), 오프-셋 층(338: 예를 들어,  $\text{Si}_3\text{N}_4$ ), 및 제 2 절연 층(340:  $\text{Si}_3\text{N}_4$ )을 더 포함한다.
- [0065] 본 발명의 실시예는 다양한 기관 상에 실리콘 함유 화합물을 증착하는 공정들을 설명한다. 본 발명의 실시예가 유용하게 사용될 수 있는 기관은 결정질 실리콘(예를 들어, Si <100> 및 Si <111>), 실리콘 산화물, 실리콘 게르마늄, 도프 또는 언도프된 웨이퍼 및 패터닝 또는 미 패터닝된 웨이퍼와 같은 반도체 웨이퍼를 포함하지만, 이에 한정되지 않는다. 기관은 다양한 형상(예를 들어, 둥근, 정방형 및 장방형) 및 크기(예를 들어, 200 mm OD, 300 mm OD)를 가질 수 있다.
- [0066] 일 실시예에서, 본 발명에서 설명한 공정들에 의해 증착된 실리콘 함유 화합물은 약 0 원자% 내지 약 95원자% 범위의 게르마늄 농도를 포함한다. 다른 실시예에서, 게르마늄 농도는 약 1 원자% 내지 약 30 원자%, 바람직하게 약 15원자% 내지 약 30 원자%, 예를 들어 약 20 원자%이다. 실리콘 함유 화합물도 약 0 원자% 내지 약 5 원자% 범위의 탄소 농도를 포함한다. 다른 일면에 있어서, 탄소 농도는 약 200 ppm 내지 약 3 원자%, 바람직

하게 약 1.5 원자% 범위이다.

[0067] 게르마늄 및/또는 탄소의 실리콘 함유 화합물 필름은 본 발명의 다양한 공정들에 의해 생성되며 일정하고, 주기적이며 분할된 원소적 농도를 가질 수 있다. 등급의 실리콘 게르마늄 필름은 미국 특허 제 6,770,134호 및 미국 출원 번호 10/014,466(20020174817호로 공개됨)에 설명되어 있으며, 이들은 어플라이드 머티리얼즈에 양도되었고 등급의 실리콘 함유 화합물 필름을 증착하는 방법을 설명하기 위한 목적으로 전체적으로 본 발명에 참조되었다. 일 실시예에서, 실리콘 소오스(예를 들어,  $\text{SiH}_4$ ) 및 게르마늄 소오스(예를 들어,  $\text{GeH}_4$ )가 실리콘 게르마늄 함유 필름을 선택적이고 에피택셜하게 증착하는데 사용된다. 이러한 예에서, 실리콘 소오스와 게르마늄 소오스의 비율은 등급의 필름을 성장시키면서 실리콘과 게르마늄과 같은 원소 농도의 제어를 제공하도록 변화될 수 있다. 다른 예에서, 실리콘 소오스와 탄소 소오스(예를 들어,  $\text{CH}_3\text{SiH}_3$ )가 실리콘 탄소 함유 필름을 선택적이고 에피택셜하게 증착시키는데 사용된다. 실리콘 소오스와 탄소 소오스의 비율은 균질 또는 등급의 필름을 성장시키면서 원소 농도의 제어를 제공하도록 변화될 수 있다. 다른 예에서, 실리콘 소오스와 게르마늄 소오스가 실리콘 게르마늄 탄소 함유 필름을 선택적이고 에피택셜하게 증착시키는데 사용된다. 실리콘, 게르마늄 및 탄소 소오스의 비율은 균질 또는 등급의 필름을 성장시키면서 원소 농도의 제어를 제공하도록 독립적으로 변화될 수 있다.

[0068] 본 발명에서 설명된 공정들에 의해 형성되는 MOSFET 장치는 PMOS 성분 또는 NMOS 성분을 포함할 수 있다. p-형 채널을 갖는 PMOS 성분은 채널 전도로 대표될 수 있는 구멍을 갖는 반면에, n-형 채널을 갖는 NMOS 성분은 채널 전도로 대표될 수 있는 전자를 가진다. 그러므로, 예를 들어 SiGe와 같은 실리콘 함유 재료는 PMOS 성분을 형성하도록 오목 영역 내에 증착될 수 있다. 다른 예에서, SiC와 같은 실리콘 함유 필름은 NMOS 성분을 형성하도록 오목 영역 내에 증착될 수 있다. 여러 이유로 PMOS 적용을 위해 SiGe가 사용된다. SiGe 재료는 단독의 실리콘 보다 많은 붕소와 결합하므로 접합부 저항은 낮아진다. 또한, 기판 표면에 있는 SiGe/실리사이드 층 경계면은 SiGe/실리사이드 경계면 보다 낮은 쇼트키(Schottky) 배리어를 가진다.

[0069] 실리콘 상부에 에피택셜하게 성장된 SiGe는 SiGe의 격자 상수가 실리콘의 격자 상수보다 크므로 필름 내측에 압축 응력을 가진다. 압축 응력은 PMOS 채널 내에 압축 응력을 생성하여 구멍의 이동성을 증가시키도록 측면으로 전달된다. NMOS 적용을 위하여, SiC가 오목 영역 내에 사용되어 채널 내에 인장응력을 생성하는데, 이는 SiC의 격자 상수가 실리콘의 격자 상수보다 작기 때문이다. 인장 응력은 채널의 내측으로 전달되어 전자 이동도를 증가시킨다. 그러므로, 일 실시예에서 제 1 실리콘 함유 층은 제 1 격자 응력치로 형성되며 제 2 실리콘 함유 층은 제 2 격자 응력치로 형성된다. 예로서, 약 50 Å 내지 약 200 Å 범위의 두께를 갖는 SiC 층이 기판 표면 상에 증착되며 계속해서, 약 150 Å 내지 약 1000 Å 범위의 두께를 갖는 SiGe 층이 SiC 층 위에 형성된다. SiC 층은 에피택셜하게 성장될 수 있으며 SiC 층 상에 에피택셜하게 성장된 SiGe 층 보다 작은 응력을 가진다.

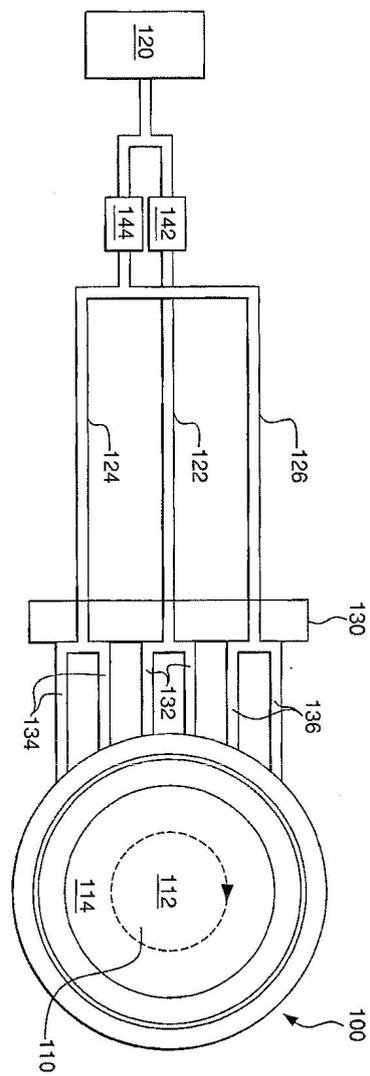
[0070] 본 발명에서 설명한 실시예에서, 실리콘 함유 화합물 필름은 화학 기상 증착(CVD) 공정에 의해 선택적이고 에피택셜하게 증착된다. 화학 기상 증착 공정은 원자층 증착(ALD) 공정 및/또는 원자 층 에피택셀(ALE) 공정을 포함한다. 화학 기상 증착은 플라즈마-보조 CVD(PA-CVD), 원자 층 CVD(ALCVD), 유기 금속 또는 금속 유기물 CVD(OMCVD 또는 MOCVD), 레이저-보조 CVD(LA-CVD), 자외선 CVD(UV-CVD), 고온 와이어 CVD(HWCVD), 감압 CVD(RP-CVD), 초-고진공 CVD(UHV-CVD) 및 기타 다른 방법과 같은 많은 기술의 사용을 포함한다. 일 실시예에서, 양호한 방법은 실리콘 함유 화합물을 에피택셜하게 성장 또는 증착시키기 위해 열적 CVD를 사용하는 것이며, 여기서 실리콘 함유 화합물은 실리콘, SiGe, SiC, SiGeC, 이들의 도프된 변형물 또는 이들의 조합물을 포함한다.

[0071] 본 발명의 공정들은 ALE, CVD 및 ALD의 기술 분야에 공지된 장비에서 수행될 수 있다. 상기 장비는 처리 챔버의 내측으로 유입되기 이전에 분되는 에칭 gas와 증착 gas를 유지하는 다중 가스 라인을 포함할 수 있다. 그 후에, gas는 실리콘 함유 화합물 필름이 성장되는 가열된 기판과 접촉하게 된다. 실리콘 함유 필름을 증착하는데 사용될 수 있는 하드웨어는 미국 캘리포니아 산타 클라라 소재의 어플라이드 머티리얼즈 인코포레이드에 의해 이용가능한 에피 센츄라 RTM. 시스템 및 폴리 쟈(등록상표) 시스템을 포함한다. ALD 장치는 2001년 12월 21일자로 미국 특허 출원 번호 10/032,284호로 출원되어 미국 특허 공개 번호 20030079686호로 공개되었으며 어플라이드 머티리얼즈 인코포레이드에 양도된, 발명의 명칭이 "ALD를 위한 가스 분배 장치 및 방법"에 설명되어 있으며, 이들은 상기 장치를 설명하기 위한 목적으로 전체적으로 본 발명에 참조되었다. 다른 장치로는 본 기술 분야에 공지된 바와 같이 배치식 고온 노가 포함된다.

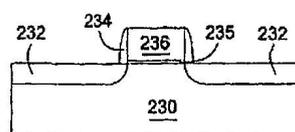
- [0072] 어떠한 방법으로도 본 발명을 제한함이 없이, 본 발명은 다음 예들에 의해 더욱 상세히 설명될 것이다.
- [0073] 예 1
- [0074] 두 가지 형태의 패턴화된 기관, 즉 하나는 오목 구조를 가지며 다른 하나는 오목 구조를 갖지 않는 기관 상에 실리콘 및 SiGe가 선택적으로 에피택셜된다. 각각의 형태의 기관은 아큐세트티엠(Accusett™) 계량 밸브를 갖는 에피 센츄라 알피 처리 챔버의 내측으로 삽입된다. 한 층의 SiGe가 종래의 공동-유동(co-flow) 공정을 사용하여 다음의 선택적인 실리콘 증착을 수행하기 위한 "마커 층"으로서의 역할을 하도록 선택적으로 증착된다. 실리콘 증착을 위한 공정 조건은 다음과 같다. 증착 압력은 10 Torr이고 실란은 5 slm에서 유동하는 수소 캐리어 가스와 함께, 50 sccm으로 유동되는 반면에 디클로로실란은 15 sccm으로 유동되었다. 위에서 정의한 I/O의 비율은 계량 밸브를 사용하여 100/250으로 설정되었다. 증착은 750 °C에서 5초간 수행되었다. 에칭 단계가 수행되었다. 처리 챔버의 압력은 약 100 Torr로 증가되었고 HCL 에칭제는 5 slm에서 유동되는 수소 캐리어 가스와 함께 650 sccm으로 유동되었으며, 상기 가스는 250/100의 I/O의 비율로 750 °C에서 6.5초간 유동되었다. 처리 챔버는 그 후에 100/250의 I/O 비율로 유동하는 수소 세정 가스에 의해 750 °C에서 10초간 10 Torr의 압력으로 감소시킴으로써 세정되었다. 증착, 에칭 및 세정의 시퀀스가 17번 반복되었다.
- [0075] 선택적인 실리콘 필름은 저밀도 패턴의 리세스를 갖는 기관의 일부분에 74 Å/분의 비율로 패시팅(faceting) 없이 부드러운 형상으로 연속적으로 성장되었다. 동일한 공정을 사용하여, 91 Å/분의 성장비율이 고밀도 패턴의 리세스를 갖는 기관의 영역에 대해 달성되었다. 이러한 성장률과 필름 품질은 에칭 가스와 증착 가스를 동시에 유동시키는 종래의 방법을 사용하여 800 °C의 온도에서 달성한 결과에 해당된다. 공정 변수의 제어는 낮은 공정 압력에서 성장물의 증가를 초래했다.
- [0076] 예 2
- [0077] 예 1의 공정 조건이 고밀도 리세스를 갖는 기관 상에서 반복되었다. 증착 중에, 처리 챔버 내의 압력은 5 Torr에서 유지되었으며, 에칭 중에 압력은 약 70 Torr로 증가되었다. 세정 중에, 압력은 5 Torr로 감소되었다. 이러한 예에서 달성된 성장률은 100 Å/분을 초과했으나 현미경을 이용한 이들 필름에 대한 실험으로 상기 필름은 코너에 소수의 패시팅 프로파일이 발견되었다.
- [0078] 예 3
- [0079] 예 2의 공정 조건이 리세스 패턴 구조를 갖지 않는 기관 상에서 반복되었으나, 이러한 예에서는 질소가 캐리어 가스로서 사용되었고 그 온도는 약 700 °C로 감소되었다. 달성된 성장률은 35 Å/분이었고 처리 챔버의 내측으로 에칭 가스와 증착 가스를 동시에 유입시킨 종래 방법을 사용하여 달성한 약 12 내지 15 Å/분의 성장률의 대략 2 배이다.
- [0080] 본 발명의 전반에 걸쳐서 사용된 "일 실시예", "임의의 실시예", "하나 이상의 실시예", 또는 "한 실시예"는 실시예와 관련하여 설명된 특정 피처, 구조, 재료, 또는 특징들이 본 발명의 적어도 하나의 실시예에 포함될 수 있다는 의미이다. 따라서, 본 발명의 전반에 있어서 다수의 장소에 사용된 "하나 이상의 실시예에 있어서", "하나 이상의 실시예에 있어서", 또는 "한 실시예에 있어서"와 같은 문구는 반드시 본 발명의 동일한 실시예만을 지칭하는 것은 아니라고 이해해야 한다. 또한, 특정 피처, 구조, 재료, 또는 특징들은 하나 이상의 실시예에서 어떤 적합한 방식으로 조합될 수 있다. 전술한 방법에 있어서 설명의 순서는 한정적인 것이 아니라고 이해해야 하며 방법에 있어서 설명된 작동 순서는 바뀌거나 생략 또는 추가될 수 있다.
- [0081] 본 발명이 특정 실시예를 참조하여 설명되었지만, 이들 실시예들은 본 발명의 단지 설명된 원리와 적용 분야에만 한정되는 것이 아니라고 이해해야 한다. 본 발명의 사상과 범주를 이탈함이 없이 본 발명의 방법과 장치는 다수의 변경 및 변형이 있을 수 있다는 것은 본 기술 분야의 당업자들에게는 자명한 것일 것이다. 이와 같이, 본 발명은 다음의 특허청구범위의 범주 및 그와 동등한 범주 내에 있는 변형예와 변경예를 포함한다고 이해해야 한다.
- 도면의 간단한 설명**
- [0082] 도 1은 일 실시예에 따른 처리 챔버 및 가스 분배 시스템의 개략적인 평면도.
- [0083] 도 2a 내지 도 2e는 MOSFET 내의 소오스/드레인 연장부 소자를 위한 제조 기술을 도시하는 개략도.
- [0084] 도 3a 내지 도 3c는 본 발명의 실시예들을 적용함으로써 선택적이고 에피택셜하게 도포된 실리콘 함유 층을 포함하는 여러 소자들을 도시하는 도면.

도면

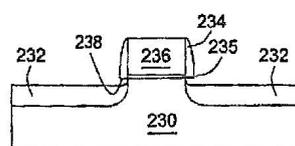
도면1



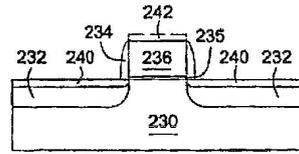
도면2a



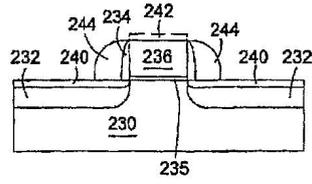
도면2b



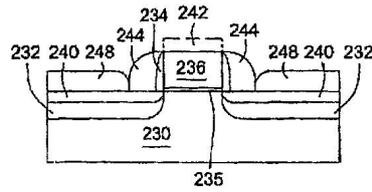
도면2c



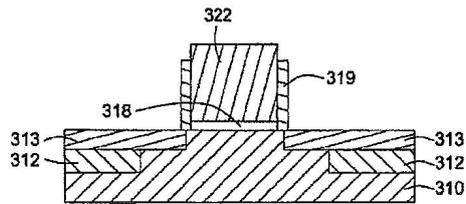
도면2d



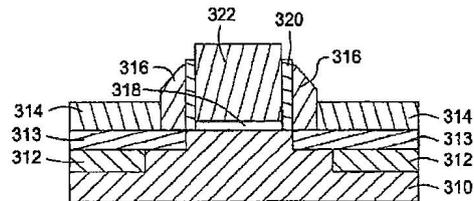
도면2e



도면3a



도면3b



도면3c

