



(12) 发明专利申请

(10) 申请公布号 CN 118712235 A

(43) 申请公布日 2024. 09. 27

(21) 申请号 202410843896.3

H01L 29/423 (2006.01)

(22) 申请日 2012.10.24

H01L 29/417 (2006.01)

(30) 优先权数据

H01L 21/34 (2006.01)

2011-233171 2011.10.24 JP

H01L 21/44 (2006.01)

2011-233274 2011.10.24 JP

(62) 分案原申请数据

201210410515.X 2012.10.24

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 柄林克明 日向野聪 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司

72001

专利代理师 姜冰 陈岚

(51) Int. Cl.

H01L 29/786 (2006.01)

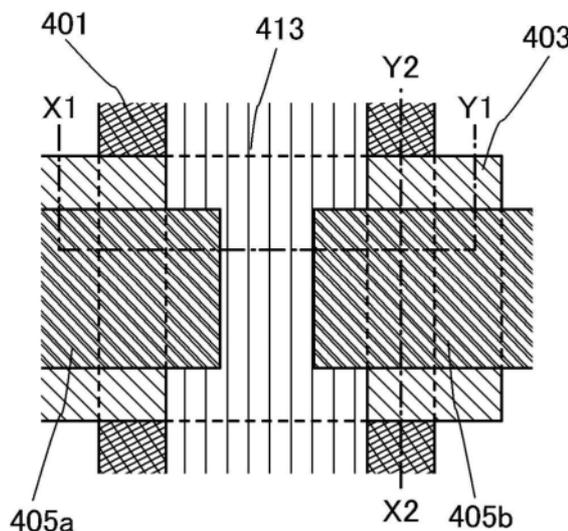
权利要求书3页 说明书36页 附图22页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

本公开的发明名称是“半导体装置以及半导体装置的制造方法”。本公开涉及半导体装置以及半导体装置的制造方法。本发明提供一种高可靠性的半导体装置以及该半导体装置的制造方法。在具有在氧化物半导体膜上设置有用作沟道保护膜的绝缘层的底栅结构的晶体管的半导体装置中,通过在形成以接触于氧化物半导体膜的方式设置的绝缘层及/或源电极层及漏电极层之后,进行杂质去除处理,可以防止蚀刻气体中的元素作为杂质残留在氧化物半导体膜的表面。氧化物半导体膜表面中的杂质浓度为 5×10^{18} atoms/cm³以下,优选为 1×10^{18} atoms/cm³以下。



1. 一种半导体装置,包括:
 - 栅电极层;
 - 所述栅电极层上的栅极绝缘膜;
 - 所述栅极绝缘膜上的氧化物半导体膜;
 - 所述氧化物半导体膜上的绝缘层,所述绝缘层与所述栅电极层重叠;
 - 源电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜;以及
 - 漏电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜,
 - 其中,所述氧化物半导体膜包括结晶部,
 - 其中,所述源电极层和所述漏电极层中的至少一个与所述栅电极层重叠,
 - 其中,所述氧化物半导体膜的与所述源电极层和所述漏电极层之一和所述绝缘层重叠的区域与所述氧化物半导体膜的不与所述绝缘层、所述源电极层和所述漏电极层重叠的区域相比具有更大的厚度,并且
 - 其中,所述氧化物半导体膜包括氯浓度低于或等于 5×10^{18} atoms/cm³的区域。
2. 一种半导体装置,包括:
 - 栅电极层;
 - 所述栅电极层上的栅极绝缘膜;
 - 所述栅极绝缘膜上的氧化物半导体膜;
 - 所述氧化物半导体膜上的绝缘层,所述绝缘层与所述栅电极层重叠;
 - 源电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜;以及
 - 漏电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜,
 - 其中,所述氧化物半导体膜包括结晶部,
 - 其中,所述源电极层和所述漏电极层中的至少一个与所述栅电极层重叠,
 - 其中,所述氧化物半导体膜的与所述源电极层和所述漏电极层之一和所述绝缘层重叠的区域与所述氧化物半导体膜的不与所述绝缘层、所述源电极层和所述漏电极层重叠的区域相比具有更大的厚度,并且
 - 其中,所述氧化物半导体膜包括氟浓度低于或等于 5×10^{18} atoms/cm³的区域。
3. 一种半导体装置,包括:
 - 栅电极层;
 - 所述栅电极层上的栅极绝缘膜;
 - 所述栅极绝缘膜上的氧化物半导体膜;
 - 所述氧化物半导体膜上的绝缘层,所述绝缘层与所述栅电极层重叠;
 - 源电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜;以及
 - 漏电极层,在所述氧化物半导体膜上并且电连接到所述氧化物半导体膜,
 - 其中,所述氧化物半导体膜包括结晶部,
 - 其中,所述源电极层和所述漏电极层中的至少一个与所述栅电极层重叠,
 - 其中,所述氧化物半导体膜的与所述源电极层和所述漏电极层之一和所述绝缘层重叠的区域与所述氧化物半导体膜的不与所述绝缘层、所述源电极层和所述漏电极层重叠的区域相比具有更大的厚度,并且
 - 其中,所述氧化物半导体膜包括硼浓度低于或等于 5×10^{18} atoms/cm³的区域。

4. 一种用于制造半导体装置的方法,包括以下步骤:
 - 在绝缘表面上形成栅电极层;
 - 在所述栅电极层上形成栅极绝缘膜;
 - 在所述栅极绝缘膜上形成氧化物半导体膜;
 - 在所述氧化物半导体膜上形成绝缘层,所述绝缘层与所述栅电极层重叠;
 - 在所述氧化物半导体膜和所述绝缘层上形成导电膜;
 - 用含有卤素元素的蚀刻气体蚀刻所述导电膜以形成源电极层和漏电极层;并且
 - 在蚀刻所述导电膜之后对所述氧化物半导体膜执行等离子体处理。
5. 根据权利要求4所述的用于制造半导体装置的方法,其中,经过所述等离子体处理的所述氧化物半导体膜中的氯浓度低于或等于 $5 \times 10^{18} \text{atoms/cm}^3$ 。
6. 根据权利要求4所述的用于制造半导体装置的方法,其中,执行氧等离子体处理或一氧化二氮等离子体处理作为所述等离子体处理。
7. 一种用于制造半导体装置的方法,包括以下步骤:
 - 在绝缘表面上形成栅电极层;
 - 在所述栅电极层上形成栅极绝缘膜;
 - 在所述栅极绝缘膜上形成氧化物半导体膜;
 - 在所述氧化物半导体膜上形成绝缘层;
 - 用含有卤素元素的蚀刻气体蚀刻所述绝缘膜以在与所述栅电极层重叠的位置中形成沟道保护膜;
 - 在蚀刻所述绝缘层之后对所述氧化物半导体膜执行等离子体处理;
 - 在所述氧化物半导体膜和所述沟道保护膜上形成导电膜;并且
 - 蚀刻所述导电膜以形成源电极层和漏电极层。
8. 根据权利要求7所述的用于制造半导体装置的方法,其中,经过所述等离子体处理的所述氧化物半导体膜中的氯浓度低于或等于 $5 \times 10^{18} \text{atoms/cm}^3$ 。
9. 根据权利要求7所述的用于制造半导体装置的方法,其中,执行氧等离子体处理或一氧化二氮等离子体处理作为所述等离子体处理。
10. 一种用于制造半导体装置的方法,包括以下步骤:
 - 在绝缘表面上形成栅电极层;
 - 在所述栅电极层上形成栅极绝缘膜;
 - 在所述栅极绝缘膜上形成氧化物半导体膜;
 - 在所述氧化物半导体膜上形成绝缘层;
 - 用含有卤素元素的第一蚀刻气体蚀刻所述绝缘膜以在与所述栅电极层重叠的位置中形成沟道保护膜;
 - 在蚀刻所述绝缘层之后对所述氧化物半导体膜执行第一等离子体处理;
 - 在所述氧化物半导体膜和所述沟道保护膜上形成导电膜;
 - 用含有卤素元素的第二蚀刻气体蚀刻所述导电膜,以形成源电极层和漏电极层;并且
 - 在蚀刻所述导电膜之后,对所述氧化物半导体膜执行第二等离子体处理。
11. 根据权利要求10所述的用于制造半导体装置的方法,其中,经过所述第二等离子体处理的所述氧化物半导体膜中的氯浓度低于或等于 $5 \times 10^{18} \text{atoms/cm}^3$ 。

12. 根据权利要求10所述的用于制造半导体装置的方法,其中,执行氧等离子体处理或一氧化二氮等离子体处理作为所述第一等离子体处理和所述第二等离子体处理中的至少一个。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置以及半导体装置的制造方法。

[0002] 在本说明书中,半导体装置是指能够通过利用半导体特性而工作的所有装置,因此电光装置、半导体电路及电子设备都是半导体装置。

背景技术

[0003] 通过利用形成在具有绝缘表面的衬底上的半导体薄膜来形成晶体管的技术备受瞩目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等的电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。此外,作为其他材料氧化物半导体受到关注。

[0004] 例如,已经公开了一种使用包含铟(In)、镓(Ga)及锌(Zn)的非晶氧化物(IGZO类非晶氧化物)的半导体层的晶体管(参照专利文献1)。

[0005] [专利文献1]日本专利申请公开2011-181801号公报

[0006] 另外,对于具有使用氧化物半导体的晶体管的半导体装置来说,能否实现高可靠性是决定其能否迈入商品化的重要因素。

[0007] 但是,半导体装置由具有复杂结构的多个薄膜构成并利用多种材料、方法及工序制造。因此,由于所采用的制造工序,有可能导致形成的半导体装置出现形状不良或电特性低下。

发明内容

[0008] 鉴于上述问题,本发明的目的之一是提供一种具有使用氧化物半导体的晶体管的高可靠性的半导体装置。

[0009] 在具有在氧化物半导体膜上设置有用作沟道保护膜的绝缘层的底栅结构的晶体管的半导体装置中,可以防止当形成以与氧化物半导体膜接触的方式设置在氧化物半导体膜上的绝缘层及/或源电极层及漏电极层时所使用的蚀刻气体中的元素(例如,氯、硼等)作为杂质残留在氧化物半导体膜的表面。具体地,例如可以采用如下方式。

[0010] 本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在绝缘表面上形成栅电极层;在栅电极层上形成栅极绝缘膜;在栅极绝缘膜上形成岛状的氧化物半导体膜;形成与栅电极层重叠并接触于岛状的氧化物半导体膜的绝缘层;形成覆盖岛状的氧化物半导体膜及绝缘层的导电膜;通过利用使用含有卤素元素的蚀刻气体的等离子体处理对导电膜进行加工来形成源电极层及漏电极层,使氧化物半导体膜部分露出;对露出的氧化物半导体膜进行杂质去除处理来去除包含于蚀刻气体中的元素。

[0011] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在绝缘表面上形成栅电极层;在栅电极层上形成栅极绝缘膜;在栅极绝缘膜上形成岛状的氧化物半导体膜;形成覆盖岛状的氧化物半导体膜的绝缘层;利用使用含有卤素元素的蚀刻气体的等离子体处理对绝缘层进行加工,在与栅电极层重叠的位置形成用作沟道保护膜的绝缘

层;对氧化物半导体膜进行杂质去除处理来去除包含于蚀刻气体中的元素;形成覆盖岛状的氧化物半导体膜及用作沟道保护膜的绝缘层的导电膜;对导电膜进行加工来形成覆盖氧化物半导体膜的沟道宽度方向的端部的源电极层及漏电极层。

[0012] 在上述半导体装置的制造方法中,优选使进行了杂质去除处理的氧化物半导体膜表面的氯浓度为 5×10^{18} atoms/cm³以下。

[0013] 另外,在上述半导体装置的制造方法中,作为杂质去除处理,可以进行氧等离子体处理或一氧化二氮等离子体处理或者利用稀氢氟酸溶液的处理。

[0014] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在绝缘表面上形成栅电极层;在栅电极层上形成栅极绝缘膜;在栅极绝缘膜上形成岛状的氧化物半导体膜;形成覆盖岛状的氧化物半导体膜的绝缘层;利用使用含有卤素元素的蚀刻气体的等离子体处理对绝缘层进行加工,在与栅电极层重叠的位置形成用作沟道保护膜的绝缘层;对氧化物半导体膜进行第一杂质去除处理来去除包含于蚀刻气体中的元素;形成覆盖岛状的氧化物半导体膜及用作沟道保护膜的绝缘层的导电膜;利用使用含有卤素元素的蚀刻气体的等离子体处理对导电膜进行加工来形成源电极层及漏电极层,使氧化物半导体膜部分出;以及对漏出的氧化物半导体膜进行第二杂质去除处理,来去除包含于蚀刻气体中的元素。

[0015] 另外,本发明的另一个方式是一种半导体装置,其包括:设置在绝缘表面上的栅电极层;设置在栅电极层上的栅极绝缘膜;设置在栅极绝缘膜上的岛状的氧化物半导体膜;设置在氧化物半导体膜上并与栅电极层重叠的绝缘层;以及接触于氧化物半导体膜及绝缘层的源电极层及漏电极层,其中源电极层及漏电极层的沟道宽度方向的长度短于氧化物半导体膜的沟道宽度方向的长度,并且氧化物半导体膜表面的氯浓度为 5×10^{18} atoms/cm³以下。

[0016] 另外,在上述半导体装置中,在氧化物半导体膜中,与绝缘层、源电极层或漏电极层重叠的区域的厚度大于不与绝缘层、源电极层和漏电极层中的任何一个重叠的区域的厚度。

[0017] 或者,在上述半导体装置中,有时氧化物半导体膜的所有区域与绝缘层、源电极层和漏电极层中的至少一个重叠。

[0018] 另外,本发明的一个方式是一种半导体装置,其包括:设置在绝缘表面上的栅电极层;设置在栅电极层上的栅极绝缘膜;设置在栅极绝缘膜上的岛状的氧化物半导体膜;设置在氧化物半导体膜上并与栅电极层重叠的绝缘层;以及接触于氧化物半导体膜及绝缘层的源电极层及漏电极层,其中源电极层及漏电极层覆盖氧化物半导体膜的沟道宽度方向的端部,并且氧化物半导体膜表面的氯浓度为 5×10^{18} atoms/cm³以下。

[0019] 另外,在上述半导体装置中,在氧化物半导体膜中,有时与绝缘层重叠的区域的厚度大于与源电极层或漏电极层重叠的区域的厚度。

[0020] 为了形成用作沟道保护膜的绝缘层、源电极层或漏电极层等在氧化物半导体膜上并与其接触的膜的图案,优选采用使用含有卤素元素的蚀刻气体的等离子体处理。但是,当将氧化物半导体膜暴露于含有卤素元素的蚀刻气体时,有如下顾虑:因包含于上述蚀刻气体中的卤素元素(例如,氯、氟)氧化物半导体膜中的氧被抽出,而使氧化物半导体膜的界面附近形成氧缺陷。当氧化物半导体膜中发生氧缺陷时,氧化物半导体膜的背沟道低电阻化(n型化)而可能导致寄生沟道的形成。

[0021] 例如,当作为氧化物半导体膜使用含有铟的氧化物半导体材料,并且在以接触于氧化物半导体膜的方式设置的源电极层及漏电极层的加工中使用含有三氯化硼(BCl_3)的蚀刻气体时,有时氧化物半导体膜中的In-O-In键与蚀刻气体中的Cl发生反应而变成包含In-Cl键和氧脱离了的In元素的氧化物半导体膜。由于氧脱离了的In元素具有悬空键,因此在氧化物半导体膜中发生氧脱离的部分中存在氧缺陷。

[0022] 另外,包含卤素元素的蚀刻气体中的卤素以外的元素(例如,硼)也是导致氧化物半导体膜的背沟道低电阻化(n型化)的主要原因之一。

[0023] 在本发明的一个方式中,通过在设置在氧化物半导体膜上的绝缘层及/或源电极层及漏电极层的蚀刻加工之后进行杂质去除处理,去除可能引起氧化物半导体膜的低电阻化的氯、硼等包含于蚀刻气体中的元素。由此,可以实现半导体装置的高可靠性。

[0024] 本发明提供一种具有使用氧化物半导体的晶体管的高可靠性的半导体装置。

附图说明

[0025] 图1A至1C是说明半导体装置的一个方式的平面图及截面图;

[0026] 图2A至2E是说明半导体装置的制造方法的一个方式的截面图;

[0027] 图3A至3C是说明半导体装置的一个方式的平面图及截面图;

[0028] 图4A至4C是说明半导体装置的一个方式的平面图及截面图;

[0029] 图5A至5C是说明半导体装置的一个方式的平面图及截面图;

[0030] 图6A至6C是说明半导体装置的一个方式的平面图及截面图;

[0031] 图7A至7E是说明半导体装置的制造方法的一个方式的截面图;

[0032] 图8A至8C是说明半导体装置的一个方式的平面图及截面图;

[0033] 图9A至9C是说明半导体装置的一个方式的平面图;

[0034] 图10A和10B是说明半导体装置的一个方式的平面图及截面图;

[0035] 图11A和11B是示出半导体装置的一个方式的截面图;

[0036] 图12A和12B是示出半导体装置的一个方式的等效电路及截面图;

[0037] 图13A至13C是示出电子设备的图;

[0038] 图14A至14C是示出电子设备的图;

[0039] 图15是示出SIMS测量结果的图;

[0040] 图16是示出稀氢氟酸处理的有无与电阻率的关系的图表。

具体实施方式

[0041] 下面,参照附图详细地说明本说明书所公开的发明的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本说明书所公开的发明的方式及详细内容可以被变换为各种各样的形式而不局限于以下说明。并且,本说明书所公开的发明不应被看作仅限于以下实施方式的描述内容。另外,为了方便起见附加了第一、第二等序数词,其并不表示工序顺序或叠层顺序。此外,本说明书中的序数词不表示特定发明的事项的固有名称。

[0042] 实施方式1

[0043] 在本实施方式中,参照图1A至图5C说明半导体装置及半导体装置的制造方法的一

个方式。在本实施方式中,作为半导体装置的一个例子示出具有氧化物半导体膜的晶体管。

[0044] 晶体管既可以采用形成一个沟道形成区的单栅结构,又可以采用形成两个沟道形成区的双栅结构(double-gate),还可以采用形成三个沟道形成区的三栅结构。或者,也可以是具有隔着栅极绝缘膜配置在沟道形成区上下的两个栅电极层的双栅型。

[0045] 图1A至1C所示的晶体管440示出为底栅结构的一种的也被称为反交错型晶体管的晶体管的一个例子。另外,图1A是晶体管440的平面图,图1B是沿着图1A的X1-Y1的截面图,图1C是沿着图1A的X2-Y2的截面图。

[0046] 图1A至1C所示的晶体管440包括:设置在具有绝缘表面的衬底400上的栅电极层401;设置在电极层401上的栅极绝缘膜402;设置在栅极绝缘膜402上的岛状的氧化物半导体膜403;设置在氧化物半导体膜403上并与栅电极层401重叠的绝缘层413;接触于氧化物半导体膜403及绝缘层413的源电极层405a及漏电极层405b。另外,作为晶体管440的构成要素还可以包括设置在衬底400上的基底绝缘膜436、覆盖该晶体管440的层间绝缘膜408以及平坦化绝缘膜409。

[0047] 在晶体管440中,源电极层405a及漏电极层405b的沟道宽度方向的长度(w2)短于氧化物半导体膜403的沟道宽度方向的长度(w1),氧化物半导体膜403的表面的一部分与层间绝缘膜408接触。

[0048] 氧化物半导体膜403在晶体管440的制造工序中进行了杂质去除处理,因此氧化物半导体膜403的表面的元素残留极少,上述元素是指形成以与氧化物半导体膜403接触的方式设置在氧化物半导体膜403上的源电极层405a及漏电极层405b等时所使用的蚀刻气体中包含的元素。具体地,氧化物半导体膜403的表面的氯浓度为 5×10^{18} atoms/cm³以下,优选为 1×10^{18} atoms/cm³以下,硼浓度为 5×10^{18} atoms/cm³以下,优选为 1×10^{18} atoms/cm³以下。

[0049] 用作氧化物半导体膜403的氧化物半导体优选至少包含铟(In)。尤其是优选包含In及锌(Zn)。此外,作为用来降低使用该氧化物半导体膜的晶体管的电特性变化的稳定剂,除了上述元素以外优选还包含镓(Ga)。此外,作为稳定剂优选包含锡(Sn)。另外,作为稳定剂优选包含铪(Hf)。此外,作为稳定剂优选包含铝(Al)。另外,作为稳定剂优选包含锆(Zr)。

[0050] 此外,作为其他稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)中的一种或多种。

[0051] 例如,作为氧化物半导体可以使用氧化铟;氧化锡;氧化锌;二元金属氧化物如In-Zn类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0052] 在此,例如,“In-Ga-Zn类氧化物”是指以In、Ga、Zn为主要成分的氧化物,对In、Ga、Zn的比率没有限制。另外,也可以含有In、Ga、Zn以外的金属元素。

[0053] 另外,作为氧化物半导体,也可以使用表示为 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整数)的材

料。注意, M表示选自Ga、Fe、Mn和Co中的一种或多种金属元素。此外, 作为氧化物半导体, 也可以使用表示为 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ 且 n 是整数) 的材料。

[0054] 例如, 可以使用原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$)、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ ($=1/6:1/2:1/3$) 或 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$) 的In-Ga-Zn类氧化物或与其类似的组成的氧化物。另外, 优选使用原子数比为 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的In-Sn-Zn类氧化物或与其类似的组成的氧化物。

[0055] 例如, In-Sn-Zn氧化物比较容易得到高迁移率。但是, 当使用In-Ga-Zn类氧化物时也可以通过减小块内缺陷密度提高迁移率。

[0056] 例如, In、Ga、Zn的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的组成与原子数比为 $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$) 的氧化物的组成类似是指 a 、 b 、 c 满足 $(a-A)^2+(b-B)^2+(c-C)^2\leq r^2$ 的状态, r 例如可以为0.05。其他氧化物也是同样的。

[0057] 但是, 氧化物半导体不局限于此, 而可以根据需要的半导体特性(迁移率、阈值、变化等)采用适当的组成材料。另外, 优选采用适当的载流子浓度、杂质浓度、缺陷密度、金属元素及氧的原子数比、原子间距离、密度等, 以得到所需要的半导体特性。另外, 既可以层叠以组成为代表的上述条件互不相同的氧化物半导体膜, 也可以适当地用于沟道形成区、源区及漏区。

[0058] 例如, 作为氧化物半导体膜403, 可以依次层叠第一氧化物半导体膜、第二氧化物半导体膜及第三氧化物半导体膜并可以分别采用不同的组成。例如, 作为第一氧化物半导体膜及第三氧化物半导体膜可以使用三元金属氧化物, 作为第二氧化物半导体膜可以使用二元金属氧化物。优选的是, 作为第一氧化物半导体膜至第三氧化物半导体膜使用含有相同成分的材料。这是由于: 当使用含有相同成分的材料时, 可以以第一氧化物半导体膜的结晶层为晶种在第一氧化物半导体膜上形成第二氧化物半导体膜, 而容易进行第二氧化物半导体膜的结晶生长。另外, 关于第三氧化物半导体膜也是同样。此外, 当采用含有相同成分的材料时, 密接性等的界面特性或电特性也良好。

[0059] 此外, 也可以使第一氧化物半导体膜、第二氧化物半导体膜及第三氧化物半导体膜的构成元素相同而组成不同。例如, 可以将第一氧化物半导体膜与第三氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$, 将第二氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 。或者, 也可以将第一氧化物半导体膜及第三氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$, 将第二氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 。或者, 可以将第一氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$, 将第二氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$, 将第三氧化物半导体膜的原子数比设定为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 。

[0060] 氧化物半导体膜403有可能处于单晶、多晶(polycrystal)或非晶等状态。

[0061] 氧化物半导体膜403优选为CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor: C轴取向结晶氧化物半导体)膜。

[0062] CAAC-OS膜不是完全的单晶, 也不是完全的非晶。CAAC-OS膜是在非晶相中具有结晶部的结晶-非晶混合相结构的氧化物半导体膜。另外, 一般该结晶部分的尺寸为能够容纳于一个边长小于100nm的立方体内的尺寸。另外, 在使用透射电子显微镜(TEM:

Transmission Electron Microscope) 观察时的图像中, 包含于CAAC-OS膜中的非晶部与结晶部的边界不明确。另外, 在CAAC-OS膜中利用TEM观察不到晶界 (grain boundary)。因此, 在CAAC-OS膜中, 起因于晶界的电子迁移率的降低得到抑制。

[0063] 包含于CAAC-OS膜中的结晶部的c轴在平行于CAAC-OS膜的被形成面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致, 在从垂直于ab面的方向看时具有三角形或六角形的原子排列, 且在从垂直于c轴的方向看时, 金属原子排列为层状或者金属原子和氧原子排列为层状。另外, 不同结晶部的a轴及b轴的方向也可以彼此不同。在本说明书中, 在只记载“垂直”时, 包括85°以上且95°以下的范围。另外, 当只记载“平行”时, 包括-5°以上且5°以下的范围。

[0064] 另外, 在CAAC-OS膜中, 结晶部的分布也可以不均匀。例如, 在CAAC-OS膜的形成过程中, 当从氧化物半导体膜的表面一侧进行结晶生长时, 有时与被形成面附近相比表面附近的结晶部所占的比例更高。另外, 通过对CAAC-OS膜添加杂质, 有时在该杂质添加区中结晶部发生非晶化。

[0065] 由于包含于CAAC-OS膜中的结晶部的c轴在平行于CAAC-OS膜的被形成面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致, 所以有时其根据CAAC-OS膜的形状 (被形成面的截面形状或膜表面的截面形状) 而朝向不同的方向。另外, 结晶部的c轴方向是平行于形成CAAC-OS膜时的被形成面的法线向量或表面的法线向量的方向。结晶部是通过成膜或通过成膜之后进行加热处理等的晶化处理而形成的。

[0066] 使用CAAC-OS膜的晶体管能够降低由可见光或紫外光的照射引起的电特性变动。因此, 该晶体管的可靠性高。

[0067] 另外, 也可以用氮取代构成氧化物半导体膜的氧的一部分。

[0068] 另外, 像CAAC-OS那样的具有结晶部的氧化物半导体可以进一步降低块体内缺陷, 通过提高表面的平坦性, 可以得到处于非晶状态的氧化物半导体的迁移率以上的迁移率。为了提高表面的平坦性, 优选在平坦的表面上形成氧化物半导体, 具体地, 优选在平均面粗糙度 (Ra) 为1nm以下, 优选为0.3nm以下, 更优选为0.1nm以下的表面上形成氧化物半导体。

[0069] 另外, Ra是将JIS B0601:2001 (ISO4287:1997) 中定义的算术平均粗糙度扩大为三维以使其能够应用于曲面, 可以以“将从基准面到指定面的偏差的绝对值平均而得的值”表示, 以如下算式定义。

$$[0070] \quad Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0071] 这里, 指定面是指成为测量粗糙度对象的面, 并且是以坐标 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 及 $(x_2, y_2, f(x_2, y_2))$ 的四点表示的四角形的区域, 指定面投影在xy平面的长方形的面积为 S_0 , 基准面的高度 (指定面的平均高度) 为 Z_0 。可以利用原子力显微镜 (AFM: Atomic Force Microscope) 测定Ra。

[0072] 但是, 由于在本实施方式中说明的晶体管440为底栅晶体管, 所以在氧化物半导体膜403的下方有衬底400、栅电极层401及栅极绝缘膜402。因此, 为了获得上述平坦的表面, 可以在形成栅电极层401及栅极绝缘膜402之后进行CMP处理等平坦化处理。

[0073] 将氧化物半导体膜403的厚度设定为1nm以上且30nm以下 (优选为5nm以上且10nm以下), 可以适当地利用溅射法、MBE (Molecular Beam Epitaxy: 分子束外延) 法、CVD法、脉

冲激光淀积法、ALD(Atomic Layer Deposition:原子层淀积)法等。此外,氧化物半导体膜403可以使用在大致垂直于溅射靶材表面的方式设置有多个衬底表面的状态下进行成膜的溅射装置(Columnar Plasma Sputtering system)形成。

[0074] 使用图2A至2E对图1A至1C所示的晶体管440的制造方法的一个例子进行说明。

[0075] 首先,在具有绝缘表面的衬底400上形成基底绝缘膜436。

[0076] 对可用作具有绝缘表面的衬底400的衬底没有很大的限制,但是衬底400需要至少具有能够承受在后面进行的热处理的程度的耐热性。例如,可以使用如硼硅酸钡玻璃和硼硅酸铝玻璃等的玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,作为衬底400,也可以采用以硅或碳化硅等为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底、SOI衬底等,还可以使用在这些衬底上设置有半导体元件的衬底。

[0077] 此外,作为衬底400也可以使用柔性衬底制造半导体装置。在制造具有柔性的半导体装置时,既可以在柔性衬底上直接形成包含氧化物半导体膜403的晶体管440,也可以在其他制造衬底上形成包含氧化物半导体膜403的晶体管440,然后从制造衬底将其剥离并转置到柔性衬底上。注意,为了从制造衬底剥离晶体管并转置到柔性衬底上,优选在制造衬底与包含氧化物半导体膜的晶体管440之间设置剥离层。

[0078] 作为氧化物绝缘膜436,可以通过等离子体CVD法或溅射法等并使用如下材料形成:氧化硅、氮化硅、氧化铝、氮化铝、氧化钪、氧化镓等氧化物绝缘材料;氮化硅、氮氧化硅、氮化铝、氮氧化铝等氮化绝缘材料;它们的混合材料。注意,没有必要必须设置基底绝缘膜436。

[0079] 可以对衬底400(或衬底400及基底绝缘膜436)进行加热处理。例如,可以使用利用高温气体进行加热处理的GRTA(Gas Rapid Thermal Anneal;气体快速热退火)装置以650℃进行1分至5分的加热处理。另外,作为GRTA的高温气体使用如氩等的稀有气体或氮那样的即使进行加热处理也不与被处理物产生反应的惰性气体。另外,也可以利用电炉以500℃进行30分至1小时的加热处理。

[0080] 接着在基底绝缘膜436上形成导电膜,并对该导电膜进行蚀刻形成栅电极层401(包括使用与其相同的层形成的布线)。作为导电膜的蚀刻,可以使用干蚀刻和湿蚀刻中的一方或双方。

[0081] 栅电极层401可以使用钼、钛、钽、钨、铝、铜、铬、钨、钽等的金属材料或以这些材料为主要成分的合金材料形成。此外,作为栅电极层401,可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体膜、镍硅化物等硅化物膜。栅电极层401既可以是单层结构,又可以是叠层结构。

[0082] 另外,栅电极层401可以使用氧化铟-氧化锡、包含氧化钨的铟氧化物、包含氧化钨的铟锡氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、氧化铟-氧化锌以及添加有氧化硅的铟锡氧化物等导电材料。此外,也可以采用上述导电材料与上述金属材料的叠层结构。

[0083] 此外,作为与栅极绝缘膜402接触的栅电极层401,可以使用包含氮的金属氧化物,具体地说,包含氮的In-Ga-Zn-O膜、包含氮的In-Sn-O膜、包含氮的In-Ga-O膜、包含氮的In-Zn-O膜、包含氮的Sn-O膜、包含氮的In-O膜以及金属氮化膜(InN、SnN等)。这些膜具有5eV(电子伏特)以上,优选具有5.5eV(电子伏特)以上的功函数,并且当将它们用作栅电极层

时,可以使晶体管的电特性的阈值电压成为正值,而可以实现所谓的常关闭型 (normally off) 的开关元件。

[0084] 在本实施方式中,利用溅射法形成100nm厚的钨膜。

[0085] 另外,可以在形成栅电极层401之后对衬底400及栅电极层401进行加热处理。例如,可以利用GRTA装置以650°C进行1分至5分的加热处理。或者,利用电炉以500°C进行30分至1小时的加热处理。

[0086] 接着,在栅电极层401上形成栅极绝缘膜402。

[0087] 另外,为了提高栅极绝缘膜402的覆盖性,可以对栅电极层401的表面进行平坦化处理。尤其是当作为栅极绝缘膜402使用厚度较薄的绝缘膜时,优选栅电极层401表面具有良好的平坦性。

[0088] 将栅极绝缘膜402的厚度设定为1nm以上20nm以下,并可以适当地利用溅射法、MBE法、CVD法、脉冲激光淀积法、ALD法等。此外,栅极绝缘膜402也可以使用在大致垂直于溅射靶材表面的方式设置多个衬底表面的状态下进行成膜的溅射装置形成。

[0089] 栅极绝缘膜402可以使用如下材料形成:氧化硅膜;氧化镓膜;氧化铝膜;氮化硅膜;氧氮化硅膜;氧氮化铝膜;氮氧化硅膜。

[0090] 此外,通过作为栅极绝缘膜402的材料使用氧化铪、氧化钽、硅酸铪 (HfSi_xO_y ($x>0, y>0$))、添加有氮的硅酸铪 (HfSiO_xN_y ($x>0, y>0$))、铝酸铪 (HfAl_xO_y ($x>0, y>0$)) 以及氧化镧等high-k材料,可以降低栅极泄漏电流。另外,栅极绝缘膜402既可以采用单层结构,又可以采用叠层结构。

[0091] 优选栅极绝缘膜402的与氧化物半导体膜403接触的部分含有氧。尤其是,优选栅极绝缘膜402的膜中(块体中)至少含有超过化学计量组成比的量的氧。例如,当将氧化硅膜用于栅极绝缘膜402时,组成通式为 $\text{SiO}_{2+\alpha}$ (注意, $\alpha>0$)。

[0092] 通过以接触于氧化物半导体膜403的方式形成成为氧的供应源的包含多量的(过剩的)氧的栅极绝缘膜402,可以从该栅极绝缘膜402对氧化物半导体膜403供应氧。也可以通过在氧化物半导体膜403与栅极绝缘膜402至少部分接触的状态下进行加热处理来对氧化物半导体膜403供应氧。

[0093] 通过对氧化物半导体膜403供应氧,可以填补膜中的氧缺陷。再者,优选考虑到所制造的晶体管的尺寸和栅极绝缘膜402的台阶覆盖性而形成栅极绝缘膜402。

[0094] 在本实施方式中,通过高密度等离子体CVD法形成200nm厚的氧氮化硅膜。

[0095] 或者,可以在形成栅极绝缘膜402之后对衬底400、栅电极层401、及栅极绝缘膜402进行加热处理。例如,可以利用GRTA装置以650°C进行1分至5分的加热处理。或者,利用电炉以500°C进行30分至1小时的加热处理。

[0096] 接着,在栅极绝缘膜402上形成氧化物半导体膜403。

[0097] 在形成氧化物半导体膜403的工序中,为了尽量不使氧化物半导体膜403包含氢或水,优选作为形成氧化物半导体膜403的预处理,在溅射装置的预热室中对形成有栅极绝缘膜402的衬底进行预热,使附着于衬底及栅极绝缘膜402的氢或水分等杂质脱离而排出。另外,作为设置在预热室中的排气单元优选使用低温泵。

[0098] 也可以对栅极绝缘膜402中的与氧化物半导体膜403接触的区域进行平坦化处理。对平坦化处理没有特别的限制,而作为平坦化处理可以使用抛光处理(例如,化学机械抛光

(Chemical Mechanical Polishing: CMP)法)、干蚀刻处理及等离子体处理。

[0099] 作为等离子体处理,例如可以进行引入氩气来产生等离子体的反溅射。反溅射是指使用RF电源在氩气氛下对衬底一侧施加电压,来在衬底附近形成等离子体以进行表面改性的方法。另外,也可以使用氮、氦、氧等代替氩气氛。通过进行反溅射,可以去除附着于栅极绝缘膜402表面的粉状物质(也称为微粒、尘屑)。

[0100] 作为平坦化处理,既可以多次进行抛光处理、干蚀刻处理及等离子体处理,又可以组合上述处理而进行。此外,当组合上述处理而进行时,对工序顺序也没有特别的限制,可以根据栅极绝缘膜402表面的凹凸状态适当地设定。

[0101] 此外,优选在成膜时包含多量的氧的条件(例如,在氧比率为100%的气氛下利用溅射法进行成膜等)下形成氧化物半导体膜403,使其成为包含多量的氧(优选为包含与氧化物半导体处于结晶状态时的化学计量组成相比氧含量过剩的区域)的膜。

[0102] 另外,在本实施方式中,作为氧化物半导体膜403通过利用装有AC电源的溅射装置的溅射法形成35nm厚的In-Ga-Zn类氧化物膜(IGZO膜)。在本实施方式中,使用原子数比为In:Ga:Zn=1:1:1(1/3:1/3:1/3)的In-Ga-Zn类氧化物靶材。另外,成膜条件如下:氧及氩气氛下(氧流量比率为50%);压力为0.6Pa;电源功率为5kW;衬底温度为170°C。该成膜条件下的成膜速度为16nm/min。

[0103] 作为形成氧化物半导体膜403时使用的溅射气体,优选使用去除了氢、水、羟基或氢化物等杂质的高纯度气体。

[0104] 在保持为减压状态的成膜室中保持衬底。然后,在去除成膜室内的残留水分的同时引入去除了氢和水分的溅射气体,使用上述靶材在衬底400上形成氧化物半导体膜403。为了去除成膜室内的残留水分,优选使用吸附型的真空泵,例如低温泵、离子泵、钛升华泵。此外,作为排气单元,也可以使用添加有冷阱的涡轮泵。因为在使用低温泵进行排气的成膜室中,例如氢原子、水(H₂O)等包含氢原子的化合物等被排出(更优选的是,包含碳原子的化合物也被排出),所以可以降低包含在该成膜室中形成的氧化物半导体膜403中的杂质的浓度。

[0105] 另外,优选以不使栅极绝缘膜402暴露于大气的方式连续形成栅极绝缘膜402和氧化物半导体膜403。通过以不使栅极绝缘膜402暴露于大气的方式连续形成栅极绝缘膜402和氧化物半导体膜403,可以防止氢或水分等杂质附着于栅极绝缘膜402表面。

[0106] 当作为氧化物半导体膜403使用CAAC-OS膜时,例如使用多晶的氧化物半导体溅射靶材利用溅射法形成。当离子碰撞到该溅射靶材时,有时包含在溅射靶材中的结晶区域沿着a-b面劈开,即具有平行于a-b面的面的平板状或颗粒状的溅射粒子有时剥离。此时,通过使该平板状的溅射粒子在保持结晶状态的情况下到达衬底,溅射靶材的结晶状态被转写到衬底由此可以形成CAAC-OS膜。

[0107] 另外,为了形成CAAC-OS膜,优选应用如下条件。

[0108] 通过降低成膜时的杂质的混入,可以抑制因杂质导致的结晶状态的破坏。例如,可以降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)浓度。另外,可以降低成膜气体中的杂质浓度。具体而言,使用露点为-80°C以下,优选为-100°C以下的成膜气体。

[0109] 另外,通过增高成膜时的衬底加热温度,在溅射粒子到达衬底之后发生溅射粒子的迁移。具体而言,在将衬底加热温度设定为100°C以上且740°C以下,优选为200°C以上且

500°C以下的状态下进行成膜。通过增高成膜时的衬底加热温度,当平板状的溅射粒子到达衬底时,在衬底上发生迁移,溅射粒子的平坦的面附着于衬底。

[0110] 另外,优选的是,通过增高成膜气体中的氧比率并对电力进行最优化,减轻成膜时的等离子体损伤。将成膜气体中的氧比率设定为30vol%以上,优选为100vol%。

[0111] 以下,作为溅射靶材的一个例子示出In-Ga-Zn-O化合物靶材。

[0112] 将 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以规定的比率混合,进行加压处理,然后在1000°C以上且1500°C以下的温度下进行加热处理,由此得到作为多晶的In-Ga-Zn-O化合物靶材。另外,x、y及z为任意正数。在此, InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的规定的比率例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2的摩尔数比。另外,粉末的种类及用来混合的比率可以根据所制造的溅射靶材适当地改变。

[0113] 通过对膜状的氧化物半导体膜进行光刻工序而加工为岛状可以形成氧化物半导体膜403。

[0114] 另外,也可以通过喷墨法形成用来形成岛状的氧化物半导体膜403的抗蚀剂掩模。在通过喷墨法形成抗蚀剂掩模时不需要光掩模,由此可以降低制造成本。

[0115] 另外,氧化物半导体膜的蚀刻可以采用干蚀刻和湿蚀刻中的一方或双方。例如,作为用于氧化物半导体膜的湿蚀刻的蚀刻剂,可以使用混合有磷酸、醋酸及硝酸的溶液等。此外,也可以使用ITO-07N(由日本关东化学株式会社制造)。另外,也可以通过利用ICP(Inductively Coupled Plasma:感应耦合等离子体)蚀刻法的干蚀刻进行蚀刻加工。

[0116] 另外,也可以对氧化物半导体膜403进行用来去除过剩的氢(包括水或羟基)(脱水化或脱氢化)的加热处理。将加热处理的温度设定为300°C以上且700°C以下或低于衬底的应变点。加热处理可以在减压下或氮气氛下进行。

[0117] 另外,当作为氧化物半导体膜403使用结晶氧化物半导体膜时,也可以进行用于晶化的加热处理。

[0118] 在本实施方式中,将衬底引入到加热处理装置之一的电炉中,在氮气氛下以450°C对氧化物半导体膜403进行1小时的加热处理,并且在氮及氧气氛下以450°C对其进行1小时的加热处理。

[0119] 另外,加热处理装置不局限于电炉,也可以使用利用电阻发热体等的发热体所产生的热传导或热辐射对被处理物进行加热的装置。例如,可以使用GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置等RTA(Rapid Thermal Anneal:快速热退火)装置。LRTA装置是通过利用从卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯等的灯发射的光(电磁波)的辐射来加热被处理物的装置。GRTA装置是使用高温气体进行加热处理的装置。作为高温的气体,使用氩等稀有气体或氮等不因加热处理而与处理物发生反应的惰性气体。

[0120] 例如,作为加热处理,也可以进行如下GRTA,即将衬底放入加热为650°C至700°C的高温的惰性气体中,在加热几分钟之后,将衬底从惰性气体中取出。

[0121] 另外,在加热处理中,氮或氦、氖、氙等稀有气体优选不包含水、氢等。另外,优选将引入到加热处理装置中的氮或氦、氖、氙等稀有气体的纯度设定为6N(99.9999%)以上,优选设定为7N(99.99999%)以上(即,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0122] 此外,也可以在通过加热处理加热氧化物半导体膜403之后,对相同的炉中引入高

纯度的氧气体、高纯度的一氧化二氮气体或超干燥空气(使用CRDS(cavity ring-down laser spectroscopy:光腔衰荡光谱法)方式的露点仪进行测定时的水分量是20ppm(露点换算,-55℃)以下,优选的是1ppm以下,更优选的是10ppb以下的空气)。氧气体或一氧化二氮气体优选不包含水、氢等。或者,优选将引入加热处理装置中的氧气体或一氧化二氮气体的纯度设定为6N以上,优选设定为7N以上(即,将氧气体或一氧化二氮气体中的杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。通过利用氧气体或一氧化二氮气体的作用来供应利用脱水化或脱氢化处理进行杂质排除工序的同时减少的氧化物半导体的主要成分材料的氧,可以使氧化物半导体膜403高纯度化及i型(本征)化。

[0123] 另外,用来脱水化或脱氢化的加热处理既可以在形成膜状的氧化物半导体膜之后进行,又可以在形成岛状的氧化物半导体膜403之后进行。

[0124] 另外,用来脱水化或脱氢化的加热处理既可以进行多次,又可以兼作其他加热处理。

[0125] 通过在将氧化物半导体膜加工为岛状的氧化物半导体膜403之前且在膜状的氧化物半导体膜覆盖栅极绝缘膜402的状态下进行用来脱水化或脱氢化的加热处理,可以防止因加热处理而释放包含在栅极绝缘膜402中的氧,所以是优选的。

[0126] 另外,也可以对经过脱水化或脱氢化处理的氧化物半导体膜403引入氧(至少包含氧自由基、氧原子和氧离子中的任何一个)来对其供应氧。

[0127] 此外,由于脱水化或脱氢化处理,有可能构成氧化物半导体的主要成分材料的氧也同时发生脱离而减少。在氧脱离的部分中存在氧缺陷,并且因该氧缺陷而产生导致晶体管的电特性变动的施主能级。

[0128] 因此,优选对经过脱水化或脱氢化处理的氧化物半导体膜供应提供氧(至少包含氧自由基、氧原子和氧离子中的任一种)。通过对氧化物半导体膜供应氧,可以填补膜中的氧缺陷。

[0129] 通过对经过脱水化或脱氢化处理的氧化物半导体膜403引入氧而对其供应氧,可以使氧化物半导体膜403高纯度化且i型(本征)化。具有高纯度化且i型(本征)化的氧化物半导体膜403的晶体管的电特性变动被抑制,所以该晶体管在电性上稳定。

[0130] 作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没式离子注入法、等离子体处理等。

[0131] 当对氧化物半导体膜403引入氧时,既可以对氧化物半导体膜403直接引入氧,又可以透过绝缘层413等其他膜对氧化物半导体膜403引入氧。当透过其他膜引入氧时,使用离子注入法、离子掺杂法、等离子体浸没式离子注入法等即可,但是当对被露出的氧化物半导体膜403直接引入氧时,也可以使用等离子体处理等。

[0132] 优选在进行脱水化或脱氢化处理之后对氧化物半导体膜403引入氧,但是不局限于此。此外,也可以多次进行对经过上述脱水化或脱氢化处理的氧化物半导体膜403的氧的引入。

[0133] 优选设置于晶体管中的氧化物半导体膜包含与氧化物半导体处于结晶状态时的化学计量组成相比氧含量过剩的区域。在此情况下,氧含量超过氧化物半导体的化学计量组成。或者,氧含量超过氧化物半导体处于单晶时的氧含量。有时在氧化物半导体的晶格之间存在氧。

[0134] 通过去除氧化物半导体中的氢或水分来使其尽量不包含杂质而高纯度化,并通过对其供应氧来填补氧缺陷,可以形成i型(本征)的氧化物半导体或无限趋近于i型(本征)的氧化物半导体。由此,可以使氧化物半导体的费米能级(E_f)达到与本征费米能级(E_i)相同程度。因此,通过将该氧化物半导体膜用于晶体管,可以降低起因于氧缺陷的晶体管的阈值电压 V_{th} 的偏差、阈值电压的偏移 ΔV_{th} 。

[0135] 接着,在与栅电极层401重叠的氧化物半导体膜403的沟道形成区上形成绝缘层413(参照图2A)。

[0136] 绝缘层413可以对利用等离子体CVD法或溅射法形成的绝缘膜进行蚀刻并加工来形成。作为绝缘层413,典型地可以使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜、氧化钪膜、氧化镓膜、氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等无机绝缘膜的单层或叠层。

[0137] 当使与氧化物半导体膜403接触的绝缘层413(当绝缘层413具有叠层结构时,与氧化物半导体膜403接触的膜)成为包含多量的氧的状态时,可以将绝缘层413有效地用作对氧化物半导体膜403供应氧的供应源。

[0138] 在本实施方式中,作为绝缘层413,利用溅射法形成200nm厚的氧化硅膜。通过对氧化硅膜选择性地蚀刻,形成截面形状为梯形或三角形且截面形状的下端部的锥角为 60° 以下,优选为 45° 以下,更优选为 30° 以下的绝缘层413。另外,绝缘层413的平面形状为矩形。另外,在本实施方式中,利用光蚀刻工序在氧化硅膜上形成抗蚀剂掩模并选择性地蚀刻将绝缘层413的下端部的锥角形成为 30° 左右。

[0139] 可以在形成绝缘层413之后进行加热处理。在本实施方式中,在氮气氛下以 300°C 进行1小时的加热处理。

[0140] 接着,在栅电极层401、栅极绝缘膜402、氧化物半导体膜403及绝缘层413上形成成为源电极层和漏电极层(包括由与此相同的层形成的布线)的导电膜445(参照图2B)。

[0141] 作为该导电膜445,使用能够承受在后面进行的加热处理的材料。作为用于源电极层及漏电极层的导电膜445,例如可以使用含有选自Al、Cr、Cu、Ta、Ti、Mo、W中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。此外,还可以采用在Al、Cu等的金属膜的下侧和上侧的一方或双方层叠Ti、Mo、W等高熔点金属膜或它们的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)的结构。另外,作为用于源电极层及漏电极层的导电膜445,也可以使用导电金属氧化物。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟-氧化锡(In_2O_3 - SnO_2 ,简称为ITO)、氧化铟-氧化锌(In_2O_3 - ZnO)或使它们的金属氧化物材料包含氧化硅的材料。

[0142] 通过光刻工序在导电膜445上形成抗蚀剂掩模448a、448b,并且选择性地蚀刻来形成源电极层405a及漏电极层405b(参照图2C)。在形成源电极层405a及漏电极层405b之后去除抗蚀剂掩模。

[0143] 在导电膜445的蚀刻中,使用含有卤素元素的气体442。作为含有卤素元素的气体442,例如可以使用含有六氟化硫(SF_6)、四氟化碳(CF_4)、氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)、四氯化碳(CCl_4)等的气体。

[0144] 作为蚀刻方式,可以使用平行平板型RIE(Reactive Ion Etching,反应离子蚀刻)法或ICP蚀刻法。适当地调节蚀刻条件(施加到线圈型电极的电力量、施加到衬底一侧的电

极的电力量、衬底一侧的电极温度等),以便能够蚀刻为所希望的加工形状。

[0145] 在本实施方式中,作为导电膜445使用通过溅射法形成的100nm厚的钛膜、400nm厚的铝膜及100nm厚的钛膜的叠层。作为导电膜445的蚀刻,利用干蚀刻法对钛膜、铝膜及钛膜的叠层进行蚀刻来形成源电极层405a及漏电极层405b。

[0146] 在本实施方式中,在以第一蚀刻条件对上层的钛膜及铝膜的两层进行蚀刻之后,以第二蚀刻条件去除残留的下层的钛膜。注意,第一蚀刻条件为:利用蚀刻气体($BCl_3:Cl_2=750sccm:150sccm$);偏压功率为1500W;ICP电源功率为0W;压力为2.0Pa。第二蚀刻条件为:利用蚀刻气体($BCl_3:Cl_2=700sccm:100sccm$);偏压功率为750W;ICP电源功率为0W;压力为2.0Pa。

[0147] 形成的源电极层405a的沟道长度方向的端部的一方位于绝缘层413的上表面或侧面,漏电极层405b的沟道长度方向的端部的一方位于绝缘层413的上表面或侧面。另外,如图1A和1C所示,氧化物半导体膜403的沟道宽度方向的长度(w1)大于源电极层405a及漏电极层405b的沟道宽度方向的长度(w2)。因此,源电极层405a的沟道宽度方向的端部位于氧化物半导体膜403上,漏电极层405b的沟道宽度方向的端部位于氧化物半导体膜403上。因此,在为了形成源电极层405a及漏电极层405b而对导电膜445进行蚀刻加工时,氧化物半导体膜403的部分区域(不与源电极层405a、漏电极层405b和绝缘层413中的任何一个重叠的区域)暴露在含有卤素元素的气体442中。

[0148] 当氧化物半导体膜403暴露于含有卤素元素的气体442中并且当该蚀刻气体中含有的卤素元素残留在氧化物半导体膜403的表面时,有时因卤素元素氧化物半导体膜403中的氧被抽出而使氧化物半导体膜403的界面附近形成氧缺陷。另外,含有卤素元素的蚀刻气体中的卤素元素之外的元素(例如,硼)也可能成为导致氧化物半导体膜403的背沟道低电阻化(n型化)的主要原因之一。

[0149] 因此,在形成源电极层405a及漏电极层405b之后,进行去除氧化物半导体膜403表面及其附近的杂质(这里指包含于蚀刻气体中的元素)的处理(参照图2D)。作为杂质去除处理,可以利用溶液进行处理或者利用使用氧或一氧化二氮的等离子体处理来进行。作为溶液,优选使用水、碱性溶液(例如,显影液、过氧化氢氨水)、酸性溶液(例如,稀氢氟酸(被稀释为1/100的稀释(0.5%氢氟酸)、优选被稀释为 $1/10^3$ 以上且 $1/10^5$ 以下的氢氟酸))。另外,作为杂质去除处理也可以组合上述处理,例如,可以先进行利用氧等离子体处理,然后进行利用稀氢氟酸的处理。

[0150] 图15示出利用二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)对没有进行洗涤处理制造的晶体管的氧化物半导体膜中的氯浓度进行测量的结果。样品的晶体管除了没有进行洗涤处理之外其他的结构都与本实施方式的晶体管440相同,并且样品的晶体管使用与本实施方式的晶体管440相同的材料及方法制造。另外,测量范围是没有形成用作沟道保护膜的绝缘层的区域,在深度方向上层叠有为保护绝缘膜的氧氮化硅膜(厚度400nm)、为氧化物半导体膜的IGZO膜、为栅极绝缘膜的氧氮化硅膜。该测量从保护绝缘膜向深度方向进行。

[0151] 如图15所示,为氧化物半导体膜的IGZO膜中的氯浓度高于 1×10^{19} atoms/cm³,由此可知氧化物半导体膜中含有氯。

[0152] 在本实施方式中,在形成源电极层405a及漏电极层405b之后,通过对暴露于蚀刻

气体中的氧化物半导体膜403进行杂质去除处理,可以去除包含于蚀刻气体中的元素(例如,氯、硼)。例如,可以将杂质去除处理后的氧化物半导体膜403表面的氯浓度降至 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下),硼浓度降至 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下)。

[0153] 通过上述工序可以制造本实施方式的晶体管440(参照图2E)。

[0154] 另外,也可以设置覆盖晶体管440的层间绝缘膜408以及用来降低因晶体管440的表面凹凸的平坦化绝缘膜409。

[0155] 层间绝缘膜408可以使用与绝缘层413相同的材料及方法形成。例如,利用CVD法形成400nm厚的氧氮化硅膜。或者,也可以在形成层间绝缘膜408之后进行加热处理。例如,在氮气氛下以300°C进行1小时的加热处理。

[0156] 另外,可以设置致密性高的无机绝缘膜作为层间绝缘膜408。例如,作为层间绝缘膜408,利用溅射法形成氧化铝膜。通过形成高密度(膜密度为3.2g/cm³以上,优选为3.6g/cm³以上)的氧化铝膜,可以使晶体管440具有稳定的电特性。膜密度可以利用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)、X射线反射(XRR:X-Ray Reflectometry)进行测量。

[0157] 氧化铝膜可以用作晶体管440的保护绝缘膜,其具有高遮断效果(阻挡效果),即使氢、水分等杂质和氧的双方透过膜的效果。

[0158] 因此,氧化铝膜能够防止在制造工序中及制造之后成为变动要因的氢、水分等杂质混入到氧化物半导体膜403以及防止从氧化物半导体膜403释放作为构成氧化物半导体的主要成分材料的氧。

[0159] 作为平坦化绝缘膜409,可以使用聚酰亚胺类树脂、丙烯酸类树脂、苯并环丁烯类树脂等的有机材料。此外,除了上述有机材料之外,还可以使用低介电常数材料(low-k材料)等。另外,也可以层叠多个由上述材料形成的绝缘膜来形成平坦化绝缘膜。

[0160] 例如,作为平坦化绝缘膜409可以形成厚度为1500nm的丙烯酸树脂膜。丙烯酸树脂膜利用涂敷法进行涂敷后通过焙烧(例如,在氮气氛下以250°C进行1小时)而形成。

[0161] 在形成绝缘膜409后,也可以进行加热处理。例如,在氮气氛下以250°C进行1小时的加热处理。

[0162] 如此,可以在形成晶体管440之后进行加热处理。另外,可以进行多次加热处理。

[0163] 如上所述,通过进行去除包含于蚀刻气体中的元素的杂质去除处理,可以防止因包含于蚀刻气体中的卤素元素抽出氧化物半导体膜403表面及其附近的氧或者包含于蚀刻气体中的卤素以外的元素导致的氧化物半导体膜403的背沟道的低电阻化(n型化)。因此,通过使用该氧化物半导体膜403,可以形成具有稳定的电特性的可靠性高的晶体管440。

[0164] 图3A至3C示出根据本实施方式的晶体管的另一个结构。另外,图3A是晶体管450的平面图,图3B是沿着图3A的X3-Y3的截面图,图3C是沿着图3A的X4-Y4的截面图。

[0165] 图3A至3C所示的晶体管450示出通过上述杂质去除处理露出于源电极层405a及漏电极层405b的区域的氧化物半导体膜403被蚀刻而该区域的厚度变薄的例子。例如,当以 $1/10^3$ 的比例稀释的氢氟酸(0.05%氢氟酸)对IGZO膜进行处理时,每秒膜厚度减少1nm至3nm,而当以 $2/10^5$ 的比例稀释的氢氟酸(0.0025%氢氟酸)对IGZO膜进行处理时,每秒膜厚度减少0.1nm左右。

[0166] 晶体管450中的氧化物半导体膜403的与绝缘层413、源电极层405a或漏电极层405b重叠的区域的厚度厚于不与绝缘层413、源电极层405a和漏电极层405b中的任何一个重叠的区域的厚度。除了氧化物半导体膜403的厚度之外,晶体管450可以与晶体管440具有相同的结构。

[0167] 另外,也可以利用使用含有卤素元素的蚀刻气体的等离子体处理对设置在氧化物半导体膜403上的绝缘层413进行加工。此时,优选在进行完用来形成绝缘层413的蚀刻处理之后进行杂质去除处理。杂质去除处理可以使用与上述源电极层405a及漏电极层405b形成后的杂质去除处理相同的方法。

[0168] 在形成绝缘层413之后进行第一杂质去除处理,当在形成源电极层405a及漏电极层405b之后进行第二杂质去除处理时,有时根据杂质去除处理的条件氧化物半导体膜403被部分蚀刻。

[0169] 图4A至4C所示的晶体管460是经过上述第一杂质去除处理、第二杂质去除处理氧化物半导体膜403的厚度变薄了的例子。另外,图4A是晶体管460的平面图,图4B是沿着图4A的X5-Y5的截面图,图4C是沿着图4A的X6-Y6的截面图。

[0170] 晶体管460是经过第一杂质去除处理氧化物半导体膜403的不与绝缘层413重叠的区域的厚度减少且经过第二杂质去除处理不与绝缘层413、源电极层405a和漏电极层405b中的任何一个重叠的区域的厚度减少的例子。因此,晶体管460中的氧化物半导体膜403的与源电极层405a及漏电极层405b重叠的区域的厚度厚于不与绝缘层413、源电极层405a和漏电极层405b中的任何一个重叠的区域的厚度,而与绝缘层413重叠的区域的厚度厚于与源电极层405a及漏电极层405b重叠的区域的厚度。

[0171] 另外,本实施方式不局限于此,例如,有时经过第一杂质去除处理氧化物半导体膜403的部分区域(不与绝缘层413重叠的区域)的厚度减少而经过第二杂质去除处理氧化物半导体膜403的厚度不发生减少。

[0172] 另外,经过形成源电极层405a及漏电极层405b之后的杂质去除处理(或者,通过进行形成绝缘层413后的第一杂质去除处理和形成源电极层405a及漏电极层405b后的第二杂质去除处理的双方),有时不与绝缘层413、源电极层405a和漏电极层405b中的任何一个重叠的区域的氧化物半导体膜403被去除。

[0173] 图5A至5C所示的晶体管470是不与绝缘层413、源电极层405a、和漏电极层405b中的任何一个重叠的区域的氧化物半导体膜403被去除了的例子。图5A是晶体管470的平面图,图5B是沿着图5A的X7-Y7的截面图,图5C是沿着图5A的X8-Y8的截面图。

[0174] 晶体管470是经过杂质去除处理氧化物半导体膜403的不与绝缘层413、源电极层405a和漏电极层405b中的任何一个重叠的区域被去除的例子。因此,晶体管470中的氧化物半导体膜403的整个区域与绝缘层413、源电极层405a和漏电极层405b中的至少一个重叠。

[0175] 通过使用经过杂质去除处理的氧化物半导体膜403制造半导体装置,可以使氧化物半导体膜403的表面(氧化物半导体膜403与绝缘层413、源电极层405a或漏电极层405b的界面附近)的含有卤素元素的蚀刻气体中的元素(例如,氯、氟、硼等)的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下)。

[0176] 因此,使用氧化物半导体膜403可以提供包括具有稳定的电特性的晶体管的可靠性高的半导体装置。另外,可以高成品率地制造可靠性高的半导体装置,由此可以实现高生

产化。

[0177] 以上,本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0178] 实施方式2

[0179] 在本实施方式中,参照图6A至图8C说明与实施方式1不同的半导体装置及半导体装置的制造方法的一个方式。在本实施方式中,作为半导体装置的一个例子示出具有氧化物半导体膜的晶体管。

[0180] 晶体管既可以采用形成一个沟道形成区的单栅结构,又可以采用形成两个沟道形成区的双栅结构(double-gate),还可以采用形成三个沟道形成区的三栅结构。或者,也可以是具有隔着栅极绝缘膜配置在沟道形成区上下的两个栅电极层的双栅型。

[0181] 图6A至6C所示的晶体管480为底栅结构之一并也称为交错型晶体管的晶体管的一个例子。另外,图6A是晶体管480的平面图,图6B是沿着图6A的X9-Y9的截面图,图6C是沿着图6A的X10-Y10的截面图。

[0182] 图6A至6C所示的晶体管480包括:设置在具有绝缘表面的衬底400上的栅电极层401;设置在电极层401上的栅极绝缘膜402;设置在栅极绝缘膜402上的岛状的氧化物半导体膜403;设置在氧化物半导体膜403上并与栅电极层401重叠的绝缘层413;接触于氧化物半导体膜403及绝缘层413的源电极层405a及漏电极层405b。另外,作为晶体管480的构成要素还可以包括:设置在衬底400上的基底绝缘膜436;覆盖晶体管480的层间绝缘膜408;以及平坦化绝缘膜409。

[0183] 在晶体管480中,源电极层405a及漏电极层405b的沟道宽度方向长度 w_2 比氧化物半导体膜403的沟道宽度方向长度 w_1 长,源电极层405a及漏电极层405b覆盖氧化物半导体膜的沟道宽度方向的端部。即,氧化物半导体膜403的不与绝缘层413重叠的区域被源电极层405a及漏电极层405b覆盖。

[0184] 除了源电极层405a及漏电极层405b的沟道宽度方向长度 w_2 比氧化物半导体膜403的沟道宽度方向长度 w_1 长之外,晶体管480的其他的结构可以采用与晶体管440相同的结构。

[0185] 这里,在晶体管480的制造工序中对氧化物半导体膜403的表面进行了杂质去除处理,因此可以防止用来形成绝缘层413的含有卤素元素的蚀刻气体中的元素作为杂质残留。由此,可以使氧化物半导体膜403的表面(氧化物半导体膜403与源电极层405a或漏电极层405b的界面附近)的卤素元素等的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下),具体而言,可以使氯的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下)。另外,还可以使氟的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下),硼的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下)。如此,引起氧化物半导体膜的低电阻化的杂质减少,由此可以实现使用该氧化物半导体膜的半导体装置的高可靠性化。

[0186] 使用图7A至7E对该晶体管480的制造方法进行说明。

[0187] 首先,在衬底400上形成基底绝缘膜436、栅电极层401、栅极绝缘膜402及氧化物半导体膜403,并以覆盖氧化物半导体膜403的方式形成绝缘膜443(参照图7A)。这里,衬底400、基底绝缘膜436、栅电极层401、栅极绝缘膜402及氧化物半导体膜403的材料、制造方法

等可以与实施方式1所示的晶体管440相同。另外,绝缘膜443的材料、制造方法等也可以参照晶体管440的绝缘层413的材料及成膜方法。

[0188] 接着,利用使用含有卤素元素的蚀刻气体442的等离子体处理加工绝缘膜443,来在与栅电极层401重叠的位置形成用作沟道保护膜的绝缘层413(参照图7B)。作为该蚀刻处理,利用光刻工序在绝缘膜443上形成抗蚀剂掩模444并对其进行选择性的蚀刻,在形成绝缘层413之后去除抗蚀剂掩模444。由此,以与栅电极层401重叠并在氧化物半导体膜403的沟道形成区上且与其接触的方式形成绝缘层413。

[0189] 这里,绝缘层413的截面形状为梯形或三角形,截面形状的下端部的锥角为 60° 以下,优选为 45° 以下,更优选为 30° 以下。

[0190] 作为蚀刻法优选进行干蚀刻,例如可以使用平行平板RIE法、ICP蚀刻法等。以能够蚀刻为所希望的加工形状的方式,适当地调节蚀刻条件(施加到线圈型电极的电力量、施加到衬底一侧的电极的电力量、衬底一侧的电极温度等)。

[0191] 作为含有卤素元素的蚀刻气体442,可以使用含有氟的气体或含有氯的气体等。作为含有氟的气体,例如可以举出四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)、八氟环丁烷(C_4F_8)等。当作为绝缘膜443使用含有氧化硅等的绝缘膜时,通过使用上述含有氟的气体可以容易地进行蚀刻。此外,作为含有卤的气体,例如可以举出氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4)等。当作为绝缘膜443采用包含氧化铝等的绝缘膜时,通过采用上述含氯的气体,可以容易地进行蚀刻。

[0192] 另外,在本实施方式中,使用 CF_4 对由氧化硅构成的绝缘膜443进行选择性的蚀刻,将绝缘层413的下端部的锥角形成为大致 30° 。

[0193] 像这样,形成图7B所示的绝缘层413的蚀刻工序使用含有卤素元素的蚀刻气体442。但是,当氧化物半导体膜403暴露于含有卤素元素的蚀刻气体442中时,含有卤素元素的蚀刻气体442抽出氧化物半导体膜403中的氧,而有可能导致氧化物半导体膜403的表面(氧化物半导体膜403与源电极层405a或漏电极层405b的界面附近)形成氧缺陷。当氧化物半导体膜403产生氧缺陷时,氧化物半导体膜403的背沟道侧被低电阻化(n型化)而可能导致形成寄生沟道。

[0194] 例如,当作为氧化物半导体膜403使用含有铟的氧化物半导体材料并且作为以接触于氧化物半导体膜403的方式设置在氧化物半导体膜403上的绝缘层413的加工使用含有三氯化硼(BCl_3)的蚀刻气体时,有时氧化物半导体膜中的In-O-In键与蚀刻气体中的Cl发生反应而变成包含In-Cl键和氧脱离了的In元素的膜。由于氧脱离了的In元素具有悬空键,因此在氧化物半导体膜403中发生氧脱离的部分中存在氧缺陷。

[0195] 另外,包含卤素元素的蚀刻气体中的卤素以外的元素(例如,硼)也是导致氧化物半导体膜403的背沟道侧低电阻化(n型化)的主要原因之一。

[0196] 因此,在形成绝缘层413后,为了防止绝缘层413的表面及氧化物半导体膜403的表面(氧化物半导体膜403与源电极层405a或漏电极层405b的界面附近)残留含有卤素元素的蚀刻气体中的元素,进行杂质去除处理(参照图7C)。这里,作为上述杂质,例如可以举出氯、氟、硼等。

[0197] 作为该杂质去除处理,可以利用等离子体处理或者利用溶液的处理。作为等离子体处理,优选使用氧等离子体处理或一氧化二氮等离子体处理等。另外,在等离子体处理中

可以使用稀有气体(典型的有氩)。另外,作为利用溶液的处理,优选使用利用稀氢氟酸溶液的清洗处理。例如,在使用稀氢氟酸溶液的情况下,将稀氢氟酸稀释为 $1/10^2$ 至 $1/10^5$ 左右,优选将其稀释为 $1/10^3$ 至 $1/10^5$ 左右。另外,作为利用溶液的处理还可以进行利用TMAH溶液等的碱性溶液的处理。另外,也可以使用水代替溶液进行清洗处理。

[0198] 如此通过进行杂质去除处理,氧化物半导体膜403的表面(氧化物半导体膜403与源电极层405a或漏电极层405b的界面附近)的含有卤素元素的蚀刻气体中的元素(例如,氯、氟、硼等)的浓度为 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下)。如此,可以去除引起氧化物半导体膜的低电阻化的杂质,由此可以实现使用该氧化物半导体膜的半导体装置的高可靠性。

[0199] 另外,也可以在形成绝缘层413之后进行加热处理。在本实施方式中,在氮气气氛中,以300°C进行一小时加热处理。

[0200] 接着,在栅电极层401、栅极绝缘膜402、氧化物半导体膜403及绝缘层413上形成导电膜,并对该导电膜进行选择性的蚀刻形成源电极层405a及漏电极层405b(包括使用与其相同的层形成的布线)(参照图7D)。在形成抗蚀剂掩模后使用光刻工序形成源电极层405a、漏电极层405b,在形成源电极层405a、漏电极层405b之后去除抗蚀剂掩模。其结果,漏电极层405b的端部位于绝缘层413的上表面或侧面,源电极层405a的端部位于绝缘层413的上表面或侧面。

[0201] 这里,源电极层405a及漏电极层405b以覆盖氧化物半导体膜403的不与绝缘层413重叠的区域的方式形成。因此,如图6C所示,源电极层405a及漏电极层405b的沟道宽度方向的长度 w_2 比氧化物半导体膜403的沟道宽度方向的长度 w_1 长,因此氧化物半导体膜403的沟道宽度方向的端部也被源电极层405a及漏电极层405b覆盖。

[0202] 这里,源电极层405a及漏电极层405b的材料、制造方法等可以与实施方式1所示的晶体管440相同。

[0203] 在本实施方式中,作为导电膜使用通过溅射法形成的100nm厚的钛膜、400nm厚的铝膜及100nm厚的钛膜的叠层。

[0204] 在本实施方式中,作为导电膜的蚀刻,利用作为蚀刻气体使用 Cl_2 和 BCl_3 的干蚀刻法对钛膜、铝膜及钛膜的叠层进行蚀刻来形成源电极层405a及漏电极层405b。

[0205] 如上所述,当使用含有卤素元素的蚀刻气体时,半导体装置暴露于该蚀刻气体中。但是,在本实施方式中,在氧化物半导体膜被绝缘层413、源电极层405a及漏电极层405b覆盖的情况下对导电膜进行蚀刻,而可以防止氧化物半导体膜直接暴露于含有卤素元素的蚀刻气体中。

[0206] 通过上述工序,可以制造本实施方式所示的晶体管480(参照图7E)。

[0207] 并且,可以如图7E所示地,在晶体管480上形成层间绝缘膜408及平坦化绝缘膜409。这里,层间绝缘膜408及平坦化绝缘膜409的材料、制造方法等可以与实施方式1所示的晶体管440相同。

[0208] 另外,在晶体管480中示出氧化物半导体膜403的厚度在整体上大致均匀的例子,但是本实施方式不局限于此。使用图8A至8C对与晶体管480不同方式的晶体管490进行说明。

[0209] 图8A至8C所示的晶体管490为底栅结构之一并也称为交错型晶体管的晶体管的一

个例子。另外,图8A是晶体管490的平面图,图8B是沿着图8A的X11-Y11的截面图,图8C是沿着图8A的X12-Y12的截面图。

[0210] 图8A至8C所示的晶体管490示出通过上述杂质去除处理露出于绝缘层413的区域的氧化物半导体膜403被蚀刻而该区域的厚度变薄的例子。

[0211] 晶体管490与晶体管480的不同之处为氧化物半导体膜403的与绝缘层413接触并与其重叠的区域的厚度厚于与源电极层405a或漏电极层405b接触并与其重叠的区域。另外,由于晶体管490的其他的部分的结构与晶体管480相同,其他的各结构的详细内容可以参照晶体管480。

[0212] 晶体管490可以使用与晶体管480同样的方法形成,如图7C所示,为了防止含有卤素元素的蚀刻气体中的元素作为杂质残留在绝缘层413的表面及氧化物半导体膜403的表面(氧化物半导体膜403与源电极层405a或漏电极层405b的界面附近),进行杂质去除处理。作为该杂质去除处理,可以与图7C所示的工序同样地利用等离子体处理或者利用溶液的处理。作为等离子体处理,优选使用氧等离子体处理或一氧化二氮等离子体处理等。另外,在等离子体处理中可以使用稀有气体(典型的有氩)。另外,作为利用溶液的处理,优选使用利用稀氢氟酸溶液的清洗处理。例如,在使用稀氢氟酸溶液的情况下,将稀氢氟酸稀释为 $1/10^2$ 至 $1/10^5$ 左右,优选将其稀释为 $1/10^3$ 至 $1/10^5$ 左右。另外,作为利用溶液的处理还可以进行利用TMAH溶液等的碱性溶液的处理。另外,也可以使用水代替溶液进行清洗处理。

[0213] 像这样作为氧化物半导体膜403的表面的杂质去除处理,可以如图7C所示地对暴露于含有卤素元素的蚀刻气体中的氧化物半导体膜403的表面进行等离子体处理或使用溶液的处理。即,可以将作为杂质残留在氧化物半导体膜403的表面的含有卤素元素的蚀刻气体中的元素与氧化物半导体膜403的一部分一起去除。由此,在氧化物半导体膜403中,与绝缘层413重叠的区域的厚度厚于与源电极层405a或漏电极层405b重叠的区域的厚度。例如,当以 $1/10^3$ 的比例稀释的氢氟酸(0.05%氢氟酸)对IGZO膜进行处理时,每秒膜厚度减少1nm至3nm,而当以 $2/10^5$ 的比例稀释的氢氟酸(0.0025%氢氟酸)对IGZO膜进行处理时,每秒膜厚度减少0.1nm左右。

[0214] 如上所述,如本实施方式所示,通过使用经过杂质去除处理的氧化物半导体膜制造半导体装置,可以使氧化物半导体膜的表面(氧化物半导体膜与绝缘层、源电极层或漏电极层的界面附近)的含有卤素元素的蚀刻气体中的元素(例如,氯、氟、硼等)的浓度为 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下)。

[0215] 因此,可以提供使用氧化物半导体膜的具有稳定的电特性的晶体管的可靠性高的半导体装置。另外,可以高成品率地制造可靠性高的半导体装置,由此可以实现高生产化。

[0216] 以上,本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0217] 实施方式3

[0218] 通过使用实施方式1或实施方式2所示的晶体管可以制造具有显示功能的半导体装置(也称为显示装置)。此外,通过将包括晶体管的驱动电路的一部分或整个部分与像素部一体地形成在相同的衬底上,可以形成系统整合型面板(system-on-panel)。

[0219] 在图9A中,以围绕设置在第一衬底4001上的像素部4002的方式设置密封剂4005,使用第二衬底4006进行密封。在图9A中,在第一衬底4001上的与由密封剂4005围绕的区域

不同的区域中安装有使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上的扫描线驱动电路4004、信号线驱动电路4003。此外,供应到另行形成的信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC(Flexible printed circuit, 柔性印刷电路)4018a、4018b供应。

[0220] 在图9B和9C中,以围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004的方式设置有密封剂4005。此外,在像素部4002和扫描线驱动电路4004上设置有第二衬底4006。因此,像素部4002及扫描线驱动电路4004与显示元件一起由第一衬底4001、密封剂4005以及第二衬底4006密封。在图9B和9C中,在第一衬底4001上的与由密封剂4005围绕的区域不同的区域中安装有使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上的信号线驱动电路4003。在图9B和9C中,供应到另行形成的信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC4018供应。

[0221] 此外,图9B和9C示出另行形成信号线驱动电路4003并且将其安装到第一衬底4001的实例,但是不局限于该结构。既可以另行形成扫描线驱动电路并进行安装,又可以仅另行形成信号线驱动电路的一部分或者扫描线驱动电路的一部分并进行安装。

[0222] 另外,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用COG(Chip On Glass,玻璃覆晶封装)方法、引线键合方法或者TAB(Tape Automated Bonding,卷带式自动接合)方法等。图9A是通过COG方法安装信号线驱动电路4003、扫描线驱动电路4004的例子,图9B是通过COG方法安装信号线驱动电路4003的例子,而图9C是通过TAB方法安装信号线驱动电路4003的例子。

[0223] 此外,显示装置包括显示元件为密封状态的面板和在该面板中安装有IC诸如控制器等的模块。

[0224] 注意,本说明书中的显示装置是指图像显示装置、显示装置或光源(包括照明装置)。另外,显示装置还包括:安装有诸如FPC、TAB胶带或TCP的连接器的模块;在TAB胶带或TCP的端部设置有印刷线路板的模块;或者通过COG方式将IC(集成电路)直接安装到显示元件的模块。

[0225] 此外,设置在第一衬底上的像素部及扫描线驱动电路具有多个晶体管,可以应用实施方式1或实施方式2所示的晶体管。

[0226] 作为设置在显示装置中的显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。发光元件将由电流或电压控制亮度的元件包括在其范畴内,具体而言,包括无机EL(Electro Luminescence,电致发光)、有机EL等。此外,也可以应用如电子墨水等的因电作用而对对比度发生变化的显示媒介。

[0227] 参照图9A至图11B对半导体装置的一个方式进行说明。图11A和11B是沿着图9B的线M-N的截面图。

[0228] 如图9A至9C及图11A和11B所示,半导体装置包括连接端子电极4015及端子电极4016,连接端子电极4015及端子电极4016通过各向异性导电膜4019电连接到FPC4018、4018b所具有的端子。

[0229] 连接端子电极4015由与第一电极层4030相同的导电膜形成,并且,端子电极4016由与晶体管4010、晶体管4011的栅电极层相同的导电膜形成。

[0230] 此外,设置在第一衬底4001上的像素部4002、扫描线驱动电路4004具有多个晶体

管,在图11A和11B中例示出像素部4002所包含的晶体管4010、扫描线驱动电路4004所包含的晶体管4011。在图11A中,在晶体管4010及晶体管4011上设置有绝缘膜4020,在图11B中还设置有绝缘膜4021。

[0231] 作为晶体管4010及晶体管4011,可以使用实施方式1或实施方式2所示的晶体管。在本实施方式中示出使用具有与实施方式1所示的晶体管440相同的结构的晶体管的例子。晶体管4010及晶体管4011是在氧化物半导体膜上设置有用作沟道保护膜的绝缘层的底栅结构的反交错型晶体管。

[0232] 晶体管4010、4011以与实施方式1所示的晶体管440相同的结构及制造方法形成。其制造方法如下:通过使用卤素等离子体的蚀刻工序形成源电极层及漏电极层,然后进行去除氧化物半导体膜表面及其附近的杂质(具体地,包含于蚀刻气体中的元素)的工序。另外,也可以在利用使用卤素等离子体的蚀刻工序形成用作沟道保护膜的绝缘层之后进行杂质去除处理。作为杂质去除处理,例如优选使用稀氢氟酸处理、使用氧或一氧化二氮的等离子体处理等。

[0233] 由于可以防止氧化物半导体膜表面及其附近被包含于蚀刻气体中的杂质污染,因此可以使晶体管4010、4011的氧化物半导体膜表面的含有卤素元素的蚀刻气体中的元素(例如,氯、硼等)的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下(优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下)。

[0234] 因此,作为图9A至9C及图11A和11B所示的本实施方式的使用氧化物半导体膜且具有稳定的电特性的晶体管4010、4011的半导体装置,可以提供可靠性高的晶体管。另外,可以高成品率地制造可靠性高的半导体装置,由此可以实现高生产化。

[0235] 此外,还可以在与驱动电路用晶体管4011的氧化物半导体膜的沟道形成区域重叠的位置再设置导电层。通过将导电层设置在与氧化物半导体膜的沟道形成区域重叠的位置,可以进一步降低偏压温度试验(BT试验)前后的晶体管4011的阈值电压的变化量。此外,导电层的电位既可以与晶体管4011的栅电极层的电位相同,又可以不同,并且,该导电层还可以用作第二栅电极层。此外,导电层的电位也可以为GND或0V或者也可以为浮动状态。

[0236] 此外,该导电层还具有遮蔽外部的电场的功能,即不使外部的电场作用到内部(包括晶体管的电路部)的功能(尤其是,遮蔽静电的静电遮蔽功能)。利用导电层的遮蔽功能,可以防止由于静电等外部的电场的影响而使晶体管的电特性变动。

[0237] 设置在像素部4002中的晶体管4010电连接到显示元件,而构成显示面板。显示元件只要能够进行显示就没有特别的限制,而可以使用各种各样的显示元件。

[0238] 图11A示出作为显示元件使用液晶元件的液晶显示装置的例子。在图11A中,作为显示元件的液晶元件4013包含第一电极层4030、第二电极层4031以及液晶层4008。另外,以夹持液晶层4008的方式设置有用作取向膜的绝缘膜4032、4033。第二电极层4031设置在第二衬底4006一侧,第一电极层4030和第二电极层4031夹着液晶层4008而层叠。

[0239] 此外,间隔物4035是通过与绝缘膜选择性地蚀刻而获得的柱状间隔物,并且它是为控制液晶层4008的膜厚(液晶盒间隙(cell gap))而设置的。另外,也可以使用球状间隔物。

[0240] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。上述液晶材料(液晶组成物)根据条件而呈现胆甾相、近晶相、立方相、手性向列相、各向同性相等。

[0241] 另外,也可以将不使用取向膜的呈现蓝相的液晶组成物用于液晶层4008。在此情况下,液晶层4008与第一电极层4030及第二电极层4031接触。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时从胆甾相转变到各向同性相之前出现的相。蓝相可以使用混合液晶及手性试剂的液晶组成物呈现。此外,为了扩大呈现蓝相的温度范围,对呈现蓝相的液晶组成物添加聚合性单体及聚合引发剂等,进行高分子稳定化的处理来可以形成液晶层。由于呈现蓝相的液晶组成物的响应时间短,并且其具有光学各向同性,所以不需要取向处理,且视角依赖性小。另外,由于不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,并可以降低制造工序中的液晶显示装置的不良、破损。从而,可以提高液晶显示装置的生产率。在使用氧化物半导体膜的晶体管中,晶体管的电特性因静电的影响而有可能显著地变动而越出设计范围。因此,将呈现蓝相的液晶组成物用于具有使用氧化物半导体膜的晶体管的液晶显示装置是更有效的。

[0242] 此外,液晶材料的固有电阻为 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上,优选为 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上,更优选为 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外,本说明书中的固有电阻的值为以 20°C 测量的值。

[0243] 考虑到配置在像素部中的晶体管的漏电流等而以能够在指定期间中保持电荷的方式设定设置在液晶显示装置中的存储电容器的大小。可以考虑到晶体管的截止电流等设定存储电容器的大小。通过使用具有本说明书所公开的氧化物半导体膜的晶体管,设置具有各像素中的液晶电容的 $1/3$ 以下,优选为 $1/5$ 以下的电容大小的存储电容器,就足够了。

[0244] 使用本说明书所公开的氧化物半导体膜的晶体管可以抑制截止状态下的电流值(截止电流值)。因此,可以延长图像信号等电信号的保持时间,在开启电源的状态下也可以延长写入间隔。因此,可以降低刷新工作的频度,所以可以达到抑制耗电量的效果。

[0245] 此外,使用本说明书所公开的氧化物半导体膜的晶体管可以得到比较高的场效应迁移率,所以能够进行高速驱动。例如,通过将这种能够进行高速驱动的晶体管用于液晶显示装置,可以在同一衬底上形成像素部中的开关晶体管及驱动电路部中的驱动晶体管。也就是说,因为作为驱动电路不需要另行使用由硅片等形成的半导体装置,所以可以缩减半导体装置的部件数。另外,在像素部中也通过使用能够进行高速驱动的晶体管,可以提供高质量的图像。

[0246] 液晶显示装置可以采用TN(Twisted Nematic,扭曲向列)模式、IPS(In-Plane-Switching,平面内转换)模式、FFS(Fringe Field Switching,边缘电场转换)模式、ASM(Axially Symmetric aligned Micro-cell,轴对称排列微单元)模式、OCB(Optical Compensated Birefringence,光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal,铁电性液晶)模式、AFLC(Anti Ferroelectric Liquid Crystal,反铁电性液晶)模式等。

[0247] 此外,也可以使用常黑型液晶显示装置,例如采用垂直配向(VA)模式的透过型液晶显示装置。作为垂直配向模式,可以列举几个例子,例如可以使用MVA(Multi-Domain Vertical Alignment,多象限垂直取向)模式、PVA(Patterned Vertical Alignment,垂直取向构型)模式、ASV(Advanced Super View,高级超视觉)模式等。另外,也可以将本实施方式应用于VA型液晶显示装置。VA型液晶显示装置是控制液晶显示面板的液晶分子的排列的方式之一。VA型液晶显示装置是在不被施加电压时液晶分子朝向垂直于面板的方向的方式。此外,也可以使用被称为多畴化或多畴设计的方法,即将像素(pixel)分成几个区域(子像素)且使分子分别倒向不同方向的方法。

[0248] 此外,在显示装置中,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光灯、侧光灯等。

[0249] 此外,作为像素部中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,作为当进行彩色显示时在像素中控制的颜色因素,不局限于RGB(R表示红色,G表示绿色,B表示蓝色)这三种颜色。例如,也可以采用RGBW(W表示白色)或对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。另外,也可以按每个颜色因素的点使其显示区的大小不同。但是,所公开的发明不局限于彩色显示的显示装置,而也可以应用于单色显示的显示装置。

[0250] 此外,作为显示装置所包含的显示元件,可以应用利用电致发光的发光元件。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物被区分,一般地,前者被称为有机EL元件,而后者被称为无机EL元件。

[0251] 在有机EL元件中,通过对发光元件施加电压,电子及空穴分别从一对电极注入到包含发光性的有机化合物的层,以使电流流过。并且,通过这些载流子(电子及空穴)重新结合,发光性的有机化合物形成激发态,当从该激发态回到基态时发光。由于这种机理,这种发光元件被称为电流激发型发光元件。在本实施方式中,示出作为发光元件使用有机EL元件的例子。

[0252] 无机EL元件根据其元件结构而分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件具有发光层,其中发光材料的粒子分散在粘合剂中,并且其发光机理是利用施主能级和受主能级的施主-受主重新结合型发光。薄膜型无机EL元件具有一种结构,其中,发光层夹在介电层之间,并且由电极夹持该夹着发光层的介电层,其发光机理是利用金属离子的内壳层电子跃迁的定域型发光(localized type light emission)。另外,这里作为发光元件使用有机EL元件进行说明。

[0253] 为了取出发光,使发光元件的一对电极中的至少一个具有透光性即可。并且,在衬底上形成晶体管及发光元件。发光元件可以采用下述结构中的任何一个:从与衬底相反一侧的表面取出发光的顶部发射结构;从衬底一侧的表面取出发光的底部发射结构;以及从衬底一侧的表面及与衬底相反一侧的表面取出发光的双面发射结构。

[0254] 图10A、10B及图11B示出作为显示元件使用发光元件的发光装置的例子。

[0255] 图10A是发光装置的平面图,图10B是沿着图10A中的锁链线V1-W1、V2-W2及V3-W3切断的截面。另外,在图10A的平面图中,未图示电致发光层542及第二电极层543。

[0256] 图10A和10B所示的发光装置在衬底500上具有晶体管510、电容元件520及布线层交叉部530,其中晶体管510与发光元件540电连接。另外,图10A和10B示出经过衬底500提出发光元件540所发射的光的下面发射型结构的发光装置。

[0257] 作为晶体管510,可以使用实施方式1或实施方式2所示的晶体管。在本实施方式中示出使用具有与实施方式1所示的晶体管440相同的结构的晶体管的例子。晶体管510是设置有用作沟道保护膜的绝缘层的底栅结构的反交错型晶体管。

[0258] 晶体管510包含栅电极层511a、511b、栅极绝缘膜502、氧化物半导体膜512、绝缘层503以及用作源电极层或漏电极层的导电层513a、513b。

[0259] 作为以与实施方式1所示的晶体管440相同的结构及制造方法形成的晶体管510,

通过使用卤素等离子体的蚀刻工序形成导电层513a、513b之后,进行去除氧化物半导体膜表面及其附近的包含于蚀刻气体中的杂质的处理。另外,也可以在利用使用卤素等离子体的蚀刻工序形成用作沟道保护膜的绝缘层之后进行杂质去除处理。作为杂质去除处理,例如优选使用稀氢氟酸处理、使用氧或一氧化二氮的等离子体处理等。

[0260] 由于可以防止氧化物半导体膜表面及其附近被包含于蚀刻气体中的杂质污染,因此可以使晶体管510的氧化物半导体膜表面的含有卤素元素的蚀刻气体中的元素(例如,氯、硼等)的浓度为 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下)。

[0261] 因此,作为图10A和10B所示的本实施方式的使用氧化物半导体膜512且具有稳定的电特性的晶体管510的半导体装置,可以提供可靠性高的半导体装置。另外,可以高成品率地制造可靠性高的半导体装置,由此可以实现高生产化。

[0262] 电容元件520包含导电层521a、521b、栅极绝缘膜502、氧化物半导体膜522及导电层523,其中由导电层521a、521b及导电层523夹持栅极绝缘膜502及氧化物半导体膜522。

[0263] 布线层交叉部530是栅电极层511a、511b与导电层533的交叉部,栅电极层511a、511b与导电层533隔着由与栅极绝缘膜502及绝缘层503相同工序形成的绝缘层553交叉。在本实施方式所示的结构中,在布线层交叉部530的栅电极层511a、511b与导电层533之间不仅可以设置栅极绝缘膜502还可以设置绝缘层553,因此可以降低栅电极层511a、511b与导电层533之间产生的寄生电容。

[0264] 在本实施方式中,作为栅电极层511a及导电层521a使用30nm厚的钛膜,作为栅电极层511b及导电层521b使用200nm厚的铜薄膜。由此,栅电极层为钛膜与铜薄膜的叠层结构。

[0265] 氧化物半导体膜512、522使用25nm厚的IGZO膜。

[0266] 在晶体管510、电容元件520及布线层交叉部530上形成有层间绝缘膜504,并且在层间绝缘膜504上的与发光元件540重叠的区域中设置有滤色片层505。在层间绝缘膜504及滤色片层505上设置有用作平坦化绝缘膜的绝缘膜506。

[0267] 在绝缘膜506上设置有包含依次叠层第一电极层541、电致发光层542及第二电极层543的叠层结构的发光元件540。在到达导电层513a的形成在绝缘膜506及层间绝缘膜504中的开口中第一电极层541与导电层513a接触,由此实现发光元件540与晶体管510的电连接。另外,以覆盖第一电极层541的一部分及该开口的方式设置有分隔壁507。

[0268] 层间绝缘膜504可以使用利用等离子体CVD法形成的200nm以上且600nm以下厚的氮化硅膜。另外,绝缘膜506可以使用1500nm厚的光敏丙烯酸树脂膜,分隔壁507可以使用1500nm厚的光敏聚酰亚胺膜。

[0269] 作为滤色片层505,例如可以使用彩色的透光树脂。作为彩色的透光树脂,可以使用感光或非感光有机树脂。优选使用感光有机树脂层,因为可以缩减抗蚀剂掩模的数量来简化工序。

[0270] 彩色是指除了黑、灰、白等的无彩色之外的颜色,滤色片层使用只透过被着色的彩色光的材料来形成。至于彩色,可以使用红色、绿色、蓝色等。另外,还可以使用青色(cyan)、品红色(magenta)、黄色(yellow)等。只透过被着色的彩色光意味着滤色片层中的透过光在彩色光的波长中具有峰值。滤色片层考虑所包含的着色材料的浓度与光的透过率的关系以适当地控制最适合的膜厚度即可。例如,可以滤色片层505的膜厚度为1500nm以上且2000nm

以下。

[0271] 在图11B所示的发光元件中,作为显示元件的发光元件4513电连接到设置在像素部4002中的晶体管4010。另外,发光元件4513的结构是第一电极层4030、场致发光层4511、第二电极层4031的叠层结构,但是,不局限于所示结构。根据从发光元件4513取出的光的方向等,可以适当地改变发光元件4513的结构。

[0272] 分隔壁4510、507使用有机绝缘材料或无机绝缘材料形成。尤其是,优选使用感光树脂材料,在第一电极层4030、541上形成开口部,并且将该开口部的侧壁形成为具有连续曲率的倾斜面。

[0273] 场致发光层4511、542可以使用一个层构成,也可以使用多个层的叠层构成。

[0274] 为了防止氧、氢、水分、二氧化碳等侵入到发光元件4513及发光元件540中,也可以在第二电极层4031、543及分隔壁4510、507上形成保护膜。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、DLC膜等。

[0275] 另外,为了防止氧、氢、水分、二氧化碳等侵入到发光元件4513、540中,也可以通过蒸镀法形成覆盖发光元件4513、540的包含有机化合物的层。

[0276] 此外,在由第一衬底4001、第二衬底4006以及密封剂4005密封的空间中设置有填充材料4514并被密封。如此,为了不暴露于外部气体,优选使用气密性高且脱气少的保护薄膜(粘合薄膜、紫外线固化树脂薄膜等)、覆盖材料进行封装(封入)。

[0277] 作为填充材料4514,除了氮或氩等惰性气体以外,也可以使用紫外线固化树脂或热固化树脂,例如可以使用PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯-醋酸乙烯酯)。例如,作为填充材料使用氮,即可。

[0278] 另外,如果需要,则也可以在发光元件的射出表面上适当地设置诸如偏振片或者圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 板, $\lambda/2$ 板)、滤色片等的光学薄膜。此外,也可以在偏振片或者圆偏振片上设置防反射膜。例如,可以进行抗眩光处理,该处理是利用表面的凹凸来扩散反射光而可以降低眩光的处理。

[0279] 此外,作为显示装置,也可以提供驱动电子墨水的电子纸。电子纸也称为电泳显示装置(电泳显示器),并具有如下优点:与纸同样的易读性;其耗电量比其他显示装置的耗电量低;形状薄且轻。

[0280] 电泳显示装置可以采用各种各样的形式。电泳显示装置是如下装置,即在溶剂或溶质中分散有包含具有正电荷的第一粒子和具有负电荷的第二粒子的多个微囊,并且通过对微囊施加电场使微囊中的粒子向相互相反的方向移动,以仅显示集中在一方的粒子的颜色。另外,第一粒子或第二粒子包含染料,当没有电场时不移动。此外,第一粒子的颜色和第二粒子的颜色不同(该颜色包括无色)。

[0281] 这样,电泳显示装置是利用介电常数高的物质移动到高电场区域,即所谓的介电泳效应(dielectrophoretic effect)的显示器。

[0282] 分散有上述微囊的溶剂被称为电子墨水,并且该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外,还可以通过使用滤色片、具有色素的粒子来进行彩色显示。

[0283] 此外,微囊中的第一粒子及第二粒子可以使用选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、磁泳材料中的一种材料或这些材料的复合材料。

[0284] 此外,作为电子纸,也可以应用使用旋转球 (twisting ball) 显示方式的显示装置。旋转球显示方式是如下方法,即将分别涂为白色和黑色的球形粒子配置在作为用于显示元件的电极层的第一电极层与第二电极层之间,使第一电极层与第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0285] 另外,在图9A至图11B中,作为第一衬底4001、衬底500、第二衬底4006,除了玻璃衬底以外,也可以使用柔性的衬底。例如,可以使用具有透光性的塑料衬底等。作为塑料,可以使用FRP (Fiberglass-Reinforced Plastics, 玻璃纤维强化塑料) 板、PVF (聚氟乙烯) 薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,若不需要透光性,则也可以使用以铝或不锈钢等为材料的金属衬底 (金属薄膜)。例如,也可以使用具有由PVF薄膜或聚酯薄膜夹住铝箔的结构薄片。

[0286] 在本实施方式中,作为绝缘膜4020使用氧化铝膜。绝缘膜4020可以利用溅射法或等离子体CVD法等形式。

[0287] 在氧化物半导体膜上作为绝缘膜4020设置的氧化铝膜具有高遮断效果 (阻挡效果),即,不使氢、水分等杂质以及氧这两者透过膜的效果。

[0288] 因此,氧化铝膜用作保护膜,而防止在制造工序中及制造之后导致晶体管的特性变动的氢、水分等杂质混入到氧化物半导体膜,并且防止从氧化物半导体膜释放氧化物半导体的主要构成材料的氧。

[0289] 另外,作为用作平坦化绝缘膜的绝缘膜4021、506,可以使用丙烯酸树脂、聚酰亚胺、苯并环丁烯类树脂、聚酰胺、环氧树脂等具有耐热性的有机材料。此外,除了上述有机材料以外,也可以使用低介电常数材料 (low-k材料)、硅氧烷类树脂、PSG (磷硅玻璃)、BPSG (硼磷硅玻璃) 等。另外,也可以通过层叠多个由这些材料形成的绝缘膜来形成绝缘膜。

[0290] 对绝缘膜4021、506的形成方法没有特别的限制,可以根据其材料利用如溅射法、SOG法、旋涂法、浸渍法、喷涂法、液滴喷射法 (喷墨法等)、印刷法 (丝网印刷、胶版印刷等) 等的方法以及如刮刀、辊涂机、幕式涂布机、刮刀式涂布机等器具来形成绝缘膜4021、506。

[0291] 显示装置通过使来自光源或显示元件的光透过来进行显示。因此,设置在光透过的像素部中的衬底、绝缘膜、导电膜等薄膜全都对可见光的波长区域的光具有透光性。

[0292] 关于对显示元件施加电压的第一电极层及第二电极层 (也称为像素电极层、公共电极层、对置电极层等),可以根据取出光的方向、设置电极层的地方以及电极层的图案结构选择透光性或反射性。

[0293] 作为第一电极层4030、541及第二电极层4031、543,可以使用含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物、铟锡氧化物 (以下称为ITO)、铟锌氧化物、添加有氧化硅的铟锡氧化物、石墨烯等具有透光性的导电材料。

[0294] 此外,第一电极层4030、第一电极层541、第二电极层4031及第二电极层543可以使用钨 (W)、钼 (Mo)、锆 (Zr)、铪 (Hf)、钒 (V)、铌 (Nb)、钽 (Ta)、铬 (Cr)、钴 (Co)、镍 (Ni)、钛 (Ti)、铂 (Pt)、铝 (Al)、铜 (Cu)、银 (Ag) 等金属、其合金或其金属氮化物中的一种或多种来形成。

[0295] 在本实施方式中,图10A和10B所示的发光装置具有下面发射型结构,所以第一电极层541具有透光性,而第二电极层543具有反射性。因此,当将金属膜用于第一电极层541时,优选将金属膜形成得薄,以并使其具有透光性。另外,当将具有透光性的导电膜用于第

二电极层543时,优选将具有反射性的导电膜层叠在其上。

[0296] 此外,第一电极层4030、第一电极层541、第二电极层4031及第二电极层543可以使用包括导电高分子(也称为导电聚合物)的导电组成物来形成。作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯和噻吩中的两种以上构成的共聚物或其衍生物等。

[0297] 此外,由于晶体管容易因静电等而损坏,所以优选设置用来保护驱动电路的保护电路。保护电路优选使用非线性元件构成。

[0298] 如上所述,通过应用实施方式1或实施方式2所示的晶体管,可以提供具有各种各样的功能的半导体装置。

[0299] 本实施方式所示的结构或方法等可以与其他的实施方式所示的结构或方法等适当地组合而实施。

[0300] 实施方式4

[0301] 通过使用实施方式1或实施方式2所示的晶体管,可以制造具有读取对象物的信息的图像传感器功能的半导体装置。

[0302] 图12A示出具有图像传感器功能的半导体装置的一个例子。图12A是光电传感器的等效电路,而图12B是示出光电传感器的一部分的截面图。

[0303] 光电二极管602的一个电极电连接到光电二极管复位信号线658,而光电二极管602的另一个电极电连接到晶体管640的栅极。晶体管640的源极和漏极中的一个电连接到光电传感器参考信号线672,而晶体管640的源极和漏极中的另一个电连接到晶体管656的源极和漏极中的一个。晶体管656的栅极电连接到栅极信号线659,晶体管656的源极和漏极中的另一个电连接到光电传感器输出信号线671。

[0304] 注意,在本说明书的电路图中,为了使使用氧化物半导体膜的晶体管一目了然,将使用氧化物半导体膜的晶体管的符号表示为“OS”。在图12A中,晶体管640和晶体管656可以应用实施方式1或实施方式2所示的晶体管,是使用氧化物半导体膜的晶体管。在本实施方式中示出应用具有与实施方式1所示的晶体管440同样的结构的晶体管的例子。晶体管640是在氧化物半导体膜上设置有用作够到保护膜绝缘层的底栅结构的反交错型晶体管。

[0305] 图12B是示出光电传感器中的光电二极管602和晶体管640的截面图,其中在具有绝缘表面的衬底601(TFT衬底)上设置有用作传感器的光电二极管602和晶体管640。在光电二极管602和晶体管640上使用粘合层608设置有衬底613。

[0306] 在晶体管640上设置有绝缘膜631、层间绝缘膜633以及层间绝缘膜634。光电二极管602设置在层间绝缘膜633上,并且光电二极管602具有如下结构:在形成于层间绝缘膜633上的电极层641a、641b与设置在层间绝缘膜634上的电极层642之间从层间绝缘膜633一侧依次层叠有第一半导体膜606a、第二半导体膜606b及第三半导体膜606c。

[0307] 电极层641b与形成在层间绝缘膜634中的导电层643电连接,并且电极层642通过电极层641a与导电层645电连接。导电层645与晶体管640的栅电极层电连接,并且光电二极管602与晶体管640电连接。

[0308] 在此,例示出一种pin型光电二极管,其中层叠用作第一半导体膜606a的具有p型导电型的半导体膜、用作第二半导体膜606b的高电阻的半导体膜(i型半导体膜)、用作第三半导体膜606c的具有n型导电型的半导体膜。

[0309] 第一半导体膜606a是p型半导体膜,而可以由包含赋予p型的杂质元素的非晶硅膜形成。使用包含属于周期表中的第13族的杂质元素(例如,硼(B))的半导体材料气体通过等离子体CVD法来形成第一半导体膜606a。作为半导体材料气体,可以使用硅烷(SiH_4)。另外,可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外,也可以使用如下方法:在形成不包含杂质元素的非晶硅膜之后,使用扩散法或离子注入法将杂质元素引入到该非晶硅膜。优选在使用离子注入法等引入杂质元素之后进行加热等来使杂质元素扩散。在此情况下,作为形成非晶硅膜的方法,可以使用LPCVD法、气相生长法或溅射法等。优选将第一半导体膜606a的厚度设定为10nm以上且50nm以下。

[0310] 第二半导体膜606b是i型半导体膜(本征半导体膜),而可以由非晶硅膜形成。为了形成第二半导体膜606b,通过等离子体CVD法使用半导体材料气体来形成非晶硅膜。作为半导体材料气体,可以使用硅烷(SiH_4)。或者,也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以通过LPCVD法、气相生长法、溅射法等形成第二半导体膜606b。优选将第二半导体膜606b的厚度设定为200nm以上且1000nm以下。

[0311] 第三半导体膜606c是n型半导体膜,而可以由包含赋予n型的杂质元素的非晶硅膜形成。使用包含属于周期表中的第15族的杂质元素(例如,磷(P))的半导体材料气体通过等离子体CVD法形成第三半导体膜606c。作为半导体材料气体,可以使用硅烷(SiH_4)。或者,也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。另外,也可以使用如下方法:在形成不包含杂质元素的非晶硅膜之后,使用扩散法或离子注入法将杂质元素引入到该非晶硅膜。优选在使用离子注入法等引入杂质元素之后进行加热等来使杂质元素扩散。在此情况下,作为形成非晶硅膜的方法,可以使用LPCVD法、气相生长法或溅射法等。优选将第三半导体膜606c的厚度设定为20nm以上且200nm以下。

[0312] 此外,第一半导体膜606a、第二半导体膜606b以及第三半导体膜606c也可以不使用非晶半导体形成,而使用多晶半导体或微晶半导体(Semi Amorphous Semiconductor, SAS)形成。

[0313] 此外,由于光电效应生成的空穴的迁移率低于电子的迁移率,因此当p型半导体膜一侧的表面用作光接收面时,pin型光电二极管具有良好的特性。这里示出将光电二极管602从形成有pin型光电二极管的衬底601的面接收的光转换为电信号的例子。此外,来自其导电型与用作光接收面的半导体膜一侧相反的半导体膜一侧的光是干扰光,因此,电极层优选使用具有遮光性的导电膜。另外,也可以将n型半导体膜一侧的表面用作光接收面。

[0314] 通过使用绝缘材料且根据材料使用溅射法、等离子体CVD法、SOG法、旋涂法、浸渍法、喷涂法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)等,来可以形成绝缘膜631、层间绝缘膜633、层间绝缘膜634。

[0315] 作为绝缘膜631,可以使用无机绝缘材料,诸如氧化硅层、氮化硅层、氧化铝层、氮化铝层等氧化物绝缘膜、氮化硅层、氮氧化硅层、氮化铝层、氮氧化铝层等氮化物绝缘膜的单层或叠层。

[0316] 在本实施方式中,作为绝缘膜631使用氧化铝膜。绝缘膜631可以通过溅射法或等离子体CVD法形成。

[0317] 在氧化物半导体膜上作为绝缘膜631设置的氧化铝膜具有高遮断效果(阻挡效果),即不使氢、水分等杂质及氧的双方透过膜的效果。

[0318] 因此,氧化铝膜用作保护膜,而防止在制造工序中及制造之后导致晶体管的特性变动的氢、水分等杂质混入到氧化物半导体膜,并且防止从氧化物半导体膜释放氧化物半导体的主要构成材料的氧。

[0319] 作为层间绝缘膜633、634,优选采用用作减少表面凹凸的平坦化绝缘膜的绝缘膜。作为层间绝缘膜633、634,例如可以使用聚酰亚胺、丙烯酸树脂、苯并环丁烯树脂、聚酰胺或环氧树脂等具有耐热性的有机绝缘材料。除了上述有机绝缘材料之外,也可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等的单层或叠层。

[0320] 通过检测入射到光电二极管602的光622,可以读取检测对象的信息。另外,在读取检测对象的信息时,可以使用背光灯等的光源。

[0321] 作为与实施方式1所示的晶体管440相同的结构及制造方法形成的晶体管640,通过使用卤素等离子体的蚀刻工序形成源电极层及漏电极层之后,进行去除氧化物半导体膜表面及其附近的包含于蚀刻气体中的杂质的工序。另外,也可以在利用使用卤素等离子体的蚀刻工序形成用作沟道保护膜的绝缘层之后进行杂质去除处理。作为杂质去除处理,例如优选使用稀氢氟酸处理、使用氧或一氧化二氮的等离子体处理等。

[0322] 由于可以防止氧化物半导体膜表面及其附近被包含于蚀刻气体中的杂质污染,因此可以使晶体管640的氧化物半导体膜表面的卤素元素的杂质浓度为 5×10^{18} atoms/cm³以下(优选为 1×10^{18} atoms/cm³以下)。

[0323] 因此,可以提供使用本实施方式的氧化物半导体膜且具有稳定的电特性的晶体管640的可靠性高的半导体装置。另外,可以高成品率地制造可靠性高的半导体装置,由此可以实现高生产化。

[0324] 本实施方式所示的结构或方法等可以与其他实施方式所示的结构或方法等适当地组合而实施。

[0325] 实施方式5

[0326] 可以将本说明书所公开的半导体装置应用于多种电子设备(包括游戏机)。作为电子设备,可以举出电视装置(也称为电视或电视接收机)、用于计算机等的显示器、数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、移动信息终端、声音再现装置、游戏机(弹子机、投币机等)框体游戏机等。图13A至13C示出这些电子设备的具体例子。

[0327] 图13A示出具有显示部的桌子9000。在桌子9000中,框体9001组装有显示部9003,利用显示部9003可以显示图像。另外,在此示出利用四个腿部9002支撑框体9001的结构。另外,框体9001具有用来供应电力的电源供应线9005。

[0328] 实施方式1至实施方式4中的任一所示的半导体装置可以应用于显示部9003,由此可以对电子设备赋予高可靠性。

[0329] 显示部9003具有触屏输入功能。当用指头等接触显示于桌子9000的显示部9003中的显示按钮9004时,可以进行屏面操作或信息输入。并且当使桌子具有能够与其他家电产品进行通讯的功能或能够控制其他家电产品的功能,可以将桌子用作通过屏面操作控制其他家电产品的控制装置。例如,通过使用实施方式4所示的具有图像传感器功能的半导体装置,可以使显示部9003具有触屏输入功能。

[0330] 另外,利用设置于框体9001的铰链也可以将显示部9003的屏面以垂直于地板的方

式立起来,从而也可以将桌子用作电视装置。虽然如果在小房间里设置大屏面的电视装置则自由使用的空间变小,然而,如果在桌子内安装有显示部则可以有效地利用房间的空间。

[0331] 图13B示出电视装置9100的一个例子。在电视装置9100中,框体9101组装有显示部9103。利用显示部9103可以显示图像。此外,在此示出利用支架9105支撑框体9101的结构。

[0332] 可以通过利用框体9101所具备的操作开关、另外提供的遥控操作机9110进行电视装置9100的操作。通过利用遥控操作机9110所具备的操作键9109,可以进行频道及音量的操作,并可以对在显示部9103上显示的映像进行操作。此外,也可以采用在遥控操作机9110中设置显示从该遥控操作机9110输出的信息的显示部9107的结构。

[0333] 图13B所示的电视装置9100具备接收机及调制解调器等。电视装置9100可以利用接收机接收一般的电视广播。再者,电视装置9100通过调制解调器连接到有线或无线方式的通信网络,也可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0334] 实施方式1至实施方式4中的任一所示的半导体装置可以应用于显示部9103、9107,由此可以对电视装置及遥控操作机赋予高可靠性。

[0335] 图13C示出计算机,该计算机包含主体9201、框体9202、显示部9203、键盘9204、外部连接端口9205、定位装置9206等。

[0336] 实施方式1至实施方式4中的任一所示的半导体装置都可以用于显示部9203,并可以赋予计算机高可靠性。

[0337] 图14A和14B是能够进行折叠的平板终端。图14A示出打开的状态。平板终端包含框体9630、显示部9631a、显示部9631b、显示模式切换开关9034、电源开关9035、省电模式切换开关9036、卡子9033以及操作开关9038。

[0338] 实施方式1至实施方式4中的任一所示的半导体装置可以应用于显示部9631a及显示部9631b,由此可以对平板终端赋予高可靠性。

[0339] 在显示部9631a中,可以将其一部分用作触摸屏的区域9632a,并且可以通过接触所显示的操作键9638来输入数据。此外,作为一个例子,显示部9631a的一半只具有显示的功能,并且另一半具有触摸屏的功能,但是不局限于该结构。也可以采用显示部9631a的整个区域具有触摸屏的功能的结构。例如,可以在显示部9631a的全面显示键盘来将其用作触摸屏,并且将显示部9631b用作显示画面。

[0340] 此外,在显示部9631b中,与显示部9631a同样也可以将显示部9631b的一部分用作触摸屏的区域9632b。此外,通过使用指头或触屏笔等接触触摸屏上的键盘显示切换按钮9639的位置上,可以在显示部9631b上显示键盘。

[0341] 此外,也可以对触摸屏的区域9632a和触摸屏的区域9632b同时进行触摸输入。

[0342] 另外,显示模式切换开关9034能够进行竖屏显示和横屏显示等显示的方向的切换以及黑白显示和彩色显示的切换等。根据通过平板终端所内置的光传感器所检测的使用时的外光的光量,省电模式切换开关9036可以使显示的亮度设定为最适合的亮度。平板终端除了光传感器以外还可以内置陀螺仪和加速度传感器等检测倾斜度的传感器等的其他检测装置。

[0343] 此外,图14A示出显示部9631b的显示面积与显示部9631a的显示面积相同的例子,但是不局限于此,一方的尺寸可以与另一方的尺寸不同,其显示质量也可以不同。例如,例

如可以使用显示部中的一方能够进行比另一方更高精细度的显示的显示面板。

[0344] 图14B示出合上的状态,并且平板终端包括框体9630、太阳能电池9633、充放电控制电路9634、电池9635以及DCDC转换器9636。此外,在图14B中,作为充放电控制电路9634的一个例子示出具有电池9635和DCDC转换器9636的结构。

[0345] 此外,平板终端能够进行折叠,因此不使用时可以合上框体9630。因此,可以保护显示部9631a和显示部9631b,而可以提供一种具有良好的耐久性且从长期使用的观点来看具有良好的可靠性的平板终端。

[0346] 此外,图14A和14B所示的平板终端还可以具有如下功能:显示各种各样的信息(静态图像、动态图像、文字图像等);将日历、日期或时刻等显示在显示部上;对显示在显示部上的信息进行操作或编辑的触摸输入;通过各种各样的软件(程序)控制处理等。

[0347] 通过利用安装在平板终端的表面上的太阳能电池9633,可以将电力供应到触摸屏、显示部或图像信号处理部等。另外,可以将太阳能电池9633设置在框体9630的单面或双面,由此可以高效地对电池9635进行充电。另外,当作为电池9635使用锂离子电池时,有可以实现小型化等的优点。

[0348] 另外,参照图14C所示的方框图对图14B所示的充放电控制电路9634的结构和工作进行说明。图14C示出太阳能电池9633、电池9635、DCDC转换器9636、转换器9637、开关SW1至SW3以及显示部9631,电池9635、DCDC转换器9636、转换器9637、开关SW1至SW3对应图14B所示的充放电控制电路9634。

[0349] 首先,说明在利用外光使太阳能电池9633发电时的工作的例子。使用DCDC转换器9636对太阳能电池9633所产生的电力进行升压或降压以使它成为用来对电池9635进行充电的电压。并且,当利用来自太阳能电池9633的电力使显示部9631工作时使开关SW1导通,并且,利用转换器9637将其升压或降压到显示部9631所需要的电压。另外,可以采用当不进行显示部9631中的显示时,使开关SW1截止且使开关SW2导通来对电池9635进行充电的结构。

[0350] 注意,作为发电单元的一个例子示出太阳能电池9633,但是不局限于此,也可以使用压电元件(piezoelectric element)或热电转换元件(珀耳帖元件(Peltier element))等其他发电单元进行电池9635的充电。例如,也可以使用以无线(不接触)的方式能够收发电力来进行充电的无线电力传输模块或组合其他充电方法进行充电。

[0351] 本实施方式所示的结构或方法等可以与其他的实施方式所示的结构或方法等适当地组合而实施。

[0352] 实施例1

[0353] 在本实施例中,在氧化物半导体膜上以与其接触的方式形成金属膜,然后进行干蚀刻去除金属膜。通过如下实验观察是否进行去除干蚀刻时产生的杂质与电阻率的关系。

[0354] 首先,作为比较例的样品,利用使用溅射法的成膜装置在玻璃衬底上形成厚度为95nm的IGZO膜,并测量其电阻率。其结果为 $4.8 \times 10^9 \Omega \cdot \text{cm}$ 。通过形成顶面形状为弯曲形状的电极(厚度为100nm的钛膜、厚度为400nm的铝膜及厚度为100nm的钛膜的叠层),并通过测量电压-电流的两个端子算出电阻,来得到IGZO膜的电阻率。

[0355] 在如下成膜条件下形成IGZO膜:使用In:Ga:Zn=1:1:1[原子数比]的氧化物靶材,在氧及氩气氛下(氧流量比率50%),压力为0.6Pa,AC电源电力为5kW,衬底温度为170°C。

[0356] 利用溅射法的成膜装置包括：可以使用真空泵等真空排气单元（低温泵、涡轮分子泵等）进行减压的溅射处理室；固定被处理衬底的衬底架；支撑溅射靶材的靶材架；对应于由靶材架支撑的溅射靶材的电极；对上述电极施加用于溅射的AC电压（或DC电压）的电力供应单元；以及向溅射处理室内供应气体的气体供应单元。另外，在制造样品时，尽可能地以不混入杂质的方式将溅射处理室内设定为高真空的状态，至于水分在露点为-40℃以下，优选在露点为-50℃以下的干燥氮气氛中进行成膜。

[0357] 另外，作为样品1，在玻璃衬底上形成厚度为95nm的IGZO膜之后，在第一干蚀刻条件下进行180秒的蚀刻之后，将其浸渍于纯水中，形成电极，来测量电阻率。样品1的结果是130 Ω·cm。另外，作为样品2，在第一干蚀刻条件后，以稀氢氟酸（以1/100的比例稀释的）浸渍30秒之后，形成电极测量电阻率。样品2的结果是 $3.9 \times 10^9 \Omega \cdot \text{cm}$ 。

[0358] 由上述结果可知：由于使用含有卤素元素的气体的干蚀刻杂质附着或混入IGZO膜而导致IGZO膜的电阻率下降，通过利用稀氢氟酸进行表面处理杂质被去除，而使IGZO膜接近进行干蚀刻之前的状态。

[0359] 另外，作为样品3，在玻璃衬底上形成厚度为95nm的IGZO膜之后，在第二干蚀刻条件下进行180秒的蚀刻之后，将其浸渍于纯水中，形成电极，来测量电阻率。另外，作为样品4，在第二干蚀刻条件后，以稀氢氟酸（以1/100的比例稀释的）浸渍30秒之后，形成电极测量电阻率。

[0360] 另外，作为样品5，在玻璃衬底上形成厚度为95nm的IGZO膜之后，在第三干蚀刻条件下进行180秒的蚀刻之后，将其浸渍于纯水中，形成电极，来测量电阻率。另外，作为样品6，在第三干蚀刻条件后，以稀氢氟酸（以1/100的比例稀释的）浸渍30秒之后，形成电极测量电阻率。

[0361] 另外，作为样品7，在玻璃衬底上形成厚度为95nm的IGZO膜之后，在第四干蚀刻条件下进行180秒的蚀刻之后，将其浸渍于纯水中，形成电极，来测量电阻率。另外，作为样品8，在第四干蚀刻条件后，以稀氢氟酸（以1/100的比例稀释的）浸渍30秒之后，形成电极测量电阻率。

[0362] 表1示出第一干蚀刻条件、第二干蚀刻条件、第三干蚀刻条件及第四干蚀刻条件。另外，作为进行干蚀刻的装置使用ICP蚀刻装置。

[0363] [表1]

	ICP	Bias	Pressure	Cl ₂	BCl ₃	SF ₆	O ₂	Time
	(W)	(W)	(Pa)	(sccm)	(sccm)	(sccm)	(sccm)	(sec)
[0364] 第一蚀刻条件	2000	200	2.0	-	-	900	100	180
第二蚀刻条件	2000	1000	2.5	540	-	540	-	
第三蚀刻条件	0	1500	2.0	150	750	-	-	
第四蚀刻条件	2000	1000	2.5	-	380	700	-	

[0365] 另外,图16是以电阻率为纵轴,分别示出比较例的电阻率与样品1至样品8的电阻率的图表。由上述结果可知:即使改变干蚀刻的条件,通过利用稀氢氟酸进行表面处理,可以使IGZO膜接近进行干蚀刻之前的状态,优选的是与进行干蚀刻之前相同的状态。

[0366] 符号说明

[0367] 400 衬底

[0368] 401 栅电极层

[0369] 402 栅极绝缘膜

[0370] 403 氧化物半导体膜

[0371] 405a 源电极层

[0372] 405b 漏电极层

[0373] 408 层间绝缘膜

[0374] 409 平坦化绝缘膜

[0375] 413 绝缘层

[0376] 436 下地绝缘膜

[0377] 440 晶体管

[0378] 442 气体

[0379] 443 绝缘膜

[0380] 444 抗蚀剂掩模

[0381] 445 导电膜

[0382] 448a 抗蚀剂掩模

[0383] 450 晶体管

[0384] 460 晶体管

[0385] 470 晶体管

[0386] 480 晶体管

[0387] 490 晶体管

[0388] 500 衬底

[0389] 502 栅极绝缘膜

[0390] 503 绝缘层

[0391] 504 层间绝缘膜

[0392] 505 滤色片层

[0393] 506 绝缘膜

[0394] 507 分隔壁

[0395] 510 晶体管

[0396] 511a 栅电极层

[0397] 511b 栅电极层

[0398] 512 氧化物半导体膜

[0399] 513a 导电层

[0400] 513b 导电层

[0401] 520 电容元件

- [0402] 521a 导电层
- [0403] 521b 导电层
- [0404] 522 氧化物半导体膜
- [0405] 523 导电层
- [0406] 530 布线层交叉部
- [0407] 533 导电层
- [0408] 540 发光元件
- [0409] 541 电极层
- [0410] 542 场致发光层
- [0411] 543 电极层
- [0412] 553 绝缘层
- [0413] 601 衬底
- [0414] 602 光电二极管
- [0415] 606a 半导体膜
- [0416] 606b 半导体膜
- [0417] 606c 半导体膜
- [0418] 608 粘合层
- [0419] 613 衬底
- [0420] 631 绝缘膜
- [0421] 633 层间绝缘膜
- [0422] 634 层间绝缘膜
- [0423] 640 晶体管
- [0424] 641a 电极层
- [0425] 641b 电极层
- [0426] 642 电极层
- [0427] 643 导电层
- [0428] 645 导电层
- [0429] 656 晶体管
- [0430] 658 光电二极管复位信号线
- [0431] 659 栅极信号线
- [0432] 671 光电传感器输出信号线
- [0433] 672 光电传感器参考信号线
- [0434] 4001 衬底
- [0435] 4002 像素部
- [0436] 4003 信号线驱动电路
- [0437] 4004 扫描线驱动电路
- [0438] 4005 密封剂
- [0439] 4006 衬底
- [0440] 4008 液晶层

- [0441] 4010 晶体管
- [0442] 4011 晶体管
- [0443] 4013 液晶元件
- [0444] 4015 连接端子电极
- [0445] 4016 端子电极
- [0446] 4019 各向异性导电膜
- [0447] 4020 绝缘膜
- [0448] 4021 绝缘膜
- [0449] 4030 电极层
- [0450] 4031 电极层
- [0451] 4032 绝缘膜
- [0452] 4033 绝缘膜
- [0453] 4035 间隔物
- [0454] 4510 分隔壁
- [0455] 4511 场致发光层
- [0456] 4513 发光元件
- [0457] 4514 填充材料
- [0458] 9000 桌子
- [0459] 9001 框体
- [0460] 9002 腿部
- [0461] 9003 显示部
- [0462] 9004 显示按钮
- [0463] 9005 电源供应线
- [0464] 9033 卡子
- [0465] 9034 开关
- [0466] 9035 电源开关
- [0467] 9036 开关
- [0468] 9038 操作开关
- [0469] 9100 电视装置
- [0470] 9101 框体
- [0471] 9103 显示部
- [0472] 9105 支架
- [0473] 9107 显示部
- [0474] 9109 操作键
- [0475] 9110 遥控操作机
- [0476] 9201 主体
- [0477] 9202 框体
- [0478] 9203 显示部
- [0479] 9204 键盘

- [0480] 9205 外部连接端口
- [0481] 9206 定位装置
- [0482] 9630 框体
- [0483] 9631 显示部
- [0484] 9631a 显示部
- [0485] 9631b 显示部
- [0486] 9632a 区域
- [0487] 9632b 区域
- [0488] 9633 太阳能电池
- [0489] 9634 充放电控制电路
- [0490] 9635 电池
- [0491] 9636DCDC转换器
- [0492] 9637 转换器
- [0493] 9638 操作键
- [0494] 9639 按钮

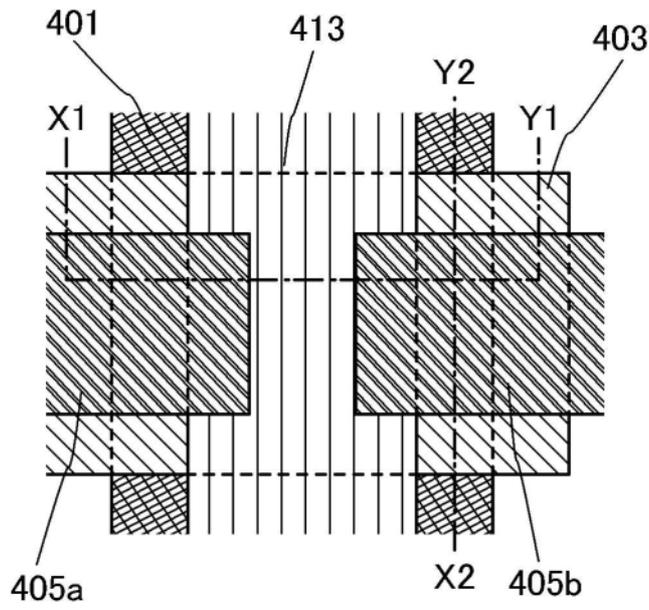


图1A

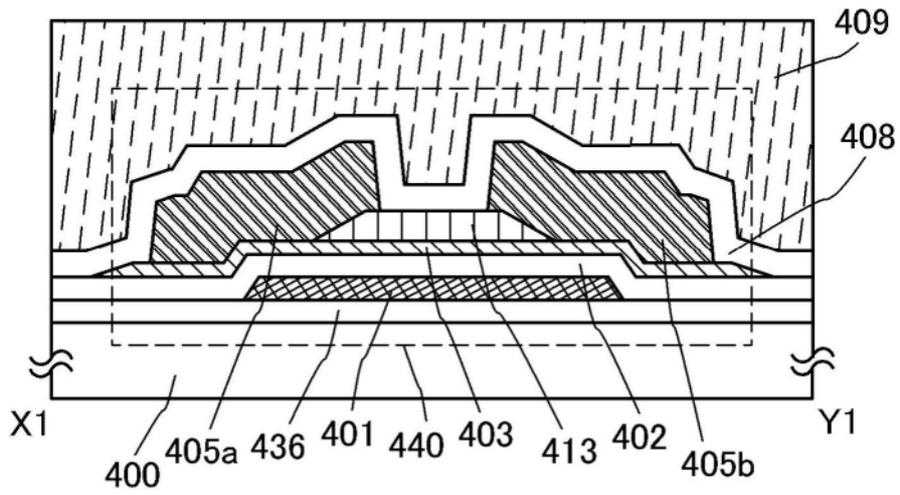


图1B

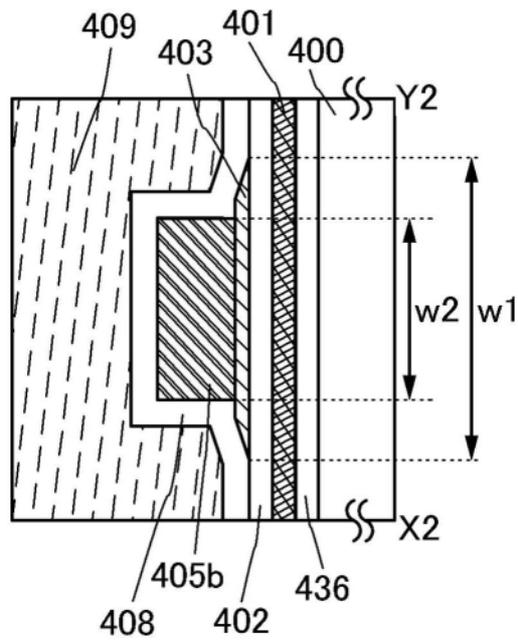


图1C

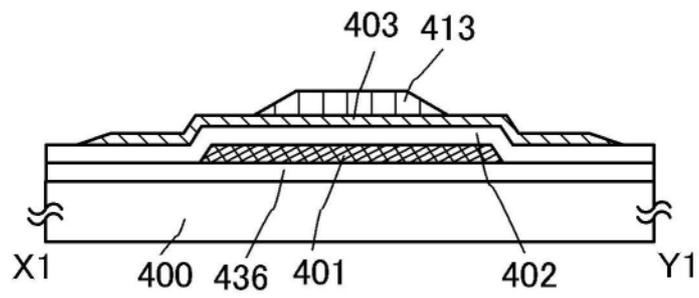


图2A

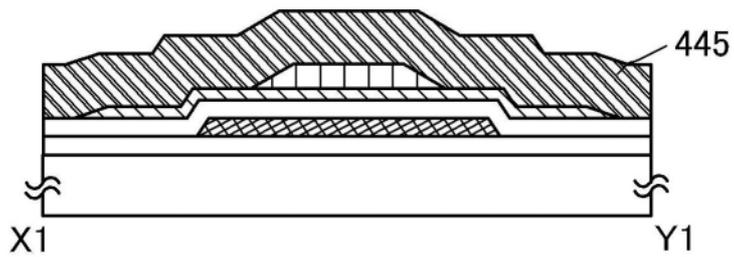


图2B

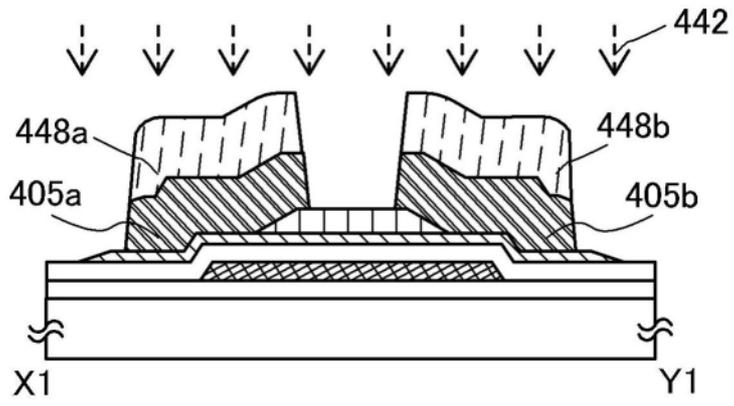


图2C

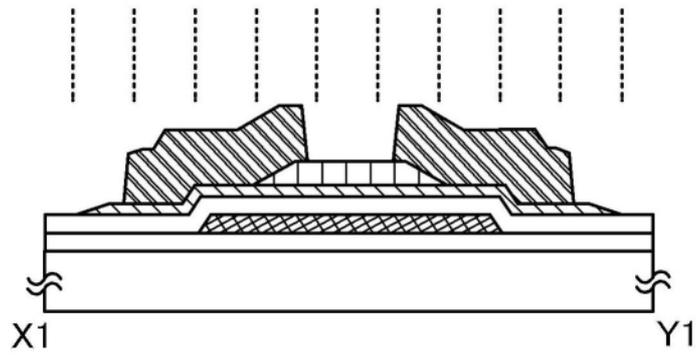


图2D

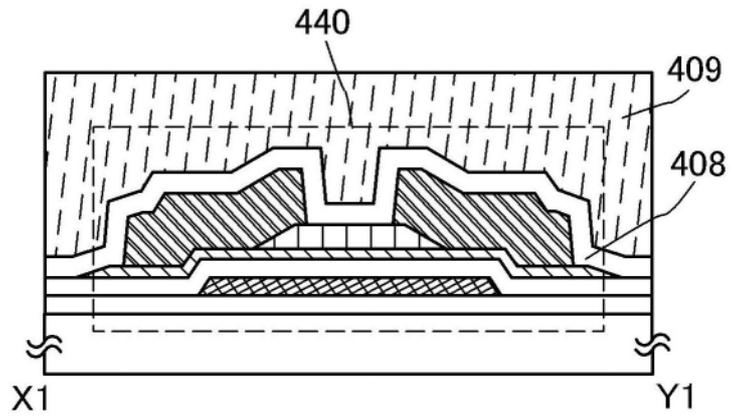


图2E

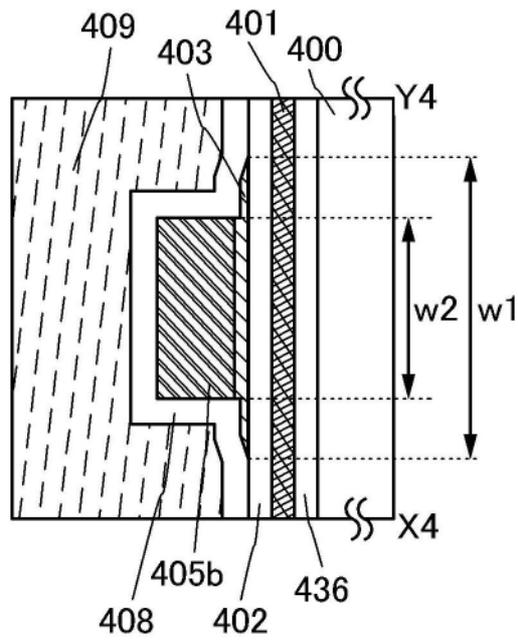


图3C

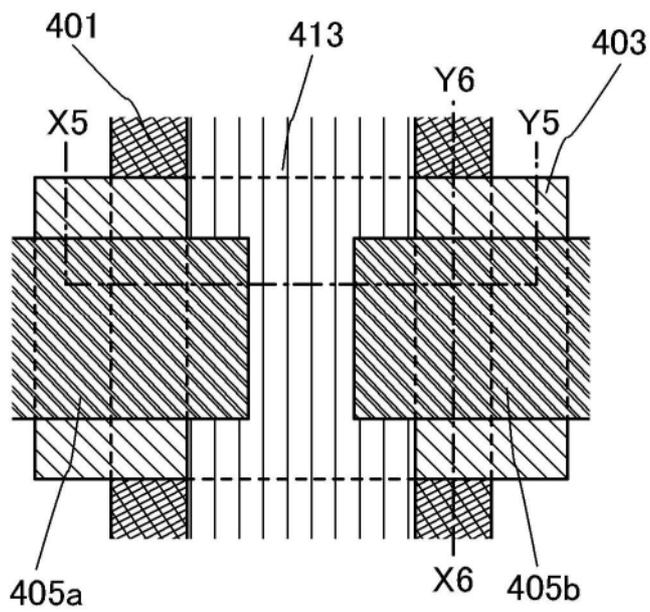


图4A

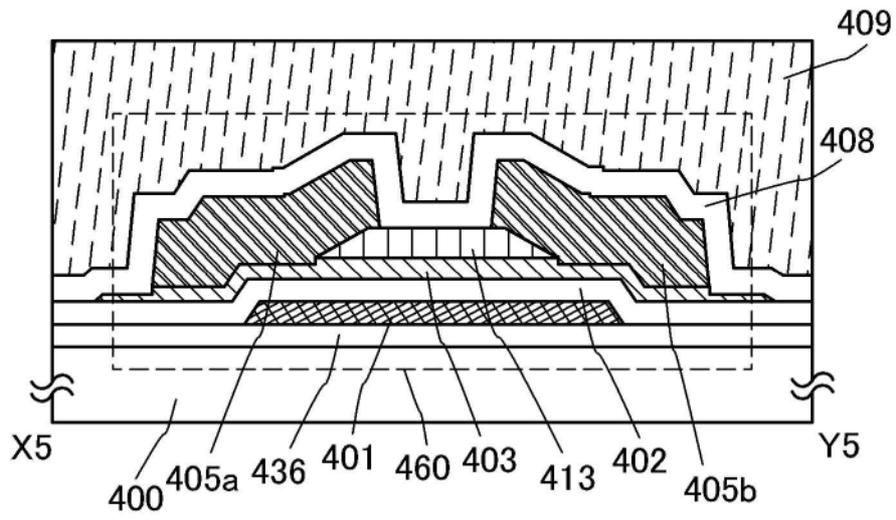


图4B

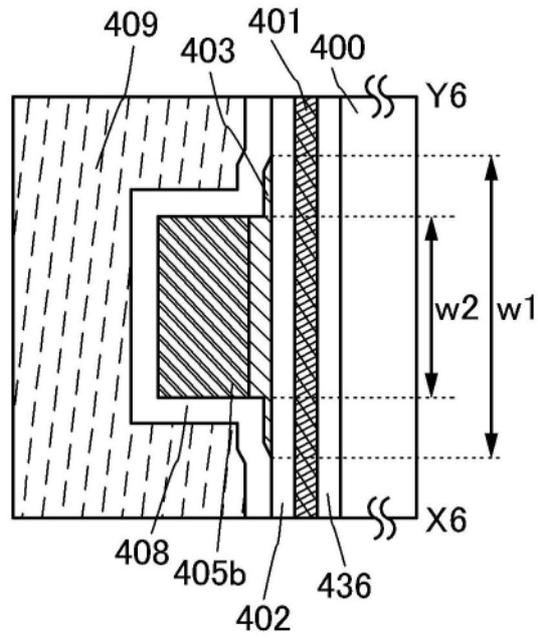


图4C

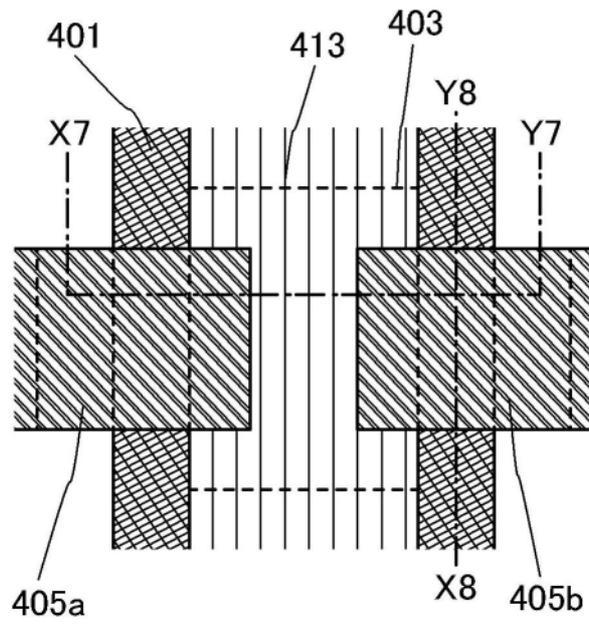


图5A

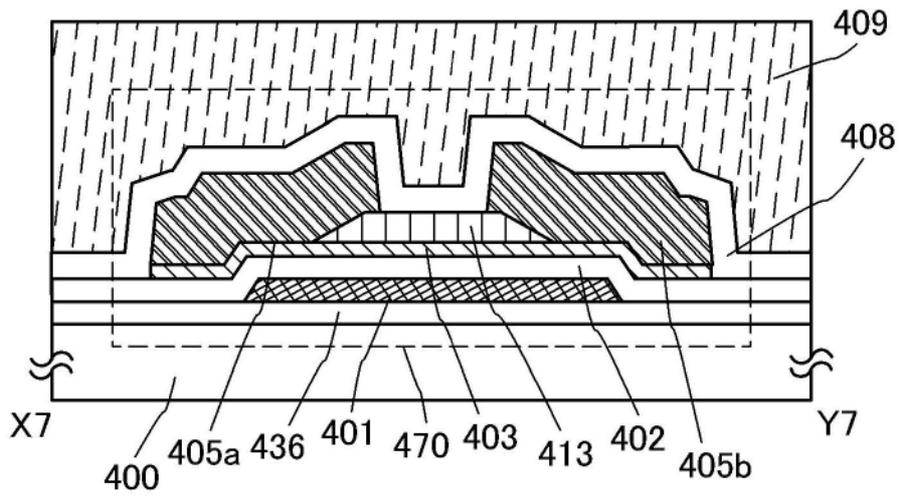


图5B

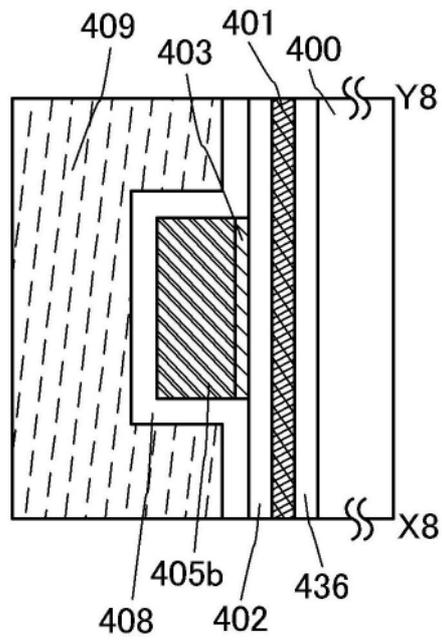


图5C

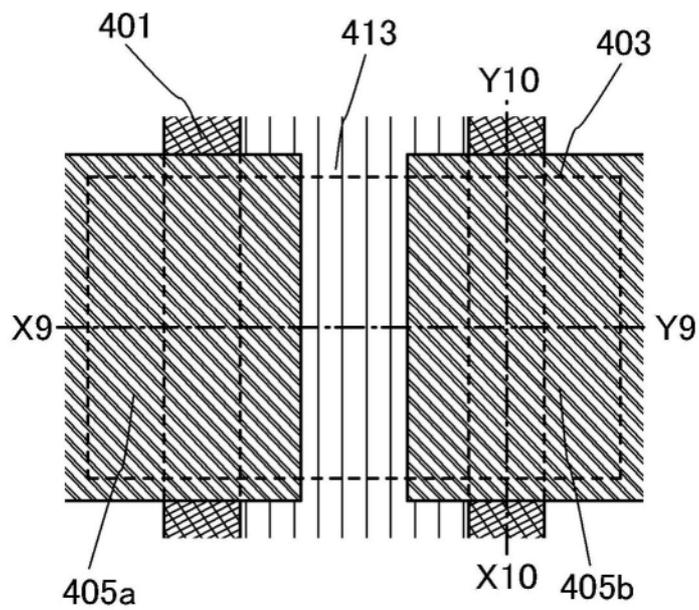


图6A

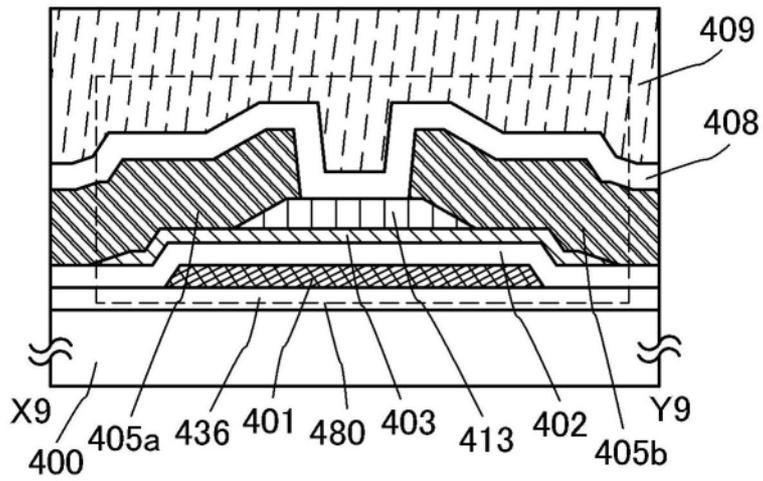


图6B

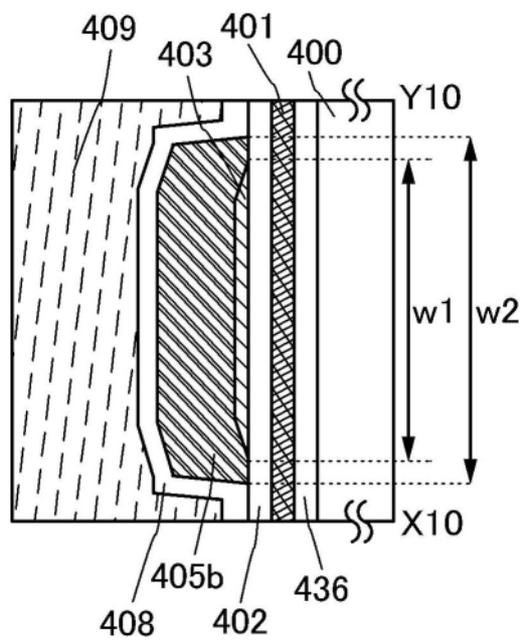


图6C

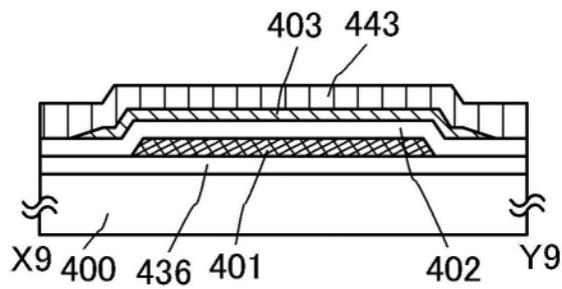


图7A

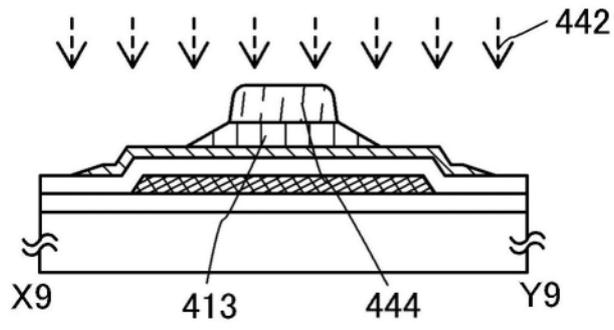


图7B

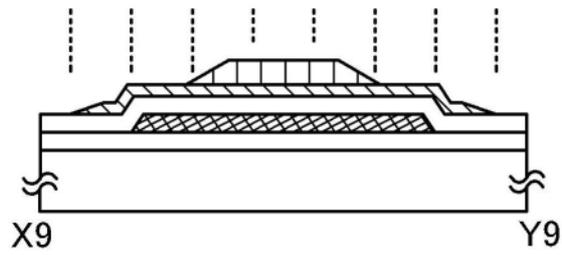


图7C

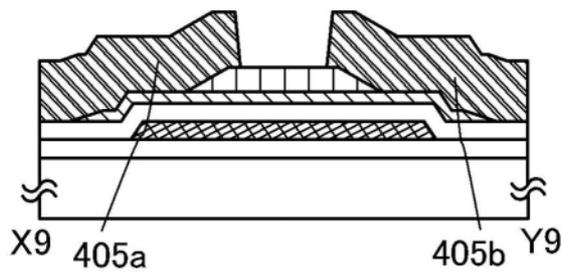


图7D

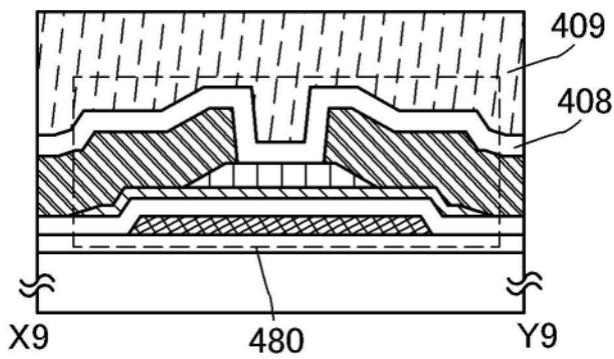


图7E

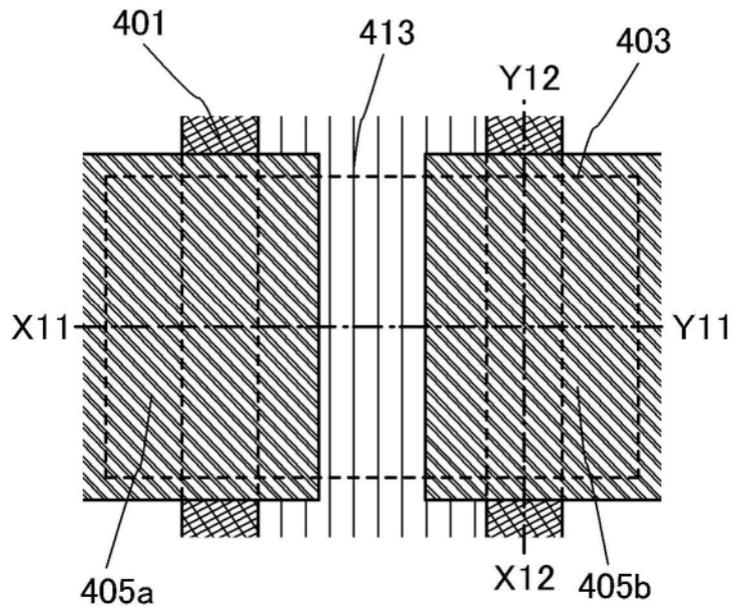


图8A

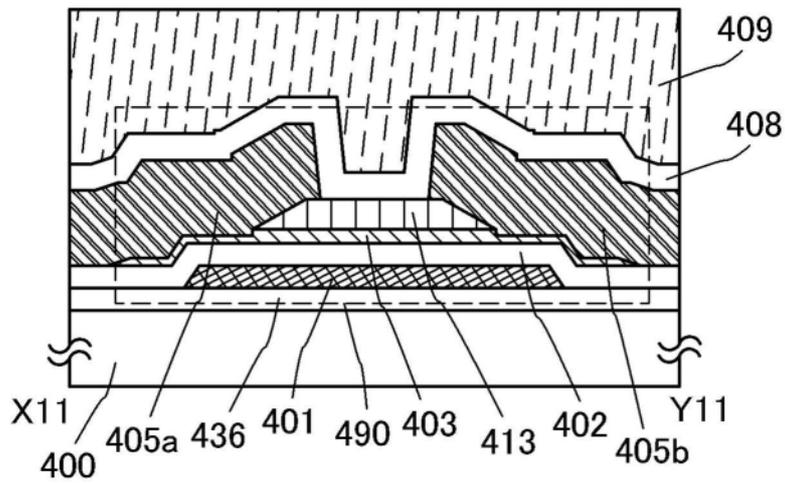


图8B

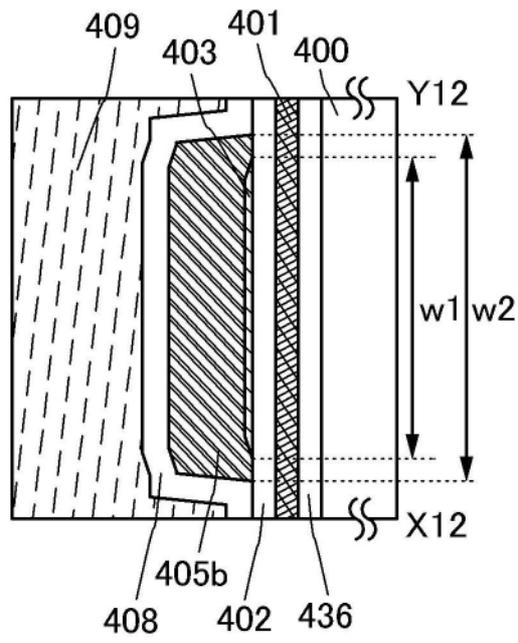


图8C

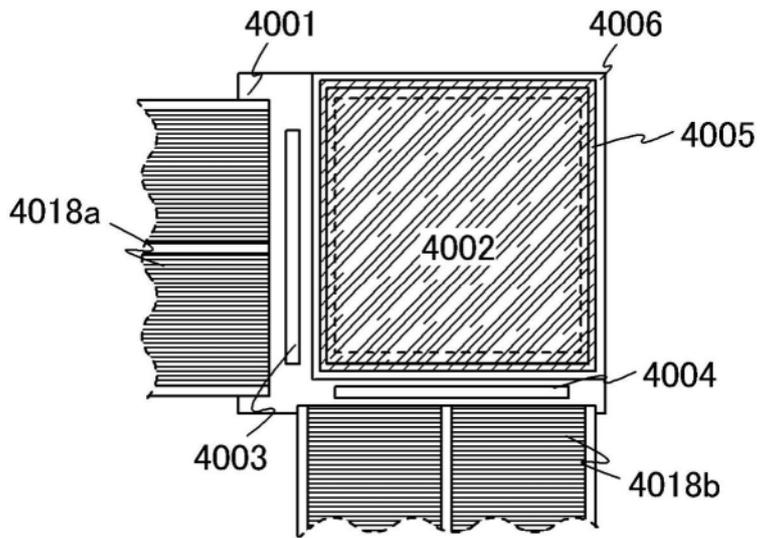


图9A

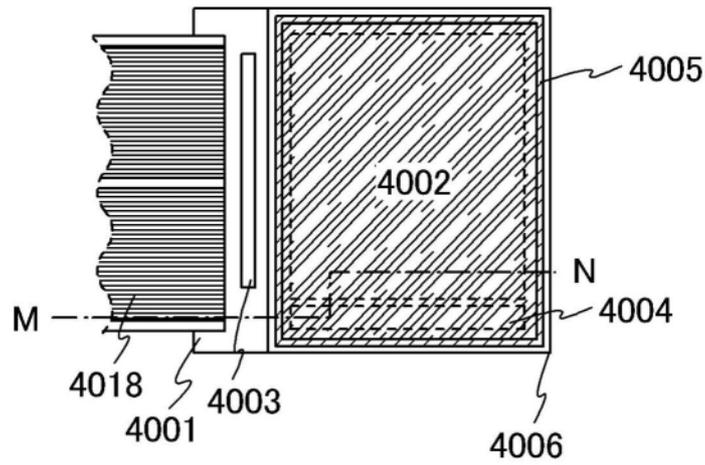


图9B

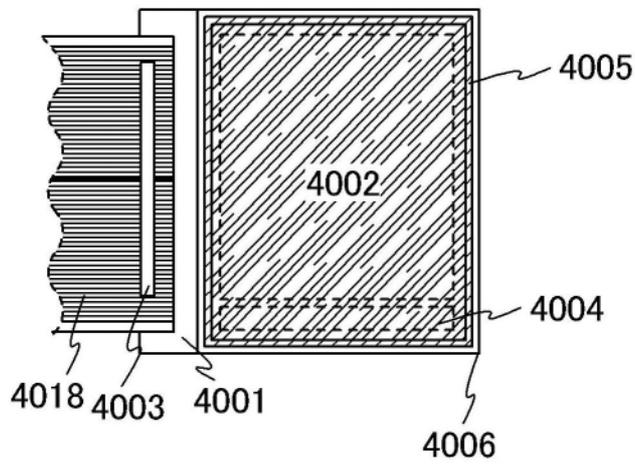


图9C

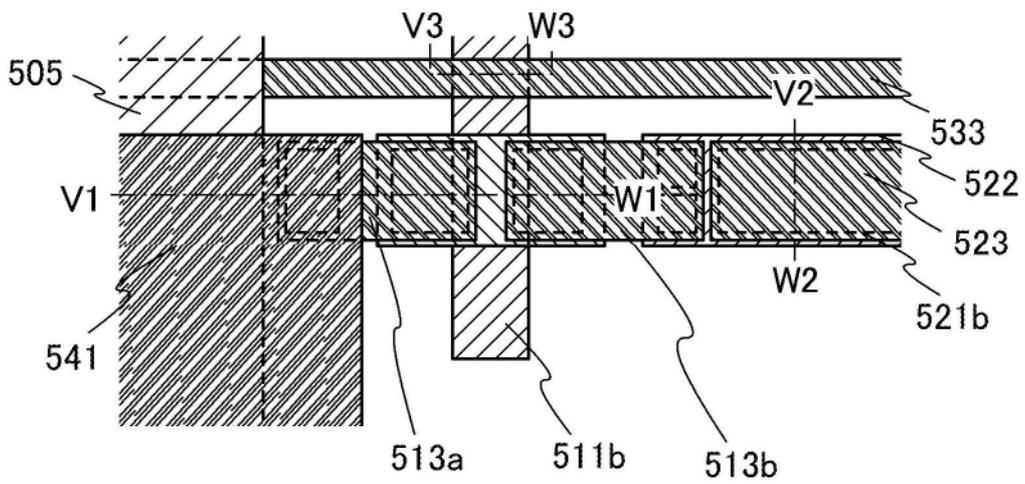


图10A

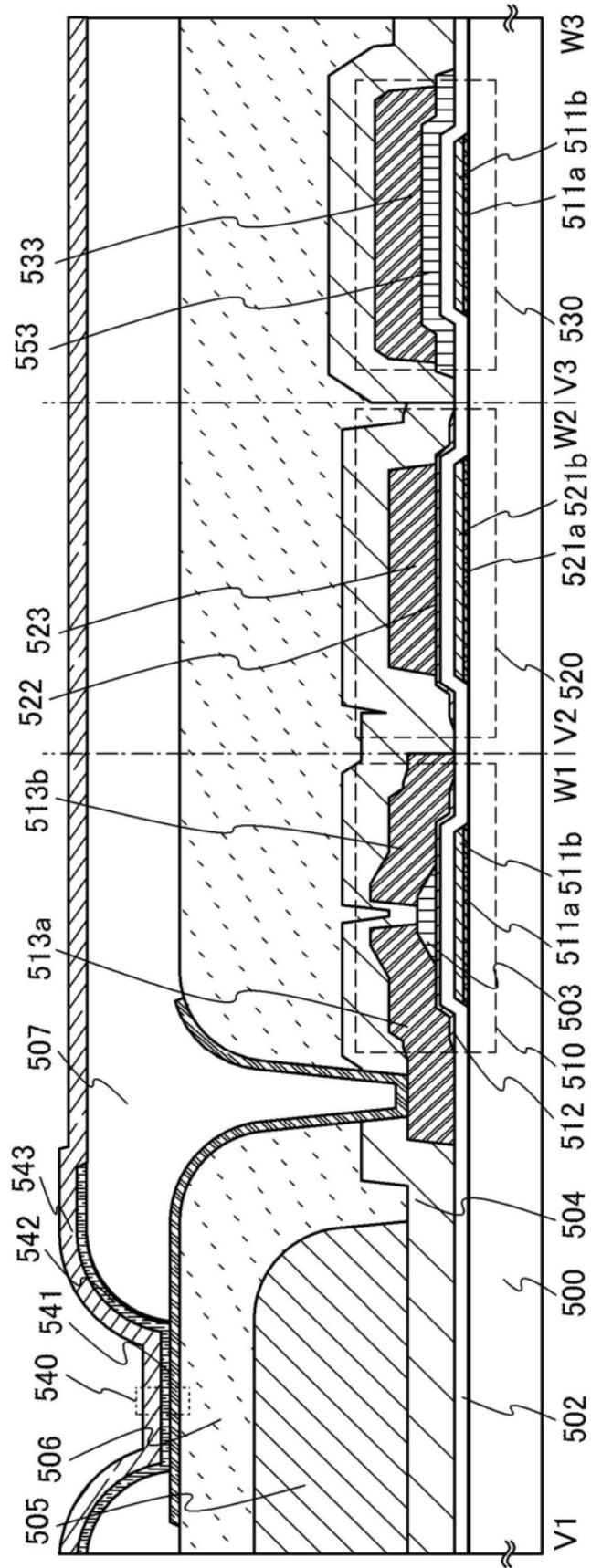


图10B

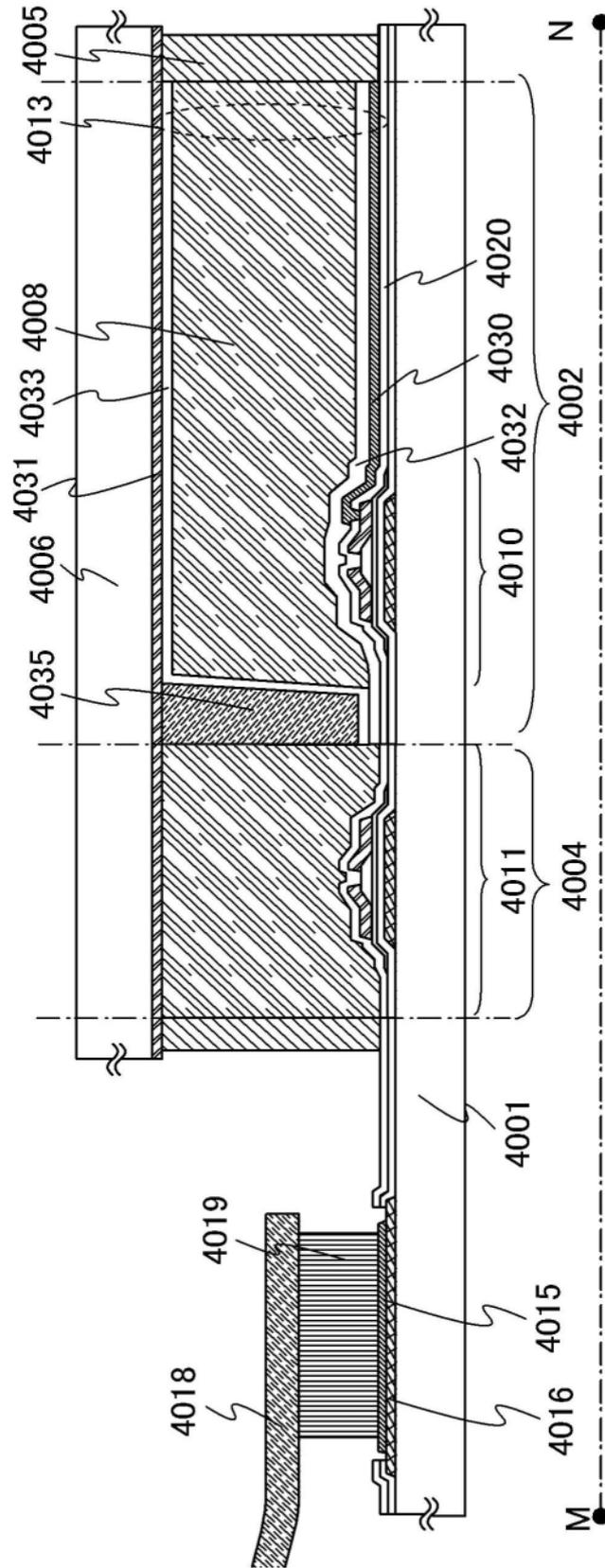


图11A

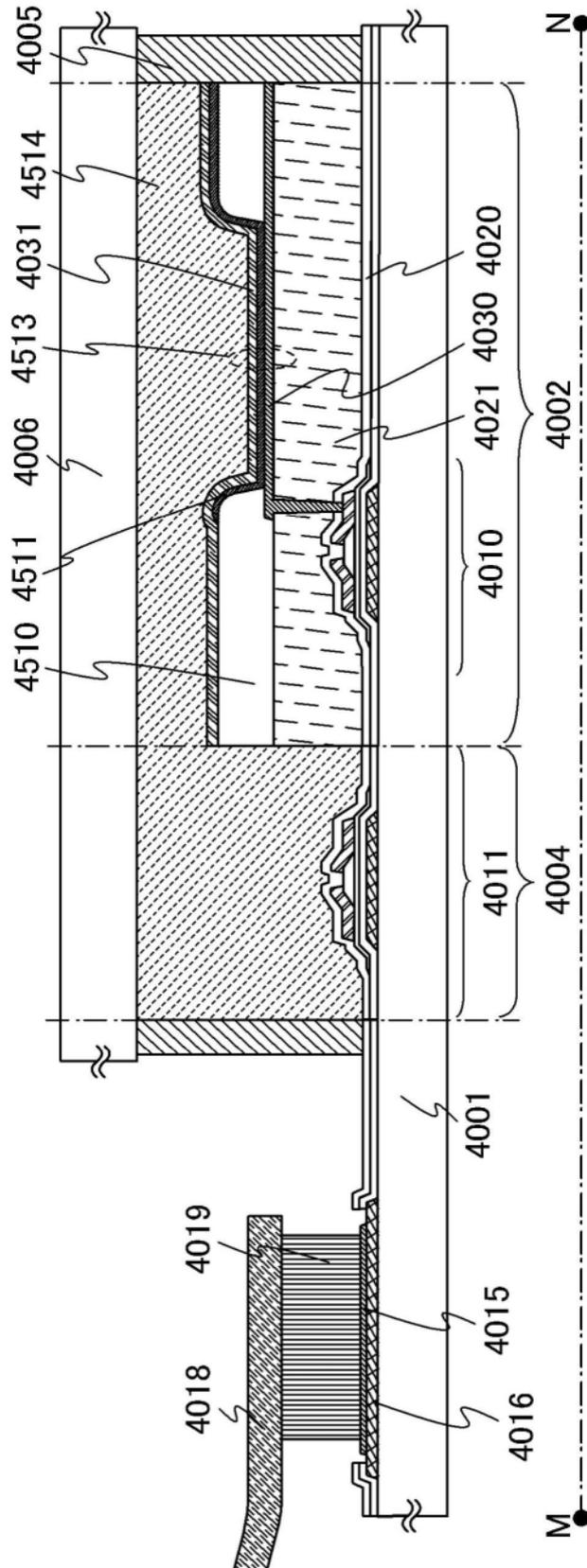


图11B

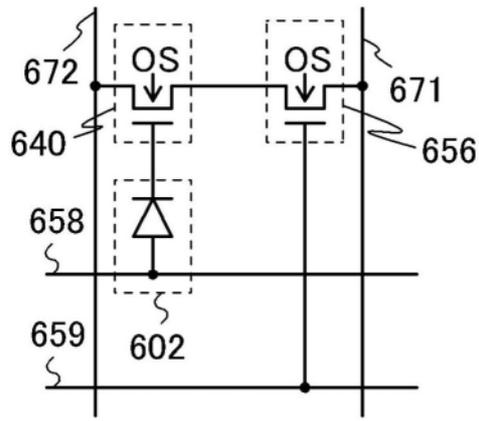


图12A

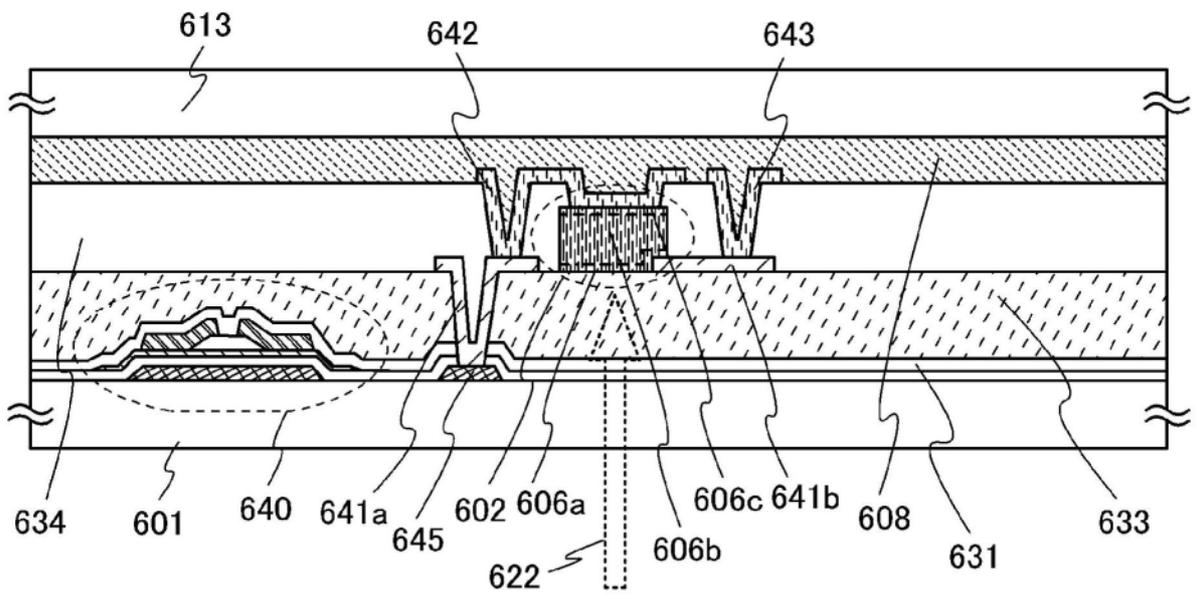


图12B

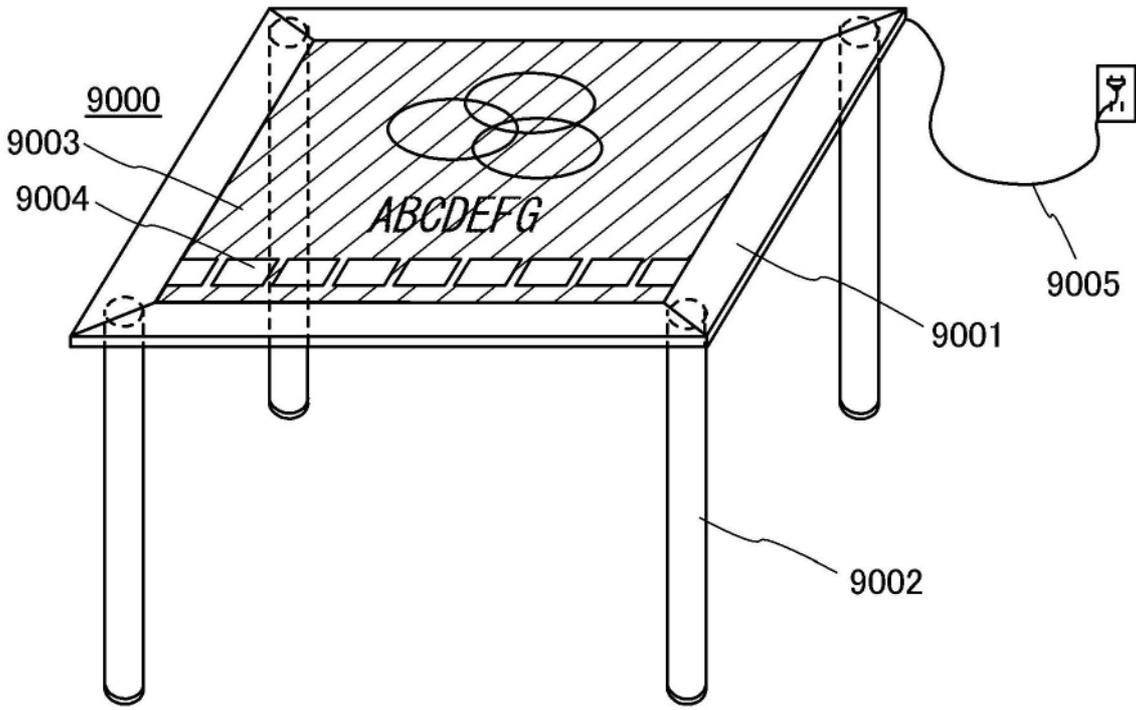


图13A

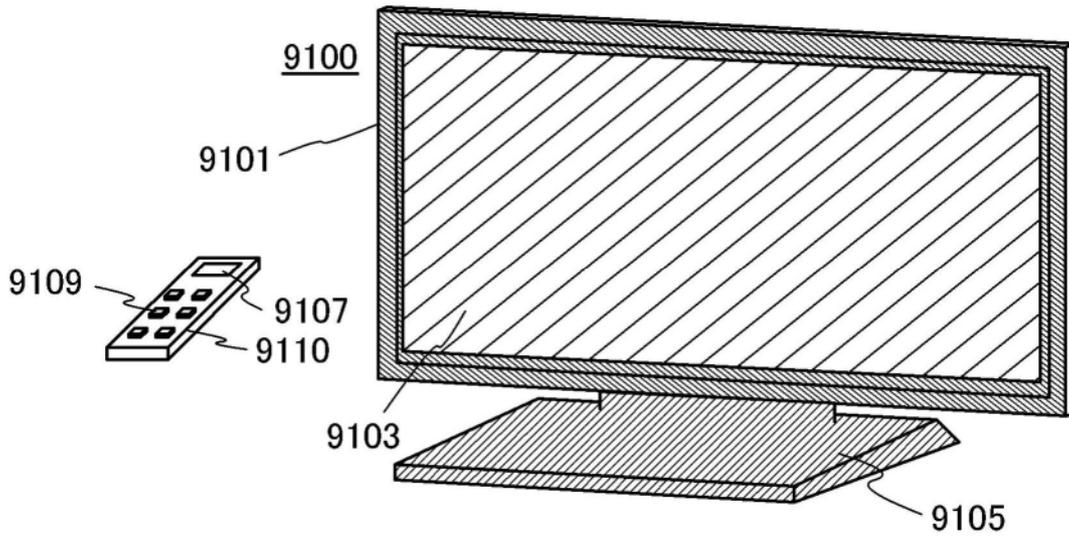


图13B

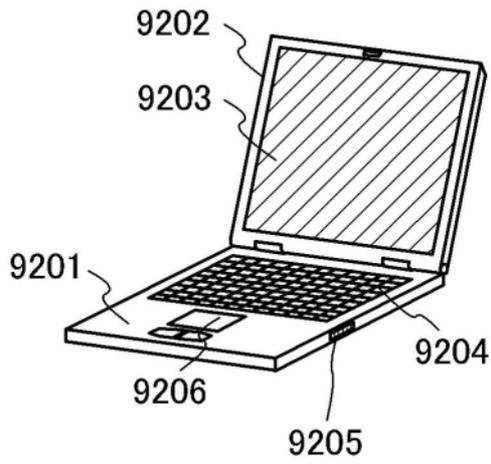


图13C

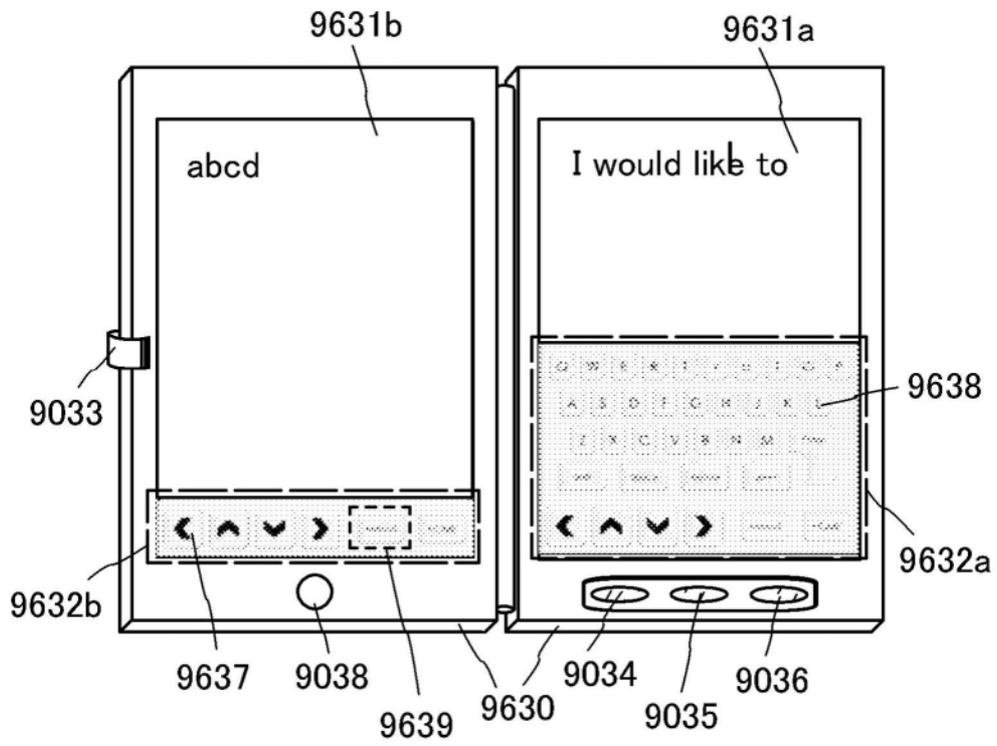


图14A

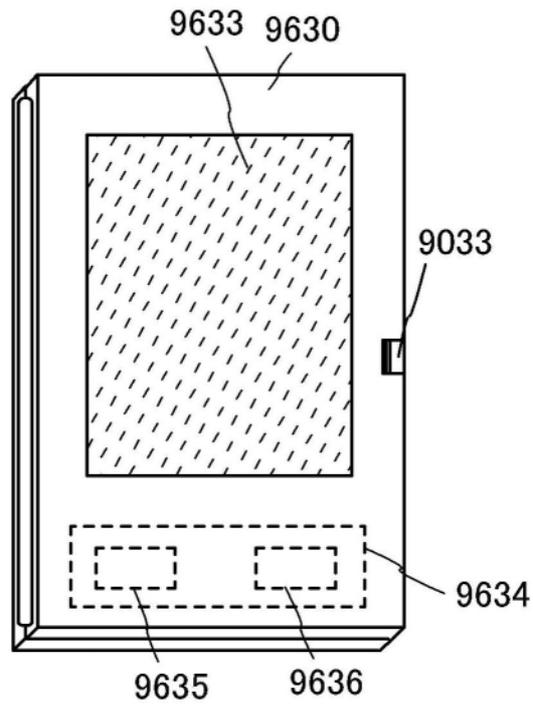


图14B

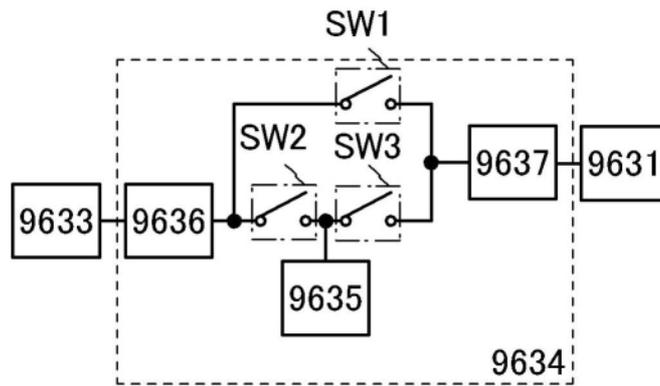


图14C

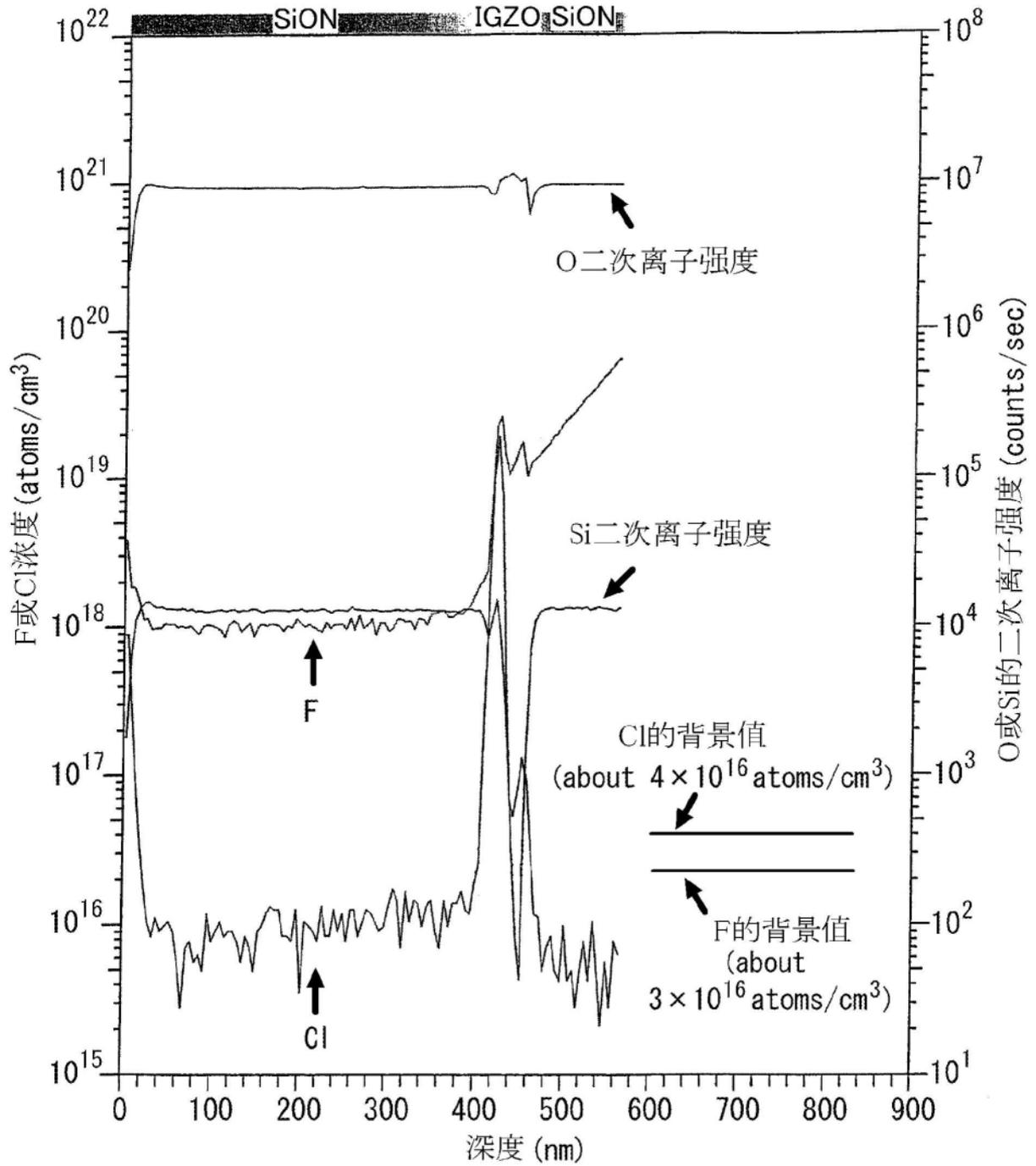


图15

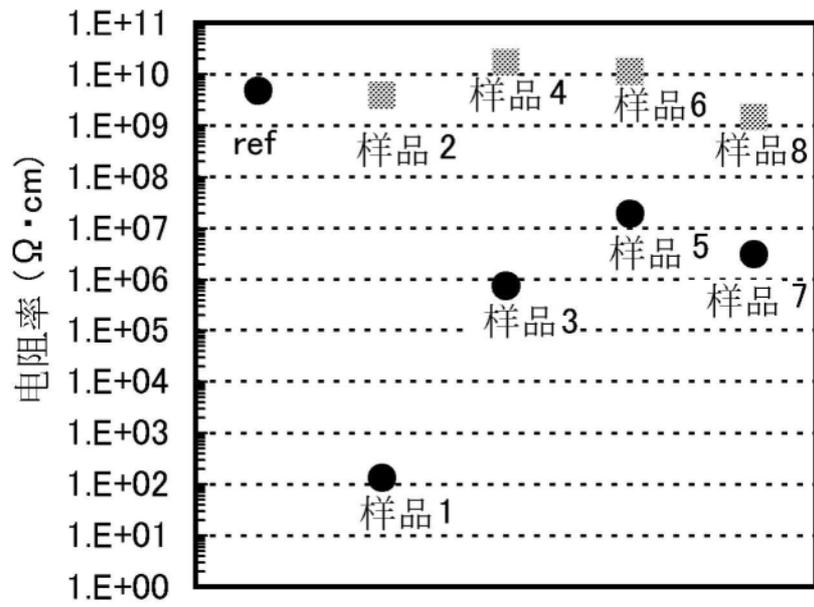


图16