



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0062519
(43) 공개일자 2008년07월03일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2006-0138443

(22) 출원일자 2006년12월29일

심사청구일자 없음

(71) 출원인

주식회사 실트론

경북 구미시 임수동 274번지

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박형국

경기 성남시 분당구 서현동 시범단지 우성아파트
207-302

홍진균

경북 구미시 형곡동 245-3번지 대경하이츠빌 602
호

(뒷면에 계속)

(74) 대리인

특허법인필엔은지

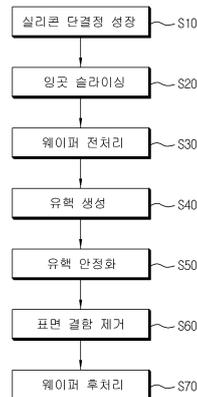
전체 청구항 수 : 총 38 항

(54) 후속 열처리에 의해 산소 침전물로 되는 유핵의 분포가제어된 실리콘 웨이퍼 및 그 제조방법

(57) 요약

본 발명은 실리콘 웨이퍼 및 그 제조 방법에 관한 것으로, 반도체 소자의 제조공정에서 가해지는 후속 열처리에 의해 산소 침전물(Oxygen Precipitate)이 되는 유핵들(embryos)을 생성하고 안정화시키는 단계를 포함하여, 디누드 존(denuded zone)에서 유핵들이 실질적으로 제거되고 벌크 영역에서는 상대적으로 높은 농도로 분포된 실리콘 웨이퍼를 제공한다. 또한, 본 발명에서는 유핵들의 농도와 분포를 직접 측정하고 그 거동을 제어함으로써, 후속 열처리에 의해 원하는 산소 침전물의 농도 프로파일을 가지는 실리콘 웨이퍼를 높은 신뢰성과 재현성을 가지고 제조한다.

대표도 - 도3



(72) 발명자

김건

경북 구미시 도량동 222 도량뜨란채 509-602

고정근

서울 강동구 명일동 257 고덕주공아파트 907동
1104호

특허청구의 범위

청구항 1

전면, 후면 및 상기 전면과 후면을 연결하는 테두리 에지부를 갖는 실리콘 웨이퍼를 준비하는 단계;
 상기 실리콘 웨이퍼 내부에 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성시키는 단계; 및
 상기 실리콘 웨이퍼 내부에 생성된 유핵들을 안정화시키는 단계;를 포함하는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 2

제1항에 있어서,
 상기 유핵들을 생성시키는 단계는 상기 실리콘 웨이퍼를 제1 온도로 열처리함으로써 수행되고,
 상기 유핵들을 안정화시키는 단계는 상기 유핵들이 생성된 실리콘 웨이퍼를 제2 온도로 열처리함으로써 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 3

제2항에 있어서,
 상기 제1 온도로 수행되는 열처리는 1~수십초 동안 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 4

제3항에 있어서,
 상기 제1 온도는 1100~1200℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서,
 상기 유핵들을 생성시키는 단계는 Ar 가스 및/또는 NH₃ 가스 분위기에서 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 6

제2항 내지 제4항 중 어느 한 항에 있어서,
 상기 제2 온도로 수행되는 열처리는 1~수십초 동안 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 7

제6항에 있어서,
 상기 실리콘 웨이퍼가 산소 이외의 불순물로서 붕소를 포함하는 실리콘 웨이퍼이고,
 상기 제2 온도는 400~800℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 8

제6항에 있어서,
 상기 실리콘 웨이퍼가 산소 이외의 불순물로서 질소를 포함하는 실리콘 웨이퍼이고,
 상기 제2 온도는 600~1000℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 9

제6항에 있어서,

상기 실리콘 웨이퍼가 베이컨시 우세 영역의 실리콘 웨이퍼이고,
상기 제2 온도는 1100~1300℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 10

제2항에 있어서,
상기 유해들을 안정화시키는 단계 이후에, 상기 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 상기 유해들 및 결함들을 제거하기 위하여 상기 제1 온도보다 높은 제3 온도로 열처리하는 단계를 더 포함하는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 11

제10항에 있어서,
상기 제3 온도로 열처리하는 단계는 1~수십초 동안 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 12

제11항에 있어서,
상기 제3 온도는 1200~1300℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 13

제1항에 있어서,
상기 유해들을 안정화시키는 단계 이후에, 상기 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 상기 유해들 및 결함들을 제거하기 위한 열처리 단계를 더 포함하는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 14

제13항에 있어서,
상기 열처리 단계는 1~수십초 동안 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 15

제14항에 있어서,
상기 열처리 단계의 온도는 1200~1300℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 16

제1항에 있어서,
상기 실리콘 웨이퍼는 그 직경이 12인치 이상인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 17

실리콘 웨이퍼 내부에 존재하는, 후속 열처리에 의해 산소 침전물이 되는 유해들을, 그 크기를 소정 기준치 이상으로 성장시켜 안정화시키는 유해 안정화 단계; 및
상기 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 유해들 및 결함들을 제거하는 표면 결함 제거 단계; 를 포함하는 실리콘 웨이퍼의 제조 방법.

청구항 18

제17항에 있어서,
상기 유해 안정화 단계가 상기 표면 결함 제거 단계보다 먼저 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 19

제17항에 있어서,

상기 유핵 안정화 단계가 상기 표면 결함 제거 단계보다 나중에 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 20

제17항 내지 제19항 중 어느 한 항에 있어서,

상기 실리콘 웨이퍼 내부에 유핵들을 생성시키는 유핵 생성 단계;를 더 포함하는 것을 특징으로 하는 실리콘 웨이퍼 제조 방법.

청구항 21

제20항에 있어서,

상기 유핵 생성 단계는 급속 열처리에 의해 수행되는 것을 특징으로 하는 실리콘 웨이퍼 제조 방법.

청구항 22

제21항에 있어서,

상기 유핵 생성 단계의 열처리 온도는 1100~1200℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 23

제20항에 있어서,

상기 유핵 생성 단계는 Ar 가스 및/또는 NH₃ 가스 분위기에서 수행되는 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 24

제20항에 있어서,

상기 실리콘 웨이퍼는 그 직경이 12인치 이상인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 25

제17항 내지 제20항 중 어느 한 항에 있어서,

상기 유핵 안정화 단계 및/또는 표면 결함 제거 단계는 급속 열처리에 의해 수행되는 것을 특징으로 하는 실리콘 웨이퍼 제조 방법.

청구항 26

제25항에 있어서,

상기 실리콘 웨이퍼가 산소 이외의 불순물로서 붕소를 포함하는 실리콘 웨이퍼이고,

상기 유핵 안정화 단계의 열처리 온도는 400~800℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 27

제25항에 있어서,

상기 실리콘 웨이퍼가 산소 이외의 불순물로서 질소를 포함하는 실리콘 웨이퍼이고,

상기 유핵 안정화 단계의 열처리 온도는 600~1000℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 28

제25항에 있어서,

상기 실리콘 웨이퍼가 베이컨시 우세 영역의 실리콘 웨이퍼이고,

상기 유핵 안정화 단계의 열처리 온도는 1100~1300℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 29

제25항에 있어서,

상기 표면 결함 제거 단계의 열처리 온도는 1200~1300℃인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 30

제17항 내지 제20항 중 어느 한 항에 있어서,

상기 실리콘 웨이퍼는 그 직경이 12인치 이상인 것을 특징으로 하는 실리콘 웨이퍼의 제조 방법.

청구항 31

전면, 후면, 상기 전면과 후면을 연결하는 테두리 에지부, 상기 전면과 후면 사이의 영역, 및 상기 영역의 중심면을 갖는 실리콘 웨이퍼에 있어서,

상기 실리콘 웨이퍼 내부에 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성시키는 제1 열처리와, 상기 실리콘 웨이퍼 내부에 생성된 유핵들을 안정화시키는 제2 열처리와, 상기 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 유핵들 및 결함들을 제거하는 제3 열처리를 포함하는 열처리에 의해, 상기 전면과 후면 사이의 영역에서 상기 유핵들의 오리진(origins)이 갖는 에너지 변화에 따라 유핵들의 분포가 변화된 것을 특징으로 하는 실리콘 웨이퍼.

청구항 32

제31항에 있어서,

상기 유핵들의 분포는 상기 중심면에서 피크를 형성하는 농도 프로파일을 갖는 것을 특징으로 하는 실리콘 웨이퍼.

청구항 33

제31항에 있어서,

상기 유핵들의 분포는 상기 전면과 후면 사이의 영역에서 2개 이상의 피크를 형성하는 농도 프로파일을 갖는 것을 특징으로 하는 실리콘 웨이퍼.

청구항 34

제31항에 있어서,

상기 전면에서 중심면 쪽으로 소정 깊이까지를 표면층이라 하고, 상기 표면층과 중심면 사이의 영역을 벌크층이라 할 때, 상기 유핵들의 농도가 상기 표면층에서보다 상기 벌크층에서 더 높은 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼.

청구항 35

제31항 내지 제34항 중 어느 한 항에 있어서,

상기 실리콘 웨이퍼는 그 직경이 12인치 이상인 것을 특징으로 하는 실리콘 웨이퍼.

청구항 36

전면, 후면, 상기 전면과 후면을 연결하는 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에 있어서,

상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디뉴드 존;

상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디뉴드 존; 및

상기 제1 및 제2 디누드 존 사이의 영역을 포함하는 벌크 영역을 포함하고,

상기 벌크 영역 내에서 후속 열처리에 의해 산소 침전물이 되는 유핵들의 농도가 상기 벌크 영역 전체에 걸쳐 실질적으로 균일한 분포를 이루는 것을 특징으로 하는 실리콘 웨이퍼.

청구항 37

제36항에 있어서,

상기 제1 및 제2 디누드 존은 각각 상기 전면 및 후면의 표면으로부터 5~30 μ m의 깊이까지 형성되어 있는 것을 특징으로 하는 실리콘 웨이퍼.

청구항 38

제36항 또는 제37항에 있어서,

상기 실리콘 웨이퍼는 그 직경이 12인치 이상인 것을 특징으로 하는 실리콘 웨이퍼.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 반도체 소자의 제조에 사용되는 실리콘 웨이퍼 및 그 제조방법에 관한 것으로, 특히 반도체 소자의 제조를 위한 후속 열처리에 의해 형성되는 산소 침전물(Oxygen Precipitate)을 소정의 분포로 제어하기 위한 기술에 관한 것이다.
- <9> 일반적으로 실리콘 웨이퍼는 크게, 실리콘 단결정 잉곳을 성장시키는 공정, 잉곳을 원반형의 웨이퍼로 슬라이싱(slicing)하는 슬라이싱 공정, 웨이퍼 표면을 경면화하는 연마(폴리싱) 공정을 통해 제조되어, 반도체 소자의 제조에 제공되게 된다. 그런데, 실리콘 단결정의 성장 과정에서 성장 이력에 따른 결정 결함 및 원하지 않는 불순물로서 특히 산소가 실리콘 단결정에 포함되게 된다. 이렇게 함유된 산소는 반도체 소자의 제조 공정에서 가해지는 열에 의해 산소 침전물로 성장하게 되는데, 이 산소 침전물은 실리콘 웨이퍼의 강도를 보강하고 내부 게터링(Internal Gettering) 사이트로서 작용하는 등 유익한 특성을 보이기도 하지만, 반도체 소자의 누설전류 및 불량(fail)을 유발하는 유해한 특성을 보인다.
- <10> 따라서, 반도체 소자가 형성되는 웨이퍼 표면으로부터 소정 깊이까지의 디누드 존(denuded zone)에는 이러한 산소 침전물이 실질적으로 존재하지 않으면서도, 소정 깊이 이상의 벌크 영역에서는 소정의 밀도 및 분포로 존재하는 웨이퍼가 요구된다. 이러한 산소 침전물의 농도 및 분포가 제어된 웨이퍼를 제공하기 위한 기술로서 다음과 같은 기술들이 알려져 있다.
- <11> 먼저, 대한민국 등록특허 제395391호에서는, 웨이퍼에 대해 1150 $^{\circ}$ C를 넘는 온도에서 수초~수십초간의 급속 열적 어닐링 처리를 통해, 웨이퍼의 중심면(벌크 영역)에서 피크 농도가 되고 웨이퍼의 전면 방향으로 대체로 감소하는 결정격자 베이컨시 농도 프로파일을 가지는 웨이퍼를 제공하고 있다. 또한, 대한민국 등록특허 제450676호에서는, 1100~1200 $^{\circ}$ C의 온도에서 5초~수십초간의 급속 열적 어닐링 처리를 통해, 도 1에 도시된 바와 같이, 대략 M자 모양의 산소 침전물 농도 프로파일을 가지는 웨이퍼를 제공하고 있다. 또한, 대한민국 등록특허 제531552호에서는, 각각 1120~1180 $^{\circ}$ C 1200~1230 $^{\circ}$ C의 온도에서 각각 1~5초 및 1~10초간의 2 단계 급속 열처리를 통해, 산소 침전물과 벌크 적층 결함을 포함하는 BMD(Bulk Micro-Defect)의 농도가, 도 2에 도시된 바와 같은 프로파일을 보이는 웨이퍼를 제공하고 있다.
- <12> 그러나, 상술한 선행기술들에도 불구하고, 반도체 소자의 제조사가 원하는 농도와 분포의 산소 침전물 농도 프로파일을 가지는 웨이퍼에 대한 요구는 점점 높아지고 있는 실정이다. 특히, 상술한 선행기술들은 종래의 소구경 웨이퍼(8인치 이하)에 대한 실험에 기초하고 있으나, 최근 반도체 소자의 제조사들은 12인치 웨이퍼와 같은 대구경 웨이퍼를 사용하는 추세에 있다. 그런데, 종래의 소구경 웨이퍼에 대한 결함 제어 방법이 그대로 대구경 웨이퍼에 적용될 수는 없다는 데에 문제가 있다. 즉, 12인치 웨이퍼도 6인치나 8인치 웨이퍼와 마찬가지로 잉곳 성장, 슬라이싱, 폴리싱 등의 공정을 통해 제조되지만, 그 결함 특성이 반드시 웨이퍼 크기에 따라 비례하는 산

술적인 관계를 갖지 않는다. 따라서, 상기의 선행기술들에 제시된 결함 제어 방법을 웨이퍼 직경의 증가분에 비례하여 산술적으로 계산하여 적용하면 전혀 원하지 않는 결과가 나오는 경우가 많다. 게다가, 웨이퍼의 대구경화에 따라, 반도체 소자의 제조시에 웨이퍼에 가해지는 열처리 공정의 조건이 변화되는 점도 문제를 더욱 복잡하게 하는 요인이다. 즉, 상술한 바와 같이, 산소 침전물은 반도체 소자의 제조 공정에서 가해지는 열에 의하여 소정 농도와 분포로 성장하게 되기 때문에, 웨이퍼 제조사가 종래의 소구경 웨이퍼에 대해 최적화된 후속 열처리(반도체 소자의 제조시 가해지는 열처리) 조건에 맞추어 초기 산소 농도 등을 조절하여 웨이퍼를 출하하더라도, 반도체 소자의 제조시 가해지는 열처리 조건이 변화하면 전혀 다른 결과가 나올 수 있다.

<13> 또한, 상술한 선행기술들은 원하는 농도와 분포의 산소 침전물이 생성되는 메커니즘을 규명하지 못하고, 간접적이고 사후적인 방법으로, 더구나 정확하지 못한 방법으로 이를 확인하고 있는 실정인바, 반도체 소자의 제조사가 원하는 다양한 요구에 원활하고 재현성 있게 대응할 수 없다는 단점을 가지고 있다.

<14> 예컨대, 상기한 등록특허 제395391호 및 제450676호는 직접적인 확인이 불가능한 원자 수준의 베이컨시 농도를 제어함으로써 반도체 소자 제조 공정에서 가해지는 후속 열처리에 의해 형성되는 산소 침전물의 농도를 제어하고자 한다. 그러나, 원자 수준의 베이컨시 농도 분포가 그대로 산소 침전물의 농도 분포로 이어진다는 가정은 증명된 바 없고, 더욱이 베이컨시 농도 분포의 직접적인 측정이 불가능하다는 점을 감안한다면, 이 선행기술들에 의한 웨이퍼의 산소 침전물 농도 프로파일은 그 신뢰성 및 재현성이 의심스럽다고 할 수밖에 없다. 또한, 상기 등록특허 제531552호의 경우는 순전히 실험적인 방법으로 결과물의 BMD 농도 프로파일을 제어하고자 하기 때문에, 열처리 과정 특히 두 단계의 열처리 과정 사이의 저온 열처리 (또는 냉각처리) 과정에서의 미세한 공정 조건의 변화에 의해 전혀 다른 결과가 도출될 가능성이 높다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<15> 본 발명은 상기의 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 후속 열처리에 의해 형성되는 산소 침전물의 농도와 분포가 원하는 프로파일로 제어되는 웨이퍼를 높은 신뢰성과 재현성을 가지고 제조하는 방법을 제공하는 데에 있다.

<16> 또한, 본 발명의 목적은 후속 열처리에 의해 형성되는 산소 침전물의 농도와 분포가 원하는 프로파일로 제어되는 웨이퍼를 제공하는 데에 있다.

발명의 구성 및 작용

<17> 상기의 목적을 달성하기 위하여 본 발명에서는, 반도체 소자의 제조공정에서 가해지는 후속 열처리에 의해 산소 침전물이 되는 유핵들(embryos)의 농도와 분포를 직접 측정하고 그 거동을 제어함으로써, 후속 열처리에 의해 원하는 산소 침전물의 농도 프로파일을 가지는 실리콘 웨이퍼를 높은 신뢰성과 재현성을 가지고 제조한다.

<18> 즉, 본 발명의 일측면에 따른 실리콘 웨이퍼의 제조방법은, 전면, 후면 및 전면과 후면을 연결하는 테두리 에지부를 갖는 실리콘 웨이퍼를 준비하는 단계; 실리콘 웨이퍼 내부에 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성시키는 단계; 및 실리콘 웨이퍼 내부에 생성된 유핵들을 안정화시키는 단계;를 포함하는 것을 특징으로 한다.

<19> 여기서, 상기 유핵들을 생성시키는 단계는 실리콘 웨이퍼를 제1 온도로 열처리함으로써 수행되고, 상기 유핵들을 안정화시키는 단계는 유핵들이 생성된 실리콘 웨이퍼를 제2 온도로 열처리함으로써 수행될 수 있다.

<20> 또한, 본 발명의 실시예에 따르면, 상기 유핵들을 안정화시키는 단계 이후에, 상기 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 상기 유핵들 및 결함들을 제거하기 위한 열처리 단계를 더 포함할 수 있다.

<21> 여기서, 상기의 각 열처리 단계는 1~수십초 동안 수행되는 급속 열처리인 것이 바람직하다.

<22> 또한, 본 발명의 실시예에 따른 실리콘 웨이퍼의 제조 방법은, 실리콘 웨이퍼 내부에 존재하는, 후속 열처리에 의해 산소 침전물이 되는 유핵들을, 그 크기를 소정 기준치 이상으로 성장시켜 안정화시키는 유핵 안정화 단계; 및 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 유핵들 및 결함들을 제거하는 표면 결함 제거 단계를 포함한다.

<23> 여기서, 상기 유핵 안정화 단계와 표면 결함 제거 단계는 이 순서로 또는 반대의 순서로 수행될 수 있고, 실리콘 웨이퍼 내부에 유핵들을 생성시키는 유핵 생성 단계;를 더 포함할 수 있다.

<24> 이와 같은 제조 방법에 의해 제조된 본 발명에 따른 실리콘 웨이퍼는, 전면, 후면, 전면과 후면을 연결하는 테

두리 에지부, 전면과 후면 사이의 영역, 및 이 영역의 중심면을 갖는 실리콘 웨이퍼로서, 실리콘 웨이퍼 내부에 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성시키는 제1 열처리와, 실리콘 웨이퍼 내부에 생성된 유핵들을 안정화시키는 제2 열처리와, 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 유핵들 및 결합들을 제거하는 제3 열처리를 포함하는 열처리에 의해, 상기 전면과 후면 사이의 영역에서 상기 유핵들의 오리진(origins)이 갖는 에너지 변화에 따라 유핵들의 분포가 변화된 실리콘 웨이퍼이다.

- <25> 여기서, 상기 전면에서 중심면 쪽으로 소정 깊이까지를 표면층이라 하고, 이 표면층과 중심면 사이의 영역을 벌크층이라 할 때, 상기 유핵들의 농도가 표면층에서보다 벌크층에서 더 높은 분포를 갖는 것이 바람직하다.
- <26> 또한, 더 구체적으로, 상기 유핵들의 분포는 중심면에서 피크를 형성하는 농도 프로파일을 갖거나, 상기 전면과 후면 사이의 영역에서 2개 이상의 피크를 형성하는 농도 프로파일을 가질 수 있다.
- <27> 또한, 본 발명의 다른 측면에 따른 실리콘 웨이퍼는, 전면, 후면, 전면과 후면을 연결하는 테두리 에지부 및 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼로서, 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존; 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존; 및 제1 및 제2 디누드 존 사이의 영역을 포함하는 벌크 영역을 포함하고, 상기 벌크 영역 내에서 후속 열처리에 의해 산소 침전물이 되는 유핵들의 농도가 벌크 영역 전체에 걸쳐 실질적으로 균일한 분포를 이루는 것을 특징으로 한다.
- <28> 이와 같이 본 발명에서는 후속 열처리에 의해 산소 침전물로 성장하는 유핵들을 생성하고 안정화시킴으로써 원하는 농도와 프로파일로 분포시킨다.
- <29> 본 발명은, 특별히 한정되지는 않지만, 12인치 이상의 대구경 웨이퍼에 특히 유효하게 적용할 수 있다.
- <30> 이하 본 발명의 바람직한 실시예에 따른 실리콘 웨이퍼 및 그 제조 방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <31> 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- <32> 본 발명에서는 전술한 바와 같이, 잉곳 형태로 제조된 실리콘 단결정을 슬라이싱한 웨이퍼의 내부에 후속 열처리에 의해 산소 침전물로 되는 유핵들을 생성시키고 안정화시킨다. 여기서, 본 발명의 유핵(embryo)에 대하여 먼저 설명한다.
- <33> 일반적으로, 고상 결정은 균일한 액체 또는 기체 혼합물(이하, 설명의 편의상 간단히 용액이라 한다) 안에서 결정핵이 먼저 생성되고 이 결정핵이 성장하는 결정화 과정을 거쳐 얻어진다. 결정핵은 원자, 분자, 이온 등의 입자로부터 형성될 수 있는데, 이를 좀더 세분하면, 입자들의 무질서한 운동의 결과 개별 입자들은 군(cluster)이라 불리는 아주 느슨한 응집을 형성하기도 하는데, 이 군은 통상 빠른 시간 내에 다시 개별 입자로 되돌아가므로써 사라진다. 그러나, 군 또는 개별 입자들은 유핵(embryos)이라 불리는 것으로 연합하여 격자 배열의 발단이 되기도 한다. 보통 이 유핵은 수명이 짧아서 군 또는 개별 입자로 쉽게 되돌아가지만, 과포화도가 충분하면 유핵은 용액과 열역학적으로 평형을 이루면서 일정한 크기(임계 크기) 이상으로 자라게 되어 개별 입자로 돌아가지 않고 고유한 입자로서 존재하게 된다. 이것을 핵(nucleus)이라 하고, 이 핵은 채용해되지 않을 정도의 입자의 최소 단위로서 성장해서 결정(crystal)을 이룰 수 있다. 즉, 유핵은 통상 성장하여 결정으로 될 수 있는 임계 크기 미만의 불안정한 고상 입자들이라 할 수 있다.
- <34> 본 발명에서 말하는 '후속 열처리에 의해 산소 침전물이 되는 유핵'이란, 실리콘 웨이퍼 내의 실리콘 원자와 인터스티셜(interstitial) 산소 원자의 연합으로서, 이는 채용해되어 다시 실리콘 원자와 인터스티셜 산소 원자로 되돌아가기 쉬운 상태이지만, 적절한 안정화 단계를 거침으로써 채용해되지 않고 반도체 소자의 제조 공정에서 가해지는 후속 열처리에 의해 산소 침전물로 될 수 있는 상태를 말한다. 즉, 본 발명에서 말하는 '후속 열처리에 의해 산소 침전물이 되는 유핵'(이하, 단순히 '유핵'이라 한다)은 원자 수준의 산소 베이컨시(vacancy)와는 다른 것이며 산소 침전물 자체와도 다른 것으로, 말하자면 분자 수준에서 상대적으로 안정화된 구조를 취한다. 따라서, 본 발명에 의해 안정화된 유핵은, 불안정하여 개별 입자로 되돌아가기 쉬운 전통적인 의미의 유핵과도 다른 개념이다.

- <35> 즉, 종래의 산소 침전물에 관한 접근 방식은 다음의 관계식 (1)로 설명할 수 있는데, 관계식 (1)에서 베이컨시와 인터스티셜 Si는 아직까지 그 농도를 직접적으로 측정할 수 있는 방법이 없는 원자 수준의 결합으로, 이러한 모델로는 결과물인 산소 침전물과의 상관관계가 명확히 규명이 되지 않는다.
- <36> $(1+y)Si + 2O_{interstitial} + xVacancy \Rightarrow SiO_2 + Si_{interstitial} \quad (1)$
- <37> 반면, 본 발명의 유핵은 다음과 같은 관계식 (2)로 개념지을 수 있다.
- <38> $Si + 2O_{interstitial} + aVacancy \Leftrightarrow Embryo + bO_{interstitial} + cVacancy$
- <39> $\Leftrightarrow SiO_2 + Si_{interstitial} \quad (2)$
- <40> 즉, 관계식 (2)에서 중간 항의 유핵(Embryo)은 원자 수준의 베이컨시와 결과물인 산소 침전물의 중간 단계로서 기존의 불명확하던 상관관계를 이어주는 개념이다. 구체적인 상관관계는 후술한다.
- <41> 한편, 내부 게터링 사이트로 작용하는 산소 침전물을 포함하는 BMD의 밀도는, 초기 산소 농도, 결정 결합 영역 및 반도체 소자 제조 공정에서의 열처리 조건 등에 영향을 받는다. 이중 마지막의 반도체 소자 제조 공정에서의 열처리 조건은 반도체 소자의 제조사마다 다르고, 정확한 조건을 설정할 수 없기 때문에, 또한 이러한 후속 열처리 조건에 무관하게 고품질의 열처리 웨이퍼를 제공한다는 과제에 입각하여 마지막의 후속 열처리 조건을 제외하고, 각 인자(초기 산소 농도, 결정 결합 영역)별로 BMD 밀도에 미치는 영향을 분석하고 충분한 게터링 능력을 확보할 수 있는 각 인자의 조건을 구해 보았다.
- <42> 그 결과, 기본적으로, 초기 산소 농도(Initial O_i), Delta O_i 및 BMD 밀도는 서로 비례하는 것으로 나타났으며, 충분한 내부 게터링 능력을 갖도록 하기 위해서는 초기 산소 농도가 적어도 12ppma 이상인 것이 요구되는 것으로 나타났다. 한편, 결정 결합 영역과 관련해서, 베이컨시 우세 영역에서는 상기의 초기 산소 농도, Delta O_i 및 BMD 밀도의 양의 상관관계가 나타났으나, 인터스티셜 우세 영역에서는 이들간의 상관관계가 크지 않은 것으로 나타났다. 즉, 인터스티셜 우세 영역의 경우 Delta O_i 및 BMD 밀도가 초기 산소 농도에 별로 영향을 받지 않는다는 뜻이고, 그 결과 초기 산소 농도가 웨이퍼 면내에 균일하게 분포하더라도, 결정 결합 영역에 따라서는 산소 석출물이 웨이퍼 면내에 고르게 분포하지 않을 수 있고, 결과적으로 내부 게터링 능력의 편차가 발생하여 결국 반도체 소자의 수율에 영향을 미칠 가능성이 크다는 것을 의미한다.
- <43> 또한, 실제 BMD(산소 석출물) 밀도와 게터링 능력의 상관관계를 확인해 본 결과, 기본적으로 산소 석출물 밀도가 높을수록 게터링 능력이 높은 것으로 나타났지만, 상술한 바와 같이 결정 결합 영역에 따른 편차가 크게 나타났다. 하지만, BMD 밀도가 일정 수준 이상이 되면 영역에 따른 편차에도 불구하고 실용적인 수준의 게터링 능력이 나타났다.
- <44> 이상을 종합하면, 반도체 소자의 제조 공정에서 충분한 게터링 능력을 가지는 웨이퍼를 제공하려면, 초기 산소 농도가 12ppma 이상이고, 베이컨시 우세 결정 결합 영역으로만 잉곳을 성장시킬 것이 요구된다. 그러나, 이는 현재의 기술 수준으로서 무리이거나 비실용적이다. 이에, 본 발명자들은 후속 열처리 공정에 의해 산소 침전물로 성장하는 유핵의 개념을 도입하고, 이러한 기준에 미치지 못하는 웨이퍼에 대하여 유핵의 분포를 균일하고 높은 밀도로 만들어 원하는 BMD 수준을 달성할 수 있는 방법을 제공한다.
- <45> 이에, 도 3 내지 도 7을 참조하여 본 발명의 실시예에 따른 실리콘 웨이퍼의 제조 방법과 그에 의해 제조된 웨이퍼에 대해 설명한다.
- <46> 도 3은 본 발명의 실시예에 따른 웨이퍼의 제조 과정을 도시한 전체 공정 흐름도로서, 본 실시예의 웨이퍼는 크게, 웨이퍼를 준비하는 단계(S10~S30), 유핵을 생성하고 안정화하는 단계(S40,S50), 웨이퍼 표면 결함을 제거하는 단계(S60), 세정 등의 후처리 단계(S70)로 이루어진다. 여기서, 본 발명의 주요한 부분은 단계 S40~S60으로서, 이 단계들은 도 4의 공정 다이어그램과, 각각 도 5 내지 도 7의 개념도에 따라 상세히 설명된다. 한편, 나머지 단계들(S10~S30 및 S70)은 본 발명이 속하는 기술분야에 알려진 통상의 방법에 따라 수행하면 되므로 간략하게 설명된다.
- <47> 먼저, 실리콘 웨이퍼를 준비하는 단계로서, 통상의 초크랄스키법 등의 방법에 의해 잉곳 형태의 실리콘 단결정을 성장시킨다(S10). 즉, 도가니에 용융된 실리콘 용액에 씨드 결정(seed crystal)을 담고 결정 성장 속도(V)와 용액 계면에서의 성장 방향의 온도 구배(G)를 조절하면서 인상하여 실리콘 단결정을 성장시킨다. 이어서, 성장된 실리콘 단결정인 잉곳을 원반 형태의 웨이퍼로 슬라이싱한다(S20). 이어서, 웨이퍼 전처리 단계(S30)로서, 슬라이싱할 때 발생한 손상(damage)을 제거하고 웨이퍼의 측면 또는 표면을 식각하기 위한 에칭 공정을 진

행한다.

- <48> 이어서, 본 발명의 실시예에 따라 유핵을 생성하고 안정화하는 등의 단계를 수행하는데, 구체적으로는 급속 열처리(Rapid Thermal Prosscensing; RTP)에 의해 다음과 같이 수행된다.
- <49> 먼저, 상술한 바와 같이 전처리된 웨이퍼를 RTP 장비에 로딩하고(도 4에서 t_1 까지), 유핵이 생성되는 제1 온도(T_1 , 예컨대 1100~1200℃)까지 소정의 온도 상승률(예컨대 50℃/sec)로 급격히 온도를 증가시킨다($t_1 \sim t_2$). 장비 내의 온도가 제1 온도(T_1)에 도달하면 비교적 짧은 소정의 시간 동안(예컨대 1~수십초) 제1 온도를 유지하며, 아르곤(Ar)과 같은 불활성 가스 및/또는 암모니아(NH_3) 가스를 흘려준다.
- <50> 그러면, 도 5에 도시된 바와 같이, 웨이퍼의 전 영역에 걸쳐 유핵들(20)이 생성된다. 한편, 웨이퍼에는 도 5에 도시된 바와 같이, 실리콘 단결정의 성장시(S10) 이미 생성된 다양한 크기의 유핵들(10,15)이 생성되어 있을 수 있다. 이 경우, 이미 생성되어 있는 유핵들(10,15)과 단계 S40에 의해 생성된 유핵들(20)은 실제로 구분되지 않으나, 도 5에서는 설명의 편의상 구분하여 도시하였다.
- <51> 한편, 전술한 바와 같이, 실리콘 단결정 잉곳이나 웨이퍼의 경우 잉곳의 성장 위치나 반경 방향, 또는 결정 결합 영역에 따라 단결정 성장시에 생성된 유핵의 밀도나 크기가 다를 수 있고, 결과적으로 내부 게터링 능력이 다를 수 있다. 따라서, 이 유핵 생성 단계는 일정한 게터링 능력을 가질 수 있도록 이 유핵의 밀도를 일정한 수준 이상으로 증가시키는 것이다. 이는, 바꾸어 말하면, 이미 단결정 성장시에 생성된 유핵이 충분히 고르고 높은 밀도로 존재하는 경우(전술한 바에 의하면, 예컨대 초기 산소 농도가 12ppma 이상이고 결정 결합 영역이 베이컨시 우세 영역인 경우)에는 굳이 이 단계를 수행하지 않아도 됨을 의미한다.
- <52> 이렇게 유핵 생성 단계에 의해 생겨난 유핵을 포함한 이 단계에서의 유핵들(10,15,20)은 아직 안정화되지 않은 유핵들로서 개별 입자(인터스티셜 산소 원자와 실리콘 원자)로 쉽게 되돌아갈 수 있는 상태이다. 따라서, 다음과 같이 유핵들을 안정화시키는 단계를 수행하는 것이 바람직하다.
- <53> 즉, 전술한 바와 같이, 유핵이 반도체 소자 제조 공정에서 게터링 능력을 갖기 위해서는 산소 침전물로 성장하여야 하는데, 이러한 산소 침전물로의 성장 조건 중 가장 중요한 인자는 반도체 소자 제조 공정의 온도이며, 이 온도가 너무 낮거나 높은 경우 유핵은 산소 침전물로 성장하기 어렵다. 따라서, 다양한 후속 열처리 온도에 큰 영향을 받지 않고 산소 침전물로 성장하기 위해서는, 산소 침전물로 자랄 수 있는 유핵의 크기가 단결정 성장시에 발생한 유핵의 크기보다 더 큰 소정의 크기(critical size) 이상으로 자라야 한다. 이 유핵 안정화 단계는 유핵을 일정한 크기 이상으로 성장시켜 후속 열처리에 의해 용이하게 산소 침전물로 자랄 수 있게 하는 단계이다.
- <54> 이 유핵 안정화 단계는 일반적인 웨이퍼의 경우 초기 산소 농도에 크게 관계없이 적용하는 것이 바람직하다. 다만, 이종 원소(질소, 탄소 등)를 도핑한 웨이퍼, 고농도로 불순물을 도핑한 웨이퍼(예컨대, 비저항이 1Ω-cm 이하) 등 유핵이 이미 안정된 경우는 이 단계를 적용하지 않아도 된다.
- <55> 구체적으로, 유핵들을 안정화시키는 단계(S50)는 제2 온도(T_2)로 열처리함으로써 수행되는데, 구체적으로, RTP 장비 내의 온도를 제1 온도(T_1)로부터 제2 온도(T_2)로 소정의 온도 변화율(예컨대 50~70℃/sec)로 급격히 변화시킨다. 장비 내의 온도가 제2 온도(T_2)에 도달하면 소정의 시간 동안(예컨대, 1~수십초) 제2 온도를 유지하여 유핵들을 안정화시킨다. 이때, Ar과 같은 불활성 가스는 계속 흘려주되 단계 S40에서 흘려주었던 NH_3 가스는 차단한다.
- <56> 여기서, 제2 온도(T_2)는 도 4에 도시된 바와 같이, 제1 온도(T_1)보다 낮은 경우가 많지만, 유핵 및 산소 침전물을 구성하는 산소 이외의 불순물 원자의 종류에 따라 다양하게 설정되며 제1 온도보다 높을 수도 있다. 즉, 예컨대 웨이퍼가 산소 이외의 불순물을 실질적으로 포함하지 않는 순수 실리콘 웨이퍼인 경우, 유핵 및 산소 침전물은 SiO_x 로 되며 제2 온도(T_2)는 600~900℃인 것이 바람직하고, 불순물로서 붕소(B)를 포함하는 경우 유핵 및 산소 침전물은 BO_x 가 되며 제2 온도는 400~800℃인 것이 바람직하다. 또한, 실리콘 웨이퍼가 불순물로서 질소(N)를 포함하는 경우 유핵 및 산소 침전물은 NO_x 가 되며 제2 온도는 600~1000℃인 것이 바람직하고, 원재료 웨이퍼(웨이퍼 전처리(S30)까지 진행된 웨이퍼)에 베이컨시가 매우 높은 밀도로 존재한다면 유핵은 SiO_x -베이컨시 결합형태가 되며 제2 온도는 1100~1300℃인 것이 바람직하다.
- <57> 이와 같이 웨이퍼에 포함되는 불순물의 종류에 따라 제2 온도를 달리 설정하여 소정 시간 동안 유지하면, 도 6

에 도시된 바와 같이, 웨이퍼의 내부에 존재하는 유핵들(10,15,20)은 안정화되어(10',15',20' 참조) 쉽사리 개별 원자로 되돌아가지 않고, 반도체 소자의 제조시 가해지는 열처리에 의해 산소 침전물로 성장하게 된다. 한편, 도 5에서와 마찬가지로, 실리콘 단결정의 성장시(S10) 이미 생성되어 단계 S50에서 안정화된 유핵들(10',15')과 단계 S40에 의해 생성되어 단계 S50에서 안정화된 유핵들(20')은 실제로 구분되지 않으나, 도 6에서는 설명의 편의상 구분하여 도시하였다.

- <58> 이어서, 나중에 반도체 소자가 형성되는 웨이퍼의 표면으로부터 소정 깊이까지의 디누드 존을 형성하기 위해 표면 결함을 제거하는 단계가 수행된다. 전술한 바와 같이, 산소 침전물은 벌크 영역에서 케터링 사이트로 작용하지만, 산소 침전물이 반도체 소자를 만들 영역(웨이퍼 표면에서 약 5~30 μ m 내외)에 존재하는 경우 접합 전류 및 누설 전류 등 소자 수율에 직접적으로 영향을 미치게 된다. 따라서, 웨이퍼 표면으로부터 일정한 깊이까지는 산소 침전물이 억제되고, 표면 결함도 없는 디누드 존(denuded zone)이 필요하다. 이를 위하여 일정한 깊이 이내에 존재하는 유핵은 제거되는 것이 바람직하며, 이를 가능하게 하는 공정이 표면 결함 제거 단계이다.
- <59> 이 표면 결함 제거 단계는 대부분의 웨이퍼라면 반드시 거치는 단계이다. 특히, 상술한 유핵 생성 및 안정화 단계를 거친 웨이퍼의 경우, 웨이퍼의 표면 영역에도 유핵이 존재할 수 있다. 따라서, 전술한 유핵 생성 단계(S40)나 유핵 안정화 단계(S50)를 거친 웨이퍼, 이중 원소(질소, 탄소 등)가 도핑된 웨이퍼, 고농도로 불순물이 도핑된 웨이퍼, 초기 산소 농도가 비교적 높은(예컨대 8ppma 이상) 웨이퍼의 경우 반드시 결함 제거 단계를 수행할 필요가 있다.
- <60> 구체적으로, 표면 결함 제거 단계(S60)는 제1 온도(T₁)보다 높은 제3 온도(T₃)에서의 RTP에 의해 수행되는데, 구체적으로, RTP 장비 내의 온도를 제2 온도(T₂)로부터 제3 온도(T₃, 예컨대 1200~1300 $^{\circ}$ C)로 소정의 온도 변화율(예컨대 50~70 $^{\circ}$ C/sec)로 급격히 변화시킨다. 장비 내의 온도가 제3 온도(T₃)에 도달하면 소정의 시간 동안(예컨대, 1~수십초) 제3 온도를 유지한다. 이때, Ar과 같은 불활성 가스를 계속 흘려주고 경우에 따라서는 미량의 산소(O₂)를 함께 흘려줄 수 있다.
- <61> 그러면, 도 7에 도시된 바와 같이, 웨이퍼의 표면으로부터 소정 깊이(d)까지는 유핵들(10',15',20')이 거의 모두 제거되어 디누드 존(30)이 형성되고, 그 이하에는 안정화된 유핵들(10',15',20')이 존재하는 벌크 영역이 된다. 한편, 도 7에서는 웨이퍼의 일측 표면 근방만 도시하였으나 단계 S60을 수행함으로써 웨이퍼의 전면 및 후면의 양측 표면에 디누드 존이 형성된다.
- <62> 이와 같이 단계 S40~S60이 수행된 후, RTP 장비 내의 온도를 소정의 온도 하강률(예컨대 50 $^{\circ}$ C/sec)로 하강시켜 웨이퍼를 언로딩함으로써 본 발명에 따른 유핵 생성 및 안정화 등의 과정이 완료된다. 언로딩된 웨이퍼에 대해서는 통상의 경면 연마 공정 및 세정 공정이 수행되어 반도체 소자의 제조에 제공될 웨이퍼가 완성된다.
- <63> 이와 같은 제조 방법에 의해 제조된 본 발명에 따른 실리콘 웨이퍼는, 원재료 웨이퍼에 대하여, 실리콘 웨이퍼 내부에 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성시키는 제1 열처리와, 실리콘 웨이퍼 내부에 생성된 유핵들을 안정화시키는 제2 열처리와, 실리콘 웨이퍼의 전면과 후면으로부터 소정 깊이 내부의 유핵들 및 결함들을 제거하는 제3 열처리를 포함하는 열처리에 의해, 그 내부의 유핵들의 분포가 변화된 실리콘 웨이퍼이다. 다시 말해, 원재료 웨이퍼는 상기의 열처리에 의해 유핵들의 오리진(origins) 즉, 원자 수준의 산소와 실리콘이 갖는 결합 에너지가 변화되고 그 결과로서 유핵들의 분포가 변화된 본 발명의 실리콘 웨이퍼가 된다.
- <64> 구체적으로, 본 발명에 따라 제조되어 반도체 소자의 제조에 제공될 실리콘 웨이퍼는, 웨이퍼의 전후면(또는 적어도 소자가 형성될 전면)에서 중심면 쪽으로 소정 깊이까지를 표면층이라 하고, 이 표면층과 중심면 사이의 영역을 벌크층이라 할 때, 유핵들의 농도가 표면층에서보다 벌크층에서 더 높은 분포를 갖게 된다.
- <65> 또한, 벌크층에서 더 높은 농도로 분포되는 이 유핵들은 벌크층 전체에서 실질적으로 균일한 분포를 가져 도 2에 도시된 것과 유사한 농도 프로파일을 가질 수 있다. 또는, 이 유핵들은 중심면에서 피크를 형성하는 농도 프로파일을 갖거나, 전면과 후면 사이의 영역에서 2개 이상의 피크를 형성하여 도 1에 도시된 것과 유사한 농도 프로파일을 가질 수 있다.
- <66> 한편, 상술한 유핵 생성 단계(S40), 유핵 안정화 단계(S50) 및 표면 결함 제거 단계(S60)의 각각은 원재료 웨이퍼(웨이퍼 전처리(S30)까지 진행된 웨이퍼)의 특성에 따라 생략될 수 있음은 전술한 바와 같다. 나아가, 상술한 설명에서는 유핵 생성 단계(S40), 유핵 안정화 단계(S50) 및 표면 결함 제거 단계(S60)가 이러한 순서로 수행되는 것으로 도시되고 설명되었지만, 본 발명이 반드시 이에 한정되지는 않는다. 즉, 원재료 웨이퍼의 특성에 따라서는, S50~S60, S40~S60~S50, S60~S50 등과 같이, 위의 세 단계를 재배열하거나 건너뛸 수 있다.

<67> 이상과 같이, 본 발명의 웨이퍼 제조 방법에 의하면, 웨이퍼의 실리콘 원자 또는 불순물 원자와 인터스티셜 산소 원자의 연합인 유핵들을 생성하고 안정화시킴으로써, 반도체 소자의 제조시에 가해지는 후속 열처리에 의해 산소 침전물이 되게 한다. 특히, 본 발명에서는 각 단계에서 생성되고 안정화되는 유핵들을 간접적인 방법이 아니라 TEM(Transmission Electron Microscopy)을 이용해 직접적으로 관찰함으로써 그 농도 프로파일을 확인하였다. 그 결과, 본 발명에 의해 제조된 웨이퍼는 웨이퍼 전면과 후면의 표면으로부터 소정 깊이까지 실질적으로 유핵이나 결함이 존재하지 않는 디누드 존이 형성되었으며, 벌크 영역에서는 유핵들의 농도가 벌크 영역 전체에 걸쳐 실질적으로 균일한 분포를 이루는 것을 확인하였다.

<68> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허 청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

<69> 이상과 같이 본 발명에 의하면, 후속 열처리에 의해 산소 침전물이 되는 유핵들을 생성하고 안정화시킴으로써, 후속 열처리에 의해 형성되는 산소 침전물의 농도와 분포가 원하는 프로파일로 제어되는 웨이퍼를 높은 신뢰성과 재현성을 가지고 제조할 수 있으며, 후속 열처리에 의해 형성되는 산소 침전물의 농도와 분포가 원하는 프로파일로 제어되는 웨이퍼를 제공할 수 있다.

<70> 특히, 본 발명에서는 유핵들을 안정화시키는 처리를 행하고 유핵들의 분포를 직접적인 방법으로 확인함과 함께 실제 성장된 산소 침전물의 농도 프로파일을 확인함으로써 검증하였으므로, 완성된 반도체 웨이퍼, 나아가 반도체 소자의 신뢰성을 현저하게 향상시킬 수 있다.

<71> 또한, 본 발명에 의하면, 유핵의 생성, 안정화, 표면 결함 제거 단계를 원재료 웨이퍼의 특성에 맞게 재배열하거나 생략함으로써 다양한 상황에 맞추어 공정 자유도가 증대된다.

<72> 나아가, 본 발명에 의하면, 순수 실리콘 웨이퍼 뿐만 아니라 다른 불순물이 함유된 웨이퍼의 유핵들의 생성 및 안정화 조건들을 제시함으로써 다양한 웨이퍼의 산소 침전물의 농도 및 분포 제어가 용이하게 된다.

도면의 간단한 설명

<1> 도 1은 종래기술에 따른 급속 열적 어닐링 처리가 실시된 웨이퍼에 대해 후속 열처리가 수행된 후의 산소 침전물 농도 프로파일을 도시한 그래프이다.

<2> 도 2는 다른 종래기술에 따라 2 단계 급속 열처리가 실시된 웨이퍼에 대해 후속 열처리가 수행된 후의 산소 침전물과 벌크 적층 결함을 포함하는 BMD(Bulk Micro-Defect)의 농도 프로파일을 도시한 그래프이다.

<3> 도 3은 본 발명의 실시예에 따라 실리콘 웨이퍼를 제조하는 과정을 설명하는 흐름도이다.

<4> 도 4는 본 발명의 실시예에 따른 공정 다이어그램이다.

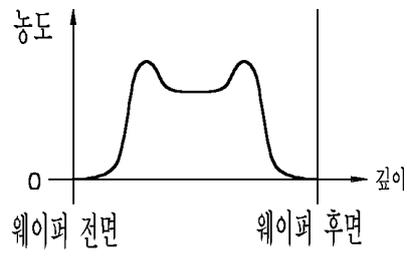
<5> 도 5는 본 발명의 실시예에 따라, 후속 열처리에 의해 산소 침전물로 되는 유핵들(embryos)을 생성하는 과정을 개념적으로 도시한 도면이다.

<6> 도 6은 본 발명의 실시예에 따라 도 5의 유핵들을 안정화시키는 과정을 개념적으로 도시한 도면이다.

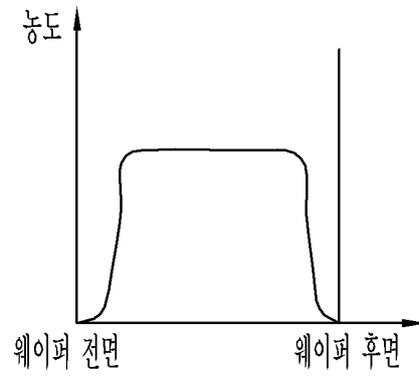
<7> 도 7은 본 발명의 실시예에 따라 웨이퍼 표면의 결함을 제거하는 과정을 개념적으로 도시한 도면이다.

도면

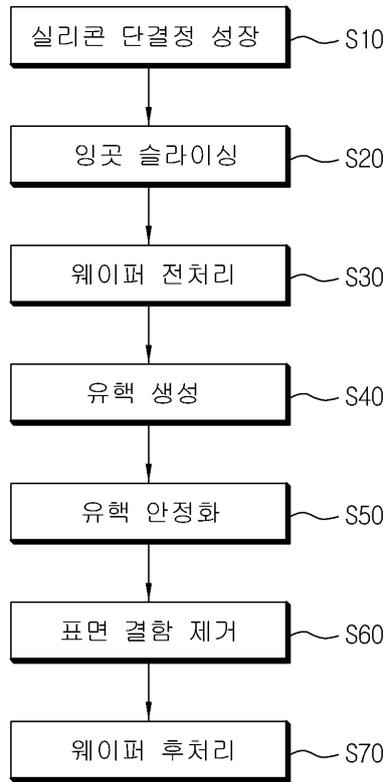
도면1



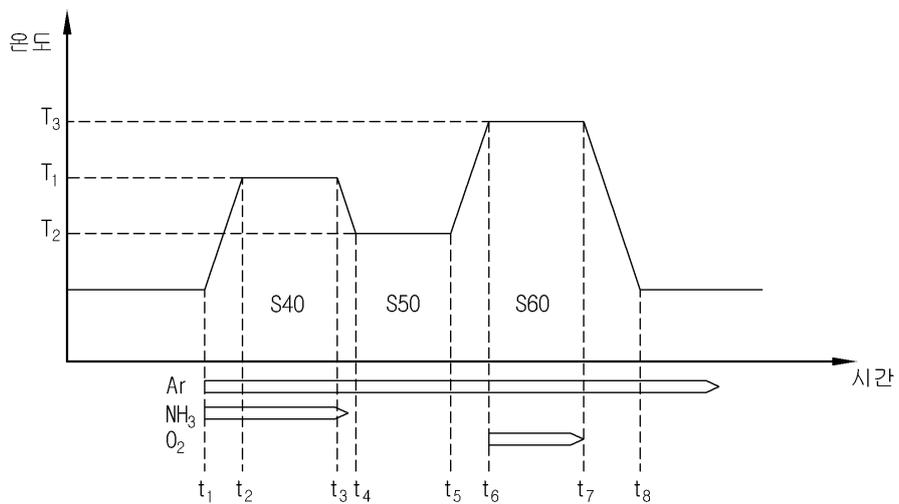
도면2



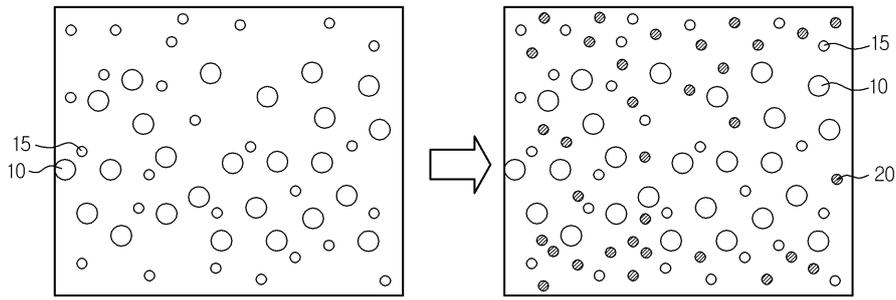
도면3



도면4

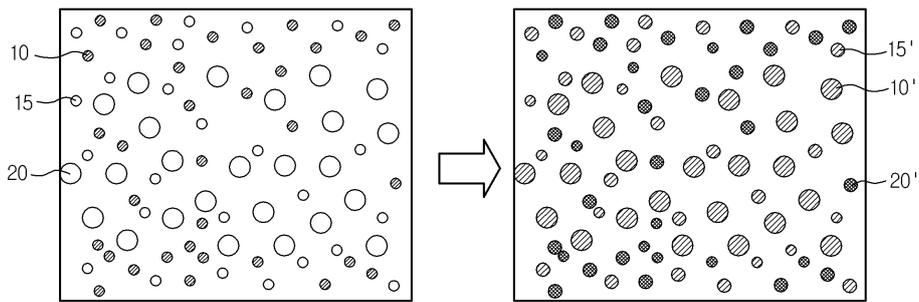


도면5



- 단결정 성장시 생성된 유핵
- 단결정 성장시 생성된 유핵
- 유핵 생성 단계에서 생성된 유핵

도면6



- 단결정 성장시 생성된 유핵
- 단결정 성장시 생성된 유핵
- 유핵 생성 단계에서 생성된 유핵
- } 유핵 안정화 단계에서 안정화된 유핵

도면7

