



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0050789
(43) 공개일자 2010년05월14일

(51) Int. Cl.

G11C 16/06 (2006.01) *G11C 16/08* (2006.01)

(21) 출원번호 10-2008-0109859

(22) 출원일자 2008년11월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김재홍

서울특별시 강남구 도곡동 도곡1차 I-PARK 101동 1504호

김용준

서울특별시 서초구 서초3동 1467~1480 1473-9 삼화빌라 202호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

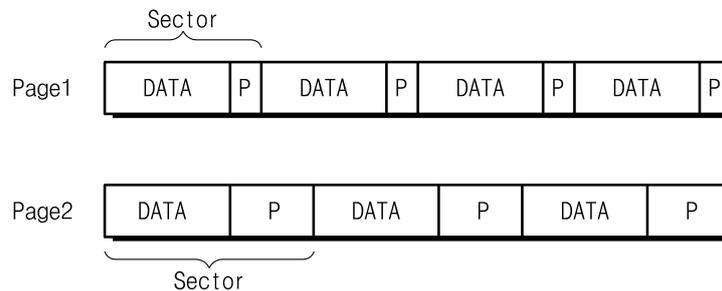
전체 청구항 수 : 총 13 항

(54) 메모리 장치 및 그것을 포함하는 메모리 시스템

(57) 요약

본 발명의 실시 예에 따른 메모리 장치는 워드 라인, 그리고 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 페이지를 형성하고, 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 것을 특징으로 한다.

대표도 - 도5



(72) 발명자

은희석

경기도 용인시 기흥구 농서동 삼성종합기술원 기숙
사 A-213호

송승환

경기도 수원시 영통구 매탄3동 주공그린빌아파트
304동 1801호

특허청구의 범위

청구항 1

워드 라인; 그리고

상기 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고,

상기 복수의 메모리 셀들은 페이지를 형성하고,

상기 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 페이지의 신뢰도가 낮은 경우, 상기 페이지를 구성하는 섹터들의 수가 감소되는 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 페이지의 신뢰도는 상기 페이지의 프로그램/소거 횟수에 따라 판별되는 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 페이지의 신뢰도는 상기 페이지의 메모리 셀들의 문턱 전압의 변화에 따른 상기 페이지의 논리값의 변화 횟수에 따라 판별되는 메모리 장치.

청구항 5

제 2 항에 있어서,

상기 페이지의 신뢰도는 상기 페이지의 각각의 메모리 셀의 논리 상태를 판별하기 위해 상기 페이지에 읽기 전압이 인가되는 횟수에 따라 판별되는 메모리 장치.

청구항 6

제 2 항에 있어서,

상기 감소된 섹터에 대응하는 저장 용량에 상기 페이지에 저장되는 섹터들을 위한 패리티가 저장되는 메모리 장치.

청구항 7

제 2 항에 있어서,

상기 페이지에 저장되는 섹터들은 적어도 하나의 그룹들로 재구성되고, 상기 재구성된 그룹들 각각이 새로운 섹터로 설정되는 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 복수의 그룹들 각각의 저장 용량은 동일한 메모리 장치.

청구항 9

제 7 항에 있어서,

상기 메모리 셀들에 저장되는 섹터들의 부호율과 상기 새로 설정된 섹터들의 부호율은 동일한 메모리 장치.

청구항 10

제 1 항에 있어서,

각각의 메모리 셀들은 상위 데이터 비트 및 하위 데이터 비트를 저장하고,

상기 복수의 메모리 셀들의 상위 데이터 비트들은 상위 페이지를 형성하고, 상기 복수의 메모리 셀들의 하위 데이터 비트들은 하위 페이지를 형성하고,

상기 상위 및 하위 페이지들을 구성하는 섹터들의 수 및 각각의 섹터의 사이즈는 각각의 페이지에서 독립적으로 가변되는 메모리 장치.

청구항 11

제 10 항에 있어서,

상기 상위 데이터 비트를 판별하기 위해 요구되는 읽기 동작의 수는 상기 하위 데이터 비트를 판별하기 위해 요구되는 읽기 동작의 수보다 적은 경우,

상기 하위 페이지를 구성하는 섹터들의 수는 상위 페이지를 구성하는 섹터들의 수보다 적게 설정되는 메모리 장치.

청구항 12

메모리 장치; 그리고

상기 메모리 장치를 제어하기 위한 컨트롤러를 포함하고,

상기 메모리 장치는

워드 라인; 그리고

상기 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고,

상기 복수의 메모리 셀들은 페이지를 형성하고,

상기 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 메모리 시스템.

청구항 13

제 12 항에 있어서,

상기 메모리 장치 및 상기 컨트롤러는 하나의 반도체 장치를 구성하는 메모리 시스템.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 메모리 장치 및 그것을 포함하는 메모리 시스템에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM, DRAM, SDRAM 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터가 소멸하지 않는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM, PROM, EPROM, EEPROM, 플래시 메모리 장치, PRAM, MRAM, RRAM, FRAM 등이 있다. 플래시 메모리 장치는 크게 노어 타입과 낸드 타입으로 구분된다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은 신뢰성 및 데이터 저장 효율이 향상된 메모리 장치를 제공하는 데에 있다.

과제 해결수단

[0005] 본 발명의 실시 예에 따른 메모리 장치는 워드 라인; 그리고 상기 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들은 페이지를 형성하고, 상기 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변된다.

[0006] 실시 예로서, 상기 페이지의 신뢰도가 낮은 경우, 상기 페이지를 구성하는 섹터들의 수가 감소된다. 상기 페이지의 신뢰도는 상기 페이지의 프로그램/소거 횟수에 따라 판별된다.

[0007] 실시 예로서, 상기 페이지의 신뢰도는 상기 페이지의 메모리 셀들의 문턱 전압의 변화에 따른 상기 페이지의 논리값의 변화 횟수에 따라 판별된다.

[0008] 실시 예로서, 상기 페이지의 신뢰도는 상기 페이지의 각각의 메모리 셀의 논리 상태를 판별하기 위해 상기 페이지에 읽기 전압이 인가되는 횟수에 따라 판별된다.

[0009] 실시 예로서, 상기 감소된 섹터에 대응하는 저장 용량에 상기 페이지에 저장되는 섹터들을 위한 패리티가 저장된다.

[0010] 실시 예로서, 상기 페이지에 저장되는 섹터들은 적어도 하나의 그룹들로 재구성되고, 상기 재구성된 그룹들 각각이 새로운 섹터로 설정된다. 상기 복수의 그룹들 각각의 저장 용량은 동일하다.

[0011] 실시 예로서, 상기 메모리 셀들에 저장되는 섹터들의 부호율과 상기 새로 설정된 섹터들의 부호율은 동일하다.

[0012] 실시 예로서, 각각의 메모리 셀들은 상위 데이터 비트 및 하위 데이터 비트를 저장하고, 상기 복수의 메모리 셀들의 상위 데이터 비트들은 상위 페이지를 형성하고, 상기 복수의 메모리 셀들의 하위 데이터 비트들은 하위 페이지를 형성하고, 상기 상위 및 하위 페이지들을 구성하는 섹터들의 수 및 각각의 섹터의 사이즈는 각각의 페이지에서 독립적으로 가변된다. 상기 상위 데이터 비트를 판별하기 위해 요구되는 읽기 동작의 수는 상기 하위 데이터 비트를 판별하기 위해 요구되는 읽기 동작의 수보다 적은 경우, 상기 하위 페이지를 구성하는 섹터들의 수는 상위 페이지를 구성하는 섹터들의 수보다 적게 설정된다.

[0013] 본 발명의 실시 예에 따른 메모리 시스템은 메모리 장치; 그리고 상기 메모리 장치를 제어하기 위한 컨트롤러를 포함하고, 상기 메모리 장치는 워드 라인; 그리고 상기 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들은 페이지를 형성하고, 상기 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변된다.

[0014] 실시 예로서, 상기 메모리 장치 및 상기 컨트롤러는 하나의 반도체 장치를 구성한다.

효과

[0015] 본 발명의 실시 예에 따른 메모리 장치는 워드 라인, 그리고 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 페이지를 형성하고, 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 것을 특징으로 한다. 따라서, 메모리 장치의 신뢰성 및 데이터 저장 효율이 향상된다.

발명의 실시를 위한 구체적인 내용

[0016] 본 발명의 실시 예에 따른 메모리 장치는 워드 라인, 그리고 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 페이지를 형성하고, 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 것을 특징으로 한다. 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

[0017] 도 1은 본 발명의 실시 예에 따른 메모리 시스템(10)을 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(10)은 메모리 장치(200) 및 컨트롤러(100)를 포함한다.

[0018] 컨트롤러(100)는 호스트(Host) 및 메모리 장치(200)에 연결된다. 컨트롤러(100)는 메모리 장치(200)로부터 읽

은 데이터를 호스트(Host)에 전달하고, 호스트(Host)로부터 전달되는 데이터를 메모리 장치(200)에 저장한다.

- [0019] 컨트롤러(100)는 메모리 관리자(110)를 포함한다. 메모리 관리자(110)는 컨트롤러(100)에서 구동되는 소프트웨어일 것이다. 예시적으로, 메모리(200)가 플래시 메모리 장치인 경우, 메모리 관리자(110)는 플래시 변환 계층(Flash Translation Layer)을 포함할 것이다. 예시적으로, 메모리 관리자(110)는 호스트(Host)로부터 클러스터 사이즈를 전달받고, 메모리 장치(200)의 섹터들을 그룹화하여 클러스터들을 형성할 것이다.
- [0020] 컨트롤러(100)는 램, 프로세싱 유닛, 호스트 인터페이스, 그리고 메모리 인터페이스와 같은 잘 알려진 구성 요소들을 더 포함할 것이다. 램은 프로세싱 유닛의 동작 메모리로서 이용될 것이다. 프로세싱 유닛은 컨트롤러(100)의 제반 동작을 제어할 것이다. 호스트 인터페이스는 호스트(Host) 및 컨트롤러(100) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함할 것이다. 예시적으로, 컨트롤러(100)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(호스트)와 통신하도록 구성될 것이다. 메모리 인터페이스는 메모리 장치(200)와 인터페이스할 것이다. 컨트롤러(100)는 오류 정정 블록을 추가적으로 포함할 수 있다. 오류 정정 블록은 메모리 장치(200)로부터 읽어진 데이터의 오류를 검출하고, 정정할 것이다.
- [0021] 메모리 장치(200)는 데이터를 저장하기 위한 메모리 셀 어레이, 메모리 셀 어레이에 데이터를 기입 및 독출하기 위한 읽기/쓰기 회로, 외부로부터 전달되는 어드레스를 디코딩하여 읽기/쓰기 회로에 전달하는 어드레스 디코더, 메모리 장치(200)의 제반 동작을 제어하기 위한 제어 로직 등을 포함할 것이다. 메모리 장치(200)는 도 2를 참조하여 더 상세하게 설명된다.
- [0022] 컨트롤러(100) 및 메모리 장치(200)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(100) 및 메모리 장치(200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 것이다. 예를 들면, 컨트롤러(100) 및 메모리 장치(200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM/SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD), 유니버설 플래시 기억장치(UFS) 등을 구성할 것이다.
- [0023] 다른 예로서, 컨트롤러(100) 및 메모리 장치(200)는 하나의 반도체 장치로 집적되어 반도체 디스크/드라이브(SSD, Solid State Disk/Drive)를 구성할 것이다. 메모리 시스템(10)이 반도체 디스크(SSD)로 이용되는 경우, 메모리 시스템(10)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선될 것이다.
- [0024] 다른 예로서, 메모리 시스템(10)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 또는 정보를 무선 환경에서 송수신할 수 있는 장치들에 적용될 것이다.
- [0025] 다른 예로서, 메모리 장치(200) 또는 메모리 시스템(10)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 메모리 장치(200) 또는 메모리 시스템(10)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 것이다.
- [0026] 도 2는 도 1의 메모리 장치(200)를 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 실시 예에 따른 메모리 장치(200)는 메모리 셀 어레이(210), 어드레스 디코더(220), 읽기/쓰기 회로(230), 데이터 입출력 회로(240), 그리고 제어 로직(250)을 포함한다.
- [0027] 메모리 셀 어레이(210)는 워드 라인들(WL1~WLn)을 통해 어드레스 디코더(220)에 연결되고, 비트 라인들(BL)을 통해 읽기/쓰기 회로(230)에 연결된다. 메모리 셀 어레이(210)는 워드 라인들(WL1~WLn) 각각에 연결되는 복수의 메모리 셀들(MC)을 포함한다. 메모리 셀들(MC)은 대응하는 비트 라인들(BL)에 연결된다. 예시적으로, 비트 라인들(BL)은 워드 라인들(WL1~WLn)에 교차하는 방향으로 형성될 것이고, 워드 라인들(WL1~WLn) 및 비트 라인들(BL)이 교차하는 영역에 메모리 셀들(MC)이 배치될 것이다. 간결한 설명을 위하여, 메모리 셀 어레이(210) 내부의 비트 라인들(BL)은 도시되어 있지 않다.
- [0028] 메모리 셀(MC)은 데이터를 저장한다. 예시적으로, 메모리 셀(MC)은 열 전자 주입(Hot Electron Injection)을

통해 전하 저장층에 주입되는 열전자를 이용하여 메모리 셀 트랜지스터의 문턱 전압을 가변함으로써 데이터를 저장할 것이다. 다른 예로서, 메모리 셀(MC)은 F-N 터널링에 의해 전하 저장층에 축적/포획되는 전하들을 이용하여 메모리 셀 트랜지스터의 문턱 전압을 가변함으로써 데이터를 저장할 것이다.

- [0029] 다른 예로서, 메모리 셀(MC)은 상 변화 물질을 포함하며, 전류 또는 전압을 이용하여 상 변화 물질에 미리 설정된 온도를 미리 설정된 시간 동안 인가하여 상 변화 물질의 저항을 가변함으로써 데이터를 저장할 것이다. 다른 예로서, 메모리 셀(MC)은 평행(parallel) 또는 반평행(anti-parallel)한 자화 방향을 갖는 자성체들을 포함하며, 자성체들의 자화 방향을 가변하여 자성체들의 저항을 가변함으로써 데이터를 저장할 것이다.
- [0030] 다른 예로서, 메모리 셀(MC)은 강유전체 물질을 포함하며, 미리 설정된 전압을 인가하여 강유전체 물질의 분극을 조절함으로써 데이터를 저장할 것이다. 다른 예로서, 메모리 셀(MC)은 커패시터에 전하를 충전함으로써 데이터를 저장할 것이다. 다른 예로서, 메모리 셀(MC)은 하나 또는 그 이상의 트랜지스터들로 구성되는 래치일 것이다.
- [0031] 각각의 메모리 셀(MC)은 적어도 하나의 데이터 비트를 저장할 것이다. 각각의 메모리 셀(MC)이 하나의 데이터 비트를 저장하는 경우, 하나의 워드 라인(예를 들면, WL2)에 연결된 메모리 셀들(MC)은 하나의 페이지를 형성할 것이다. 각각의 메모리 셀(MC)이 둘 또는 그 이상의 데이터 비트를 저장하는 경우, 하나의 워드 라인(예를 들면, WL2)에 연결된 메모리 셀들(MC)은 둘 또는 그 이상의 페이지를 형성할 것이다. 메모리 셀 어레이(210)에 형성되는 페이지들은 도 3을 참조하여 더 상세하게 설명된다.
- [0032] 어드레스 디코더(220)는 메모리 셀 어레이(210) 및 제어 로직(250)에 연결된다. 어드레스 디코더(220)는 제어 로직(250)의 제어에 응답하여 동작한다. 어드레스 디코더(220)는 외부로부터 어드레스(ADDR)를 전달받아 디코딩한다. 예시적으로, 어드레스(ADDR)는 도 1의 컨트롤러(100)로부터 제공될 것이다. 어드레스 디코더(220)는 외부로부터 전달된 어드레스(ADDR) 중 행 어드레스를 디코딩하여 워드 라인들(WL1~WLn)을 선택한다. 어드레스 디코더(220)는 외부로부터 전달된 어드레스(ADDR) 중 열 어드레스를 디코딩하여 읽기/쓰기 회로에 전달한다. 예시적으로, 어드레스 디코더(220)는 행 어드레스 디코더, 열 어드레스 디코더, 어드레스 버퍼 등과 같이 이 분야에 잘 알려진 구성 요소들을 포함할 것이다.
- [0033] 읽기/쓰기 회로(230)는 메모리 셀 어레이(230), 데이터 입출력 회로(240), 그리고 제어 로직(250)에 연결된다. 읽기/쓰기 회로(230)는 제어 로직(250)의 제어에 응답하여 동작한다. 읽기/쓰기 회로(230)는 어드레스 디코더(220)로부터 전달되는 열 어드레스(미도시)에 응답하여 비트 라인들(BL)을 선택한다.
- [0034] 읽기/쓰기 회로(230)는 데이터 입출력 회로(240)로부터 데이터 라인(DL)을 통해 전달되는 데이터를 메모리 셀 어레이(210)에 기입한다. 읽기/쓰기 회로(230)는 메모리 셀 어레이(210)로부터 데이터를 읽어 데이터 라인(DL)을 통해 데이터 입출력 회로(240)에 전달한다. 다른 예로서, 읽기/쓰기 회로(230)는 메모리 셀 어레이(210)의 제 1 저장 영역(예를 들면, 제 1 페이지)으로부터 데이터를 읽어 메모리 셀 어레이(210)의 제 2 저장 영역(예를 들면, 제 2 페이지)에 기입할 것이다.
- [0035] 예시적으로, 읽기/쓰기 회로(230)는 페이지 버퍼, 열 선택 게이트 등과 같이 이 분야에 잘 알려진 구성 요소들을 포함할 것이다. 다른 예로서, 읽기/쓰기 회로(230)는 쓰기 드라이버, 감지 증폭기, 열 선택 게이트 등과 같이 이 분야에 잘 알려진 구성 요소들을 포함할 것이다.
- [0036] 데이터 입출력 회로(240)는 읽기/쓰기 회로(230) 및 제어 로직(250)에 연결된다. 데이터 입출력 회로(240)는 제어 로직(250)의 제어에 응답하여 동작한다. 데이터 입출력 회로(240)는 외부와 데이터(DATA)를 교환한다. 데이터 입출력 회로(240)는 외부로부터 전달되는 데이터(DATA)를 데이터 라인(DL)을 통해 읽기/쓰기 회로(230)에 전달한다. 데이터 입출력 회로(240)는 읽기/쓰기 회로(230)로부터 데이터 라인(DL)을 통해 전달되는 데이터(DATA)를 외부에 전달한다. 예시적으로, 데이터 입출력 회로(240)는 도 1의 컨트롤러(100)와 데이터(DATA)를 교환할 것이다. 예시적으로, 데이터 입출력 회로(240)는 데이터 버퍼 등과 같이 이 분야에 잘 알려진 구성 요소들을 포함할 것이다.
- [0037] 제어 로직(250)은 어드레스 디코더(220), 읽기/쓰기 회로(230), 그리고 데이터 입출력 회로(240)에 연결된다. 제어 로직(250)은 메모리 장치(200)의 제반 동작을 제어한다. 제어 로직(250)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 동작한다. 예시적으로, 제어 신호(CTRL)는 도 1의 컨트롤러(100)로부터 제공될 것이다.
- [0038] 도 3은 셀 당 두 개의 데이터 비트를 저장하는 메모리 셀들의 문턱 전압 산포를 보여주는 다이어그램이다. 도 3에서 가로 축은 전압(V)을 나타내며, 세로 축(미도시)은 메모리 셀들의 수를 나타낸다.

- [0039] 하나의 메모리 셀에 두 개의 데이터 비트가 저장되는 경우, 메모리 셀은 도 3에 도시되어 있는 바와 같이 "11", "10", "00", "01" 중 하나의 상태를 갖도록 프로그램된다. 메모리 셀에 저장되는 두 개의 데이터 비트 중 첫 번째 데이터 비트는 최상위 데이터 비트(MSB, Most Significant Bit)이다. 즉, 메모리 셀이 "11" 또는 "10"을 저장하는 경우, 메모리 셀이 저장하는 최상위 비트(MSB)는 "1"이다. 반면, 메모리 셀이 "00" 또는 "01"을 저장하는 경우, 메모리 셀이 저장하는 최상위 비트(MSB)는 "0"이다. 즉, 전압(V2)을 이용하여 읽기 동작을 수행하면, 메모리 셀이 저장하고 있는 최상위 비트(MSB)가 읽어진다.
- [0040] 메모리 셀에 저장되는 두 개의 데이터 비트 중 두 번째 비트는 최상위 비트(MSB)의 하위 비트이다. 메모리 셀이 두 개의 데이터 비트를 저장하는 것으로 가정하였으므로, 메모리 셀에 저장되는 두 개의 데이터 비트 중 두 번째 비트는 최하위 비트(LSB, Least Significant Bit)일 것이다. 즉, 메모리 셀이 "11" 또는 "01"을 저장하는 경우, 메모리 셀이 저장하는 최하위 비트(LSB)는 "1"이다. 반면, 메모리 셀이 "10" 또는 "00"을 저장하는 경우, 메모리 셀이 저장하는 최하위 비트(LSB)는 "0"이다.
- [0041] 메모리 셀에 저장되어 있는 최하위 비트(LSB)를 판별하기 위한 읽기 동작의 횟수는 최상위 비트(MSB)를 판별하기 위한 읽기 동작의 횟수의 두 배이다. 예시적으로, 전압(V2)을 이용하여 읽기 동작을 수행하고, 최상위 비트(MSB)가 "1" 이면 전압(V1)을 이용하여 읽기 동작을 수행함으로써 최하위 비트(LSB)가 판별될 것이다. 또한, 전압(V2)을 이용하여 읽기 동작을 수행하고, 최상위 비트(MSB)가 "0"이면 전압(V3)을 이용하여 읽기 동작을 수행함으로써 최하위 비트(LSB)가 판별될 것이다.
- [0042] 하위 비트를 판별하기 위한 읽기 동작의 횟수가 상위 비트를 판별하기 위한 읽기 동작의 횟수보다 많은 현상은 메모리 셀 당 n 개의 데이터를 저장하는 메모리 장치에도 적용될 수 있다. 메모리 셀 당 n 개의 데이터를 저장하는 메모리 장치에서 그레이 코딩(Gray coding)을 사용하여 스테이트(state)들을 매핑(mapping)한다고 가정하면, 제 k 비트를 판별하기 위한 읽기 동작의 횟수는 제 k-1 비트를 판별하기 위한 읽기 동작의 횟수의 두 배가 될 수 있다.
- [0043] 예시적으로, 메모리 셀에 저장되어 있는 데이터 비트 중 최상위 비트(MSB)는 한 번의 읽기 동작을 통해 판별될 것이다. 최상위 비트(MSB)보다 한 단계 하위인 제 1 하위 비트는 최상위 비트(MSB)를 판별하기 위한 읽기 동작의 횟수의 두 배인 두 번의 읽기 동작을 통해 판별될 것이다. 그리고, 제 1 하위 비트보다 한 단계 하위인 제 2 하위 비트는 4 회의 읽기 동작을 통해 판별될 것이다. 마찬가지로, 하나의 메모리 셀에 k 개의 데이터 비트를 저장하는 메모리 장치에서, 최하위 비트(LSB)는 $2^{(k-1)}$ 회의 읽기 동작을 통해 판별될 것이다.
- [0044] 읽기 동작 시에, 메모리 셀들의 문턱 전압의 비정상적 산포 또는 읽기 전압의 불안정 등으로 인해 읽기 오류가 발생할 수 있다. 즉, 메모리 셀에 저장되는 데이터 비트를 판별하기 위해 많은 읽기 동작이 요구될수록, 읽기 오류가 발생할 확률이 증가된다. 예시적으로, 한 번의 읽기 동작 시에 읽기 오류가 발생할 확률이 p로 정량화되는 것으로 가정하자. 이때, 최상위 비트 데이터를 판별하기 위해 1회의 읽기 동작을 수행하면, 읽기 오류가 발생할 확률은 p일 것이다. 반면, 제 3 하위 비트를 판별하기 위해 4 회의 읽기 동작을 수행하면, 읽기 오류가 발생할 확률은 $4p$ 로 증가될 것이다. 즉, 하위 비트 데이터의 판별 시에 발생하는 읽기 오류의 확률이 상위 비트 데이터의 판별 시에 발생하는 읽기 오류의 확률보다 높음이 이해될 것이다.
- [0045] 도 2 및 3을 참조하면, 하나의 워드 라인(예를 들면, WL2)에 연결되는 메모리 셀들(MC)은 각각의 메모리 셀에 저장되는 데이터 비트 수 만큼의 페이지를 형성한다. 예시적으로, 메모리 셀들(MC)이 상위 및 하위 비트 데이터를 저장하는 경우, 메모리 셀들(MC)에 저장되는 상위 비트 데이터들이 하나의 페이지를 형성하고, 메모리 셀들(MC)에 저장되는 하위 비트 데이터들이 다른 하나의 페이지를 형성할 것이다.
- [0046] 이하에서, 메모리 셀들(MC)에 저장되는 데이터 비트 및 그것에 대응하는 페이지는 동일한 계층으로 설명될 것이다. 즉, 워드 라인(예를 들면, WL2)에 연결된 메모리 셀들(MC)에 저장되는 최상위 비트 데이터들(MSB)은 최상위 페이지를 형성하고, 워드 라인(WL2)에 연결된 메모리 셀들(MC)에 저장되는 제 1 하위 비트 데이터는 제 1 하위 페이지를 형성하고, 워드 라인(WL2)에 연결된 메모리 셀들(MC)에 저장되는 최하위 비트 데이터는 최하위 페이지를 형성할 것이다.
- [0047] 다시 말하면, 각각의 메모리 셀에 n 개의 데이터 비트가 저장되는 경우, 각각의 워드 라인에 연결된 메모리 셀들(MC)은 n 개의 페이지를 형성하며, 각각의 페이지는 대응하는 데이터를 저장할 것이다. 이때, 각각의 페이지에 저장되는 데이터 비트들의 수는 워드 라인(예를 들면, WL2)에 연결된 메모리 셀들(MC)의 수와 동일할 것이다. 그리고, 하위 페이지에서 읽기 오류가 발생할 확률은 상위 페이지보다 높을 것이다.
- [0048] 도 3을 참조하여 설명된 바와 같이, 각각의 메모리 셀(MC)은 두 개의 데이터 비트를 저장한다. 즉, 하나의 워드

드 라인(WL)에 연결되는 메모리 셀들(MC)은 2 개의 페이지, 예를 들면 최상위 페이지 및 최하위 페이지를 구성한다. 논리 상태들 "11" 및 "10"에서, 최상위 페이지의 논리값은 "1"이다. 논리 상태들 "00" 및 "01"에서, 최상위 페이지의 논리값은 "0"이다. 즉, 메모리 셀(MC)의 문턱 전압이 증가함에 따라 최상위 페이지의 논리값은 "1"로부터 "0"으로 변화한다.

- [0049] 논리 상태 "11"에서, 최하위 페이지의 논리값은 "1"이다. 논리 상태들 "10" 및 "00"에서, 최하위 페이지의 논리값은 "0"이다. 그리고, 논리 상태 "01"에서, 최하위 페이지의 논리값은 "1"이다. 즉, 메모리 셀(MC)의 문턱 전압이 증가함에 따라 최하위 페이지의 논리값은 "1"로부터 "0"으로, 그리고 다시 "0"으로부터 "1"로 변화한다.
- [0050] 메모리 셀(MC)의 문턱 전압이 증가함에 따라, 최상위 페이지의 논리값은 1회 변화한다. 메모리 셀(MC)의 문턱 전압이 증가함에 따라 최하위 페이지의 논리값은 2회 변화한다. 마찬가지로, 메모리 셀(MC)의 문턱 전압의 변화에 따른 각각의 페이지의 논리값의 변화 횟수는 최상위 페이지로부터 n-1 번째 하위 페이지보다 최상위 페이지로부터 n 번째 하위 페이지에서 더 많음이 이해될 것이다.
- [0051] 또한, 상술한 바와 같이, 하위 페이지에서 오류가 발생할 확률은 상위 페이지에서 오류가 발생할 확률보다 크다. 즉, 메모리 셀(MC)의 문턱 전압의 변화에 따른 논리값의 변화 횟수가 상대적으로 큰 페이지에서 오류가 발생될 확률이 메모리 셀(MC)의 문턱 전압의 변화에 따른 논리값의 변화 횟수가 상대적으로 작은 페이지에서 오류가 발생될 확률보다 크다. 즉, 각각의 페이지의 신뢰도는 각각의 페이지의 메모리 셀(MC)의 문턱 전압의 변화에 따른 논리값의 변화 횟수에 따라 관별될 수 있음이 이해될 것이다.
- [0052] 상술한 실시 예에서, 최상위/상위/하위/최하위 데이터 비트 그리고 최상위/상위/하위/최하위 페이지의 용어를 이용하여 본 발명의 실시 예가 설명되었다. 그러나, 본 발명의 기술적 사상은 최상위/상위/하위/최하위 데이터 비트 그리고 최상위/상위/하위/최하위 페이지의 용어에 한정되지 않음이 이해될 것이다. 하나의 메모리 셀에 적어도 두 개의 데이터 비트를 저장하는 메모리 장치에서, 상위로부터 하위 또는 하위로부터 상위의 방향성은 프로그램/읽기 방법에 따라 변형될 수 있음이 이해될 것이다. 예시적으로, 제 1 데이터 비트를 판별하기 위해 k 번의 읽기 동작이 요구되고, 제 2 데이터 비트를 판별하기 위해 h 번의 읽기 동작이 요구되고, k가 h보다 큰 수인 경우, 제 2 데이터 비트가 제 1 데이터 비트보다 상위 데이터 비트일 것이다.
- [0053] 상술한 실시 예에서, 상위 데이터 비트에서 읽기 오류가 발생될 확률이 하위 데이터 비트에서 읽기 오류가 발생될 확률보다, 그리고 상위 페이지에서 읽기 오류가 발생될 확률이 하위 페이지에서 읽기 오류가 발생될 확률보다 낮은 것으로 설명되었다. 그러나, 상위 및 하위의 순서에 따라 읽기 오류의 확률이 달라지는 것으로 한정되지 않음이 이해될 것이다. 프로그램 오류 또한 상위 데이터 비트보다 하위 데이터 비트에서 그리고 상위 페이지보다 하위 페이지에서 발생될 확률이 더 높음이 이해될 것이다. 즉, 상위 데이터 비트보다 하위 데이터 비트가 그리고 상위 페이지가 하위 페이지가 신뢰성이 높은 것으로 이해되어야 할 것이다.
- [0054] 상술한 실시 예에서, 그레이 코딩(Gray coding)을 이용하여 스테이트들(state)을 매핑(mapping)하는 것으로 설명되었다. 그러나, 메모리 셀 당 n 비트 데이터를 저장하는 메모리 장치에서, 그레이 코딩 외의 다른 코딩 방법을 이용하여 스테이트들을 매핑하면, 상위 페이지 및 하위 페이지의 신뢰성이 달라질 수 있음이 이해될 것이다.
- [0055] 도 4 내지 7은 본 발명의 제 1 실시 예에 따른 섹터 저장 방법을 보여주는 다이어그램이다. 도 4 내지 7에서, 하나의 워드 라인에 연결되는 메모리 셀들은 두 개의 페이지, 즉 최상위 페이지 및 최하위 페이지를 형성하는 것으로 가정한다. 다시 말하면, 각각의 메모리 셀은 두 개의 데이터 비트, 즉 최상위 비트 데이터(MSB) 및 최하위 비트 데이터(LSB)를 저장하는 것으로 가정한다.
- [0056] 도 4를 참조하면, 하나의 워드 라인에 연결된 메모리 셀들에 형성되는 두 개의 페이지(Page1, Page2)가 도시되어 있다. 설명의 편의를 위하여, 페이지(Page1)는 최상위 페이지이고, 페이지(Page2)는 최하위 페이지인 것으로 가정하자. 그리고, 하나의 페이지에 4 개의 섹터(Sector)가 저장되며, 각각의 섹터는 데이터(DATA) 및 패리티(P)를 포함하는 것으로 가정하자. 예시적으로, 패리티(P)는 해밍(Hamming) 코드, BCH(Bose Chaudhuri Hocquenghem) 코드, 리드-솔로몬(Reed-Solomon) 코드 등의 다양한 코드들 중 하나를 이용하여 생성될 것이다.
- [0057] 도 3을 참조하여 설명된 바와 같이, 최상위 페이지(Page1) 및 최하위 페이지(Page2)의 신뢰도는 상이하다. 즉, 최하위 페이지(Page2)의 신뢰도가 최상위 페이지(Page1)의 신뢰도보다 낮다. 최상위 페이지(Page1) 및 최하위 페이지(Page2)에 저장되는 섹터들의 사이즈가 동일한 경우, 즉 최상위 페이지(Page1) 및 최하위 페이지(Page2)에 동일한 수 및 크기의 데이터(DATA)와 패리티(P)가 저장되는 경우, 최상위 페이지(Page1) 및 최하위 페이지

지(Page2)에 저장되는 데이터(DATA)에 대해 동일한 오류 정정 기능이 제공될 것이다. 예를 들면, 최상위 페이지(Page1)의 하나의 섹터(Sector)의 패리티(P)를 이용하여 대응하는 섹터(Sector)의 데이터(DATA)와 패리티(P)에서 k 비트 오류가 정정 가능하면, 최하위 페이지(Page)의 하나의 섹터(Sector)의 패리티(P)를 이용하여 대응하는 섹터(Sector)의 데이터(DATA)와 패리티(P)에서 k 비트 오류가 정정 가능할 것이다.

- [0058] 이때, 각각의 페이지에서 패리티(P)를 이용한 오류 정정 범위 밖의 오류가 발생될 확률은 최상위 및 최하위 페이지들(Page1, Page2)에 제공되는 오류 정정 기능이 최상위 및 최하위 페이지들(Page1, Page2) 중 어느 페이지에 기반하여 제공되었는지에 따라 가변될 것이다. 이하에서, 오류 정정 능력은 패리티(P)의 사이즈로 설명될 것이다. 동일한 크기의 데이터(DATA)에 대하여 동일한 코드를 사용하여 패리티(P)를 형성하는 경우, 패리티(P)의 비트 수가 증가될수록 오류 정정 능력이 향상된다. 따라서, 오류 정정 능력은 패리티(P)의 사이즈로 이해될 수 있다.
- [0059] 예시적으로, 패리티(P)의 사이즈는 최상위 페이지(Page1)에서 오류가 발생될 확률을 기준으로 결정될 것이다. 즉, 최상위 페이지(Page1)에서 오류 정정 범위 밖의 오류가 발생될 확률이 시스템에서 허용 가능(tolerable)한 범위가 되도록 패리티(P)의 사이즈가 결정될 것이다. 그런데, 최하위 페이지(Page2)에서 오류가 발생될 확률은 최상위 페이지(Page1)에서 오류가 발생될 확률보다 높다.
- [0060] 즉, 패리티(P)의 사이즈가 최상위 페이지(Page1)에서 오류가 발생될 확률을 기준으로 결정되면, 최상위 페이지(Page1)에서 오류 정정 범위 밖의 오류가 발생될 확률이 시스템에서 허용 가능한 범위(tolerable)라 하더라도, 최하위 페이지(Page2)에서 오류 정정 범위 밖의 오류가 발생될 확률은 시스템에서 허용 가능한 범위 밖일 것이다. 따라서, 최상위 페이지(Page1)에서 오류가 발생될 확률을 기준으로 패리티(P)의 사이즈가 결정되면, 최하위 페이지(Page2)의 신뢰도는 시스템에서 허용 가능한 범위 밖일 것이다.
- [0061] 다른 예로서, 패리티(P)의 사이즈는 최하위 페이지(Page2)에서 오류가 발생될 확률을 기준으로 결정될 것이다. 즉, 최하위 페이지(Page2)에서 오류 정정 범위 밖의 오류가 발생될 확률이 시스템에서 허용 가능(tolerable)한 범위가 되도록 패리티(P)의 사이즈가 결정될 것이다. 그런데, 최하위 페이지(Page2)에서 오류가 발생될 확률은 최상위 페이지(Page1)에서 오류가 발생될 확률보다 높다. 즉, 최상위 및 최하위 페이지들(Page1, Page2)에서 오류 정정 범위 밖의 오류가 발생될 확률이 시스템에서 허용 가능(tolerable)한 범위일 것이다. 그러나, 패리티(P)의 사이즈가 최하위 페이지(Page2)를 기준으로 결정되면, 패리티(P)의 사이즈가 최상위 페이지(Page1)를 기준으로 결정된 경우보다 크다. 즉, 패리티(P)를 저장하기 위해 더 많은 메모리 셀들이 할당되므로, 메모리 장치의 데이터 저장 효율이 감소될 것이다.
- [0062] 상술한 바와 같은 문제를 해결하기 위하여, 본 발명의 실시 예에 따른 메모리 장치(200, 도 1 및 2 참조)는 워드 라인, 그리고 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 페이지를 형성하고, 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되는 것을 특징으로 한다. 이하에서, 본 발명의 기술적 사상이 도면을 참조하여 더 상세하게 설명된다.
- [0063] 도 5를 참조하면, 최상위 페이지(Page1)에 4 개의 섹터들(Sector)이 저장되고, 최하위 페이지(Page2)에 3 개의 섹터들(Sector)이 저장된다. 즉, 본 발명의 실시 예에 따른 메모리 장치의 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 가변되며, 상위 페이지 및 하위 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈는 각각의 페이지에서 독립적으로 가변된다. 그리고, 신뢰도가 낮은 페이지(예를 들면, 최하위 페이지(Page2))에 저장되는 섹터들의 수는 신뢰도가 높은 페이지(예를 들면, 최상위 페이지(Page1))에 저장되는 섹터들의 수보다 감소된다. 감소된 섹터에 대응하는 저장 용량에 패리티(P)가 저장된다. 즉, 페이지를 구성하는 섹터들의 수가 감소되는 만큼 페이지를 구성하는 섹터들의 패리티(P)의 사이즈가 증가된다.
- [0064] 요약하면, 본 발명의 실시 예에 따른 메모리 장치는 페이지의 신뢰도에 따라 패리티의 사이즈를 가변한다. 따라서, 각각의 페이지에서 오류 정정 범위 밖의 오류가 발생될 확률이 시스템에서 허용 가능한 범위로 감소된다. 그리고, 각각의 페이지에서, 시스템에서 허용 가능한 범위의 오류가 발생되는 최소 사이즈의 패리티를 각각의 페이지에 제공하는 것이 가능하다. 따라서, 데이터 저장 효율이 증가된다.
- [0065] 도 6 및 7은 페이지들(Page1, Page2)에서 데이터(DATA) 및 패리티(P)가 별도의 저장 영역에 저장되는 실시 예를 보여주는 다이어그램이다. 각각의 페이지는 데이터 저장 영역 및 패리티 저장 영역으로 분할된다. 데이터 저장 영역에 데이터(DATA)가 저장되고, 패리티 저장 영역에 패리티(P)가 저장된다. 도 6 및 7에 도시되어 있는 바와 같이, 데이터(DATA) 및 패리티(P)가 별도의 저장 영역에 저장되는 경우에도, 페이지의 신뢰도에 따라 섹터들(Sector)의 사이즈가 가변될 수 있음이 이해될 것이다.

- [0066] 도 8은 본 발명의 제 2 실시 예에 따른 섹터 저장 방법을 보여주는 다이어그램이다. 도 8을 참조하면, 최상위 페이지(Page1)에 4개의 섹터가 저장되고 최하위 페이지(Page2)에 2개의 섹터가 저장된다. 즉, 페이지(Page2)에 저장되는 섹터들은 적어도 하나의 그룹들로 재구성되고(grouping), 재구성된 그룹들 각각이 새로운 섹터로 설정될 것이다. 따라서, 최하위 페이지(Page2)에 저장되는 섹터(Sector)의 용량은 최상위 페이지(Page1)에 저장되는 섹터(Sector)의 용량의 정수배일 것이다. 도 8에 도시되어 있는 바와 같이, 최상위 페이지(Page1)에 4개의 섹터가 저장되고 최하위 페이지(Page2)에 2개의 섹터가 저장되는 경우, 최하위 페이지(Page2)에 저장되는 섹터의 용량은 최상위 페이지(Page1)에 저장되는 섹터의 용량의 2배일 것이다.
- [0067] 최상위 페이지(Page1) 및 최하위 페이지(Page2)는 동일한 데이터 저장 용량을 제공할 것이다. 즉, 각각의 페이지의 데이터(DATA)를 위한 저장 용량들은 동일할 것이고, 각각의 페이지의 패리티(P)를 위한 저장 용량들 또한 각각 동일할 것이다. 최상위 페이지(Page1)의 각각의 섹터의 저장 용량은 최상위 페이지(Page1)의 저장 용량을 4분할한 것이고, 최하위 페이지(Page2)의 각각의 섹터의 저장 용량은 최하위 페이지(Page2)의 저장 용량을 2분할한 것이다.
- [0068] 즉, 최상위 페이지(Page1)의 각각의 섹터(Sector)의 데이터(DATA) 및 패리티(P)의 비율은 최하위 페이지(Page2)의 각각의 섹터(Sector)의 데이터(DATA) 및 패리티(P)의 비율과 동일할 것이다. 다시 말하면, 최상위 페이지(Page1)의 섹터들(Sector)의 데이터(DATA) 및 패리티(P)의 부호율(섹터(Sector)의 데이터(DATA) 및 패리티(P)의 비율)은 최하위 페이지(Page2)의 섹터들(Sector)의 데이터(DATA) 및 패리티(P)의 부호율과 동일할 것이다.
- [0069] 제 1 및 제 2 섹터의 부호율이 동일하고 제 1 섹터의 용량이 제 2 섹터의 용량보다 큰 경우, 제 1 섹터에서 오류 정정 범위 밖의 오류가 발생될 확률이 제 2 섹터에서 오류 정정 범위 밖의 오류가 발생될 확률보다 적다. 예시적으로, 제 2 섹터의 데이터 용량이 512바이트이고 제 1 섹터의 데이터 용량이 4096바이트인 것으로 가정하자. 제 1 및 제 2 섹터의 부호율이 동일하므로, 제 2 섹터의 오류 정정 범위가 h 비트이면 제 1 섹터의 오류 정정 범위는 8h에 근사한 값일 것이다. 더 상세하게는, 제 1 섹터의 오류 정정 범위가 h 비트일 때 제 2 섹터의 오류 정정 범위는 8h에 근사한 값이며, 오류 정정 코드의 종류에 따라 가변될 수 있는 값일 것이다. 간결한 설명을 위하여, 제 1 섹터의 오류 정정 범위는 h 비트이고, 제 2 섹터의 오류 정정 범위는 8h인 것으로 가정하자.
- [0070] 하나의 제 1 섹터의 용량은 8개의 제 2 섹터들의 용량에 대응한다. 하나의 제 1 섹터에서 4096 바이트의 데이터 중 8h 개의 오류 비트들이 정정될 수 있다. 8개의 제 2 섹터들에서 4096 바이트의 데이터 중 8h 개의 오류 비트들이 정정될 수 있다. 그런데, 8 개의 제 2 섹터들에서 2h 개의 오류 비트(8개의 제 2 섹터들의 관점에서 오류 정정 범위 이내인)들이 발생한 경우에도, 2h 개의 오류 비트들이 8 개의 제 2 섹터들 중 하나에서 발생되면 오류가 정정될 수 없다. 반면, 제 1 섹터에서는 어떠한 경우에도 8h 개 이하의 오류 비트들은 정정될 수 있다. 즉, 제 1 및 제 2 섹터들의 부호율이 동일하고 제 1 섹터의 용량이 제 2 섹터의 용량보다 큰 경우, 제 1 섹터의 오류 정정 범위는 제 2 섹터의 오류 정정 범위보다 크다는 것이 이해될 것이다.
- [0071] 도 8을 참조하면, 최하위 페이지(Page2)에 저장되는 섹터들은 적어도 하나의 그룹들로 재구성되고(grouping), 재구성된 그룹들 각각이 새로운 섹터로 설정된다. 즉, 최하위 페이지(Page2)에 저장되는 섹터의 용량은 최상위 페이지(Page1)에 저장되는 섹터의 용량보다 크며, 최상위 및 최하위 페이지들(Page1, Page2)의 부호율은 동일하다. 따라서, 최하위 페이지(Page2)의 오류 정정 범위가 최상위 페이지(Page1)의 오류 정정 범위보다 크다. 즉, 본 발명의 실시 예에 따른 메모리 장치는 페이지들(Page1, Page2)의 신뢰도에 따라 각각의 페이지의 오류 정정 기능을 독립적으로 조절한다. 예시적으로, 신뢰도가 낮은 페이지에 제공되는 오류 정정 기능이 신뢰도가 높은 페이지에 제공되는 오류 정정 기능보다 큰 오류 정정 범위를 가질 것이다.
- [0072] 도 9는 데이터 및 패리티가 별도의 저장 영역에 저장되는 경우를 보여주는 다이어그램이다. 도 9에 도시되어 있는 바와 같이, 각각의 페이지가 데이터(DATA)를 저장하기 위한 데이터 저장 영역 및 패리티(P)를 저장하기 위한 패리티 저장 영역으로 분할되는 경우에도, 본 발명의 기술적 사상에 따라서 각각의 페이지를 구성하는 섹터들의 수와 각각의 섹터의 크기를 각각의 페이지에서 독립적으로 가변하는 것이 가능함이 이해될 것이다.
- [0073] 상술한 바와 같이, 본 발명의 실시 예에 따른 메모리 장치는 워드 라인, 그리고 워드 라인에 연결되는 복수의 메모리 셀들을 포함하고, 복수의 메모리 셀들은 페이지를 형성하고, 페이지를 구성하는 섹터들의 수와 각각의 섹터의 크기는 가변되는 것을 특징으로 한다. 따라서, 메모리 장치의 신뢰도 및 데이터 저장 효율이 향상된다.

- [0074] 상술한 실시 예에서, 하나의 워드 라인에 연결된 메모리 셀들이 두 개의 페이지들을 형성하는 것으로 설명되었다. 그러나, 본 발명의 기술적 사상에 따른 페이지의 수는 한정되지 않음이 이해될 것이다. 각각의 메모리 셀이 3비트 데이터를 저장하면 하나의 워드 라인에 연결된 메모리 셀들이 세 개의 페이지들을 형성할 것이다. 각각의 메모리 셀이 n 비트 데이터를 저장하면 하나의 워드 라인에 연결된 메모리 셀들이 n 개의 페이지들을 형성할 것이다. 본 발명의 실시 예에 따른 메모리 장치는 n 개의 페이지들 각각에 저장되는 섹터들의 사이즈를 독립적으로 가변함이 이해될 것이다.
- [0075] 도 10은 도 1의 메모리 시스템(10)을 포함하는 컴퓨팅 시스템(300)의 실시 예를 보여주는 블록도이다. 도 5를 참조하면, 본 발명의 실시 예에 따른 컴퓨팅 시스템(300)은 중앙 처리 장치(310), 램(320, RAM, Random Access Memory), 사용자 인터페이스(330), 전원(340), 그리고 메모리 시스템(10)을 포함한다.
- [0076] 메모리 시스템(10)은 시스템 버스(350)를 통해, 중앙처리장치(310), 램(320), 사용자 인터페이스(330), 그리고 전원(340)에 전기적으로 연결된다. 사용자 인터페이스(330)를 통해 제공되거나, 중앙 처리 장치(310)에 의해서 처리된 데이터는 메모리 시스템(10)에 저장된다. 메모리 시스템(10)은 컨트롤러(100) 및 플래시 메모리 장치(100)를 포함한다.
- [0077] 메모리 시스템(10)이 반도체 디스크 장치(SSD)로 장착되는 경우, 컴퓨팅 시스템(300)의 부팅 속도가 획기적으로 빨라질 수 있다. 도면에 도시되지 않았지만, 본 발명에 따른 시스템은 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor) 등을 더 포함할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 이해될 것이다.
- [0078] 도 11 및 12는 도 10의 컴퓨팅 시스템(300)의 소프트웨어 계층 구조를 보여주는 다이어그램이다. 도 10 내지 12를 참조하면, 컴퓨팅 시스템(300)의 소프트웨어 계층 구조는 운영체제(360, OS, Operating System), 파일 시스템(370), 메모리 관리자(110), 그리고 저장 영역(210)을 포함한다.
- [0079] 운영 체제(360) 및 파일 시스템(370)은 프로세서(310)에 의해 수행될 것이다. 메모리 관리자(110)는 메모리 시스템(10)의 컨트롤러(100) 또는 메모리 장치(200)로부터 제공될 것이다. 저장 영역(210)은 메모리 시스템(10)의 메모리 장치(200)로부터 제공될 것이다.
- [0080] 운영 체제(360) 및 파일 시스템(370)은 클러스터 단위로 데이터를 처리할 것이다. 메모리 시스템(10)은 섹터 단위로 데이터를 처리할 것이다. 메모리 시스템(10)은 운영체제(360) 및 파일 시스템(370)으로부터 클러스터의 사이즈를 전달받고, 복수의 섹터들을 그룹화하여 클러스터를 형성할 것이다.
- [0081] 도 11은 저장 영역(210)이 도 4 내지 7을 참조하여 설명된 방법으로 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈를 가변하는 경우를 보여주는 다이어그램이다. 도 11을 참조하면, 페이지들(Page1, Page3, Page n -1)은 최상위 페이지들이고, 페이지들(Page2, Page4, Page N)은 최하위 페이지들이다. 최하위 페이지들(Page2, Page4, Page N)에 저장되는 섹터들의 수는 최상위 페이지들(Page1, Page3, Page N -1)에 저장되는 페이지들의 수보다 적다. 최하위 페이지들(Page2, Page4, Page N)에 저장되는 각각의 섹터의 패리티(P)의 사이즈는 최상위 페이지들(Page1, Page3, Page N -1)에 저장되는 각각의 섹터의 패리티(P)의 사이즈보다 크다. 즉, 최하위 페이지들(Page2, Page4, Page N)의 오류 정정 범위는 최상위 페이지들(Page1, Page3, Page N -1)의 오류 정정 범위보다 크다.
- [0082] 최상위 페이지들(Page1, Page3, Page N -1) 및 최하위 페이지들(Page2, Page4, Page N)에 저장되는 섹터들의 데이터 용량은 동일하다. 예시적으로, 섹터들의 데이터 용량은 512 바이트이고, 클러스터의 사이즈는 4096 바이트인 것으로 가정하자. 메모리 관리자(110)는 8 개의 섹터들을 그룹화하여 클러스터를 형성할 것이다. 예시적으로, 페이지들(Page1, Page2)의 7 개의 섹터들과 페이지(Page3)의 한 개의 섹터가 하나의 클러스터를 형성할 것이다.
- [0083] 메모리 장치의 프로그램 및 소거가 반복되면, 메모리 장치의 메모리 셀들이 열화되어 메모리 셀들의 신뢰도가 저하될 것이다. 즉, 페이지들(Page1~Page N)의 신뢰도가 저하될 것이다. 본 발명의 실시 예에 따른 메모리 장치는 페이지들(Page1~Page N)의 신뢰도에 따라 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈를 가변할 것이다. 예시적으로, 프로그램 및 소거가 반복되어 페이지들(Page1~Page N)의 신뢰도가 감소되면, 페이지들(Page1~Page N)에 저장되는 섹터들의 수가 감소될 것이다. 예시적으로, 최상위 페이지들(Page1, Page3, Page N -1)에 3 개의 섹터들이 저장되고, 최하위 페이지들(Page2, Page4, Page N)에 2 개의 섹터들이 저장될 것이다. 감소된 섹터들에 대응하는 저장 영역에 섹터들의 패리티가 저장될 것이다. 따라서, 페이지들(Page1~Page N)에 저장되는 섹터들의 오류 정정 범위가 확대될 것이다.

- [0084] 메모리 관리자(110)는 복수의 섹터들을 그룹화하여 클러스터를 형성할 것이다. 예시적으로, 섹터의 데이터 사이즈가 512 바이트이고 클러스터의 사이트가 4096 바이트인 경우, 메모리 관리자(110)는 8 개의 섹터들을 그룹화하여 클러스터를 형성할 것이다.
- [0085] 도 12는 저장 영역(210)이 도 8 및 9를 참조하여 설명된 방법으로 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈를 가변하는 경우를 보여주는 다이어그램이다. 도 12를 참조하면, 페이지들(Page1, Page3, Page n-1)은 최상위 페이지들이고, 페이지들(Page2, Page4, PageN)은 최하위 페이지들이다. 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들의 수는 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 페이지들의 수보다 적다. 최하위 페이지(Page2, Page4, PageN)에 저장되는 섹터들의 용량은 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들의 용량의 정수배(예를 들면, 2배)이다. 최하위 페이지(Page2, Page4, PageN)에 저장되는 섹터들의 데이터(DATA) 및 패리티(P)의 부호율은 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들의 데이터(DATA) 및 패리티(P)의 부호율과 동일하다. 즉, 최하위 페이지들(Page2, Page4, PageN)의 오류 정정 범위는 최상위 페이지들(Page1, Page3, PageN-1)의 오류 정정 범위보다 클 것이다.
- [0086] 예시적으로, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들의 데이터 용량은 512 바이트이고, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들의 데이터 용량은 1024 바이트이고, 클러스터의 사이즈는 4096 바이트인 것으로 가정하자. 메모리 관리자(110)는 복수의 섹터들을 그룹화하여 클러스터를 형성할 것이다. 예시적으로, 페이지(Page1)의 4개의 섹터들과 페이지(Page2)의 두 개의 섹터들이 하나의 클러스터를 형성할 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1) 및 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들이 클러스터를 형성할 것이다.
- [0087] 다른 예로써, 페이지들(Page1, Page3)의 8 개의 섹터들이 하나의 클러스터를 형성하고, 페이지들(Page2, Page4)의 4 개의 섹터들이 다른 하나의 클러스터를 형성할 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들이 클러스터를 형성하고, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들이 다른 클러스터를 형성할 것이다.
- [0088] 메모리 장치의 프로그램 및 소거가 반복되면, 메모리 장치의 메모리 셀들이 열화되어 메모리 셀들의 신뢰도가 저하될 것이다. 즉, 페이지들(Page1~PageN)의 신뢰도가 저하될 것이다. 본 발명의 실시 예에 따른 메모리 장치는 페이지들(Page1~PageN)의 신뢰도에 따라 페이지를 구성하는 섹터들의 수와 각각의 섹터의 사이즈를 가변할 것이다. 예시적으로, 프로그램 및 소거가 반복되어 페이지들(Page1~PageN)의 신뢰도가 감소되면, 페이지들(Page1~PageN)에 저장되는 섹터들의 수가 감소될 것이다. 각각의 페이지에 저장되는 섹터들은 적어도 하나의 그룹들로 재구성되고(grouping), 재구성된 그룹들 각각이 새로운 섹터로 설정될 것이다.
- [0089] 예시적으로, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 4 개의 섹터들은 두 개의 그룹으로 분할되고, 각각의 그룹이 새로운 섹터로 설정될 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들의 데이터 용량은 2배 증가할 것이다. 예시적으로, 최상위 페이지들(Page1, Page3, PageN-1)가 4개의 512 바이트 섹터들로 형성되는 경우, 4개의 512 바이트 섹터들은 두 개의 그룹들로 분할될 것이다. 즉, 각각의 그룹은 2개의 512 바이트 섹터들을 포함할 것이다. 각각의 그룹은 새로운 섹터로 설정될 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1)은 2개의 1024 바이트 섹터들을 저장하도록 설정될 것이다.
- [0090] 예시적으로, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 2 개의 섹터들은 하나의 새로운 섹터로 설정될 것이다. 즉, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들의 데이터 용량은 2배 증가할 것이다. 예시적으로, 최하위 페이지들(Page2, Page4, PageN)이 2개의 1024 바이트 섹터들로 형성된 경우, 최하위 페이지들(Page2, Page4, PageN)은 한 개의 새로운 2048 바이트 섹터를 저장하도록 설정될 것이다.
- [0091] 최상위 및 최하위 페이지들(Page1~PageN)의 각각의 섹터의 용량이 증가되므로, 최상위 및 최하위 페이지들(Page1~PageN)의 각각의 섹터들의 오류 정정 범위가 확대될 것이다.
- [0092] 메모리 관리자(110)는 복수의 섹터들을 그룹화하여 클러스터를 형성할 것이다. 예시적으로, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들의 데이터 용량은 1024 바이트이고, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들의 데이터 용량은 4096 바이트이고, 클러스터의 사이즈는 4096 바이트인 것으로 가정하자. 메모리 관리자(110)는 복수의 섹터들을 그룹화하여 클러스터를 형성할 것이다. 예시적으로, 페이지(Page1)의 2개의 섹터들과 페이지(Page2)의 1개의 섹터가 하나의 클러스터를 형성할 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1) 및 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들이 클러스터를 형성할 것이다.

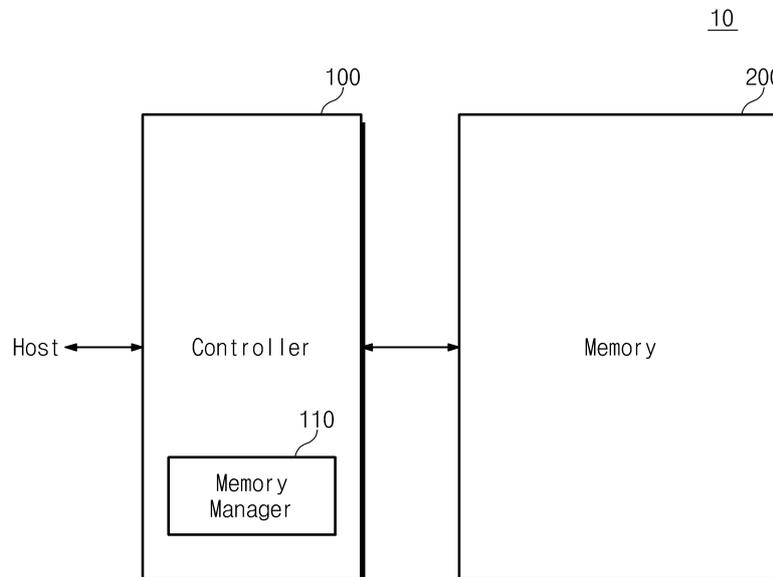
- [0093] 다른 예로써, 페이지들(Page1, Page3)의 4 개의 섹터들이 하나의 클러스터를 형성하고, 페이지들(Page2, Page4)의 2 개의 섹터들이 하나의 클러스터를 형성할 것이다. 즉, 최상위 페이지들(Page1, Page3, PageN-1)에 저장되는 섹터들이 클러스터들을 형성하고, 최하위 페이지들(Page2, Page4, PageN)에 저장되는 섹터들이 다른 클러스터들을 형성할 것이다.
- [0094] 상술한 실시 예에서, 페이지들(Page1~PageN)에 저장되는 섹터들의 수 및 용량이 구체적인 수치를 이용하여 설명되었다. 그러나, 본 발명의 실시 예에 따른 메모리 장치의 페이지들(Page1~PageN)에 저장되는 섹터들의 수는 한정되지 않음이 이해될 것이다.
- [0095] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 자명하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

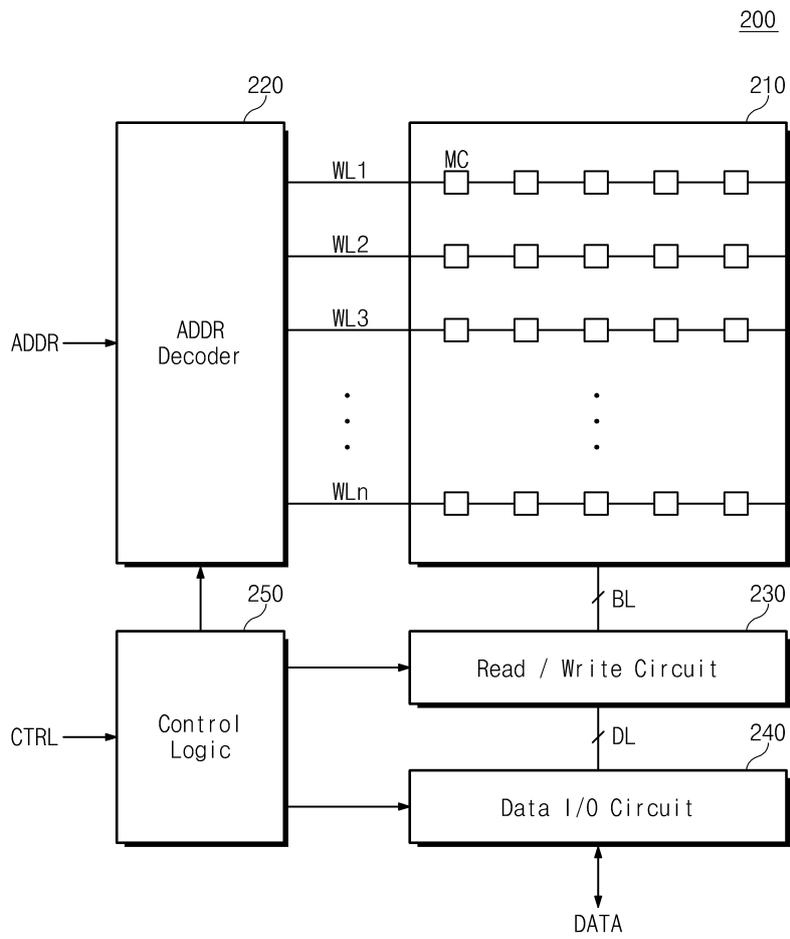
- [0096] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
- [0097] 도 2는 도 1의 메모리 장치를 보여주는 블록도이다.
- [0098] 도 3은 셀 당 두 개의 데이터 비트를 저장하는 메모리 셀들의 문턱 전압 산포를 보여주는 다이어그램이다.
- [0099] 도 4 내지 7은 본 발명의 제 1 실시 예에 따른 섹터 저장 방법을 보여주는 다이어그램이다.
- [0100] 도 8은 본 발명의 제 2 실시 예에 따른 섹터 저장 방법을 보여주는 다이어그램이다.
- [0101] 도 9는 데이터 및 패리티가 별도의 저장 영역에 저장되는 경우를 보여주는 다이어그램이다.
- [0102] 도 11 및 12는 도 10의 컴퓨팅 시스템(300)의 소프트웨어 계층 구조를 보여주는 다이어그램이다.

도면

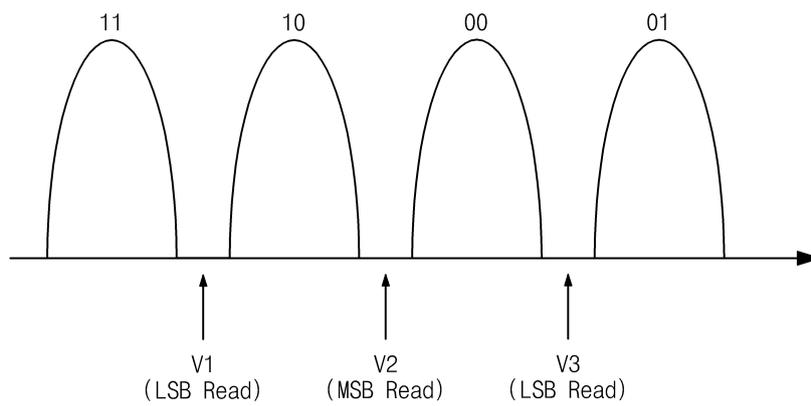
도면1



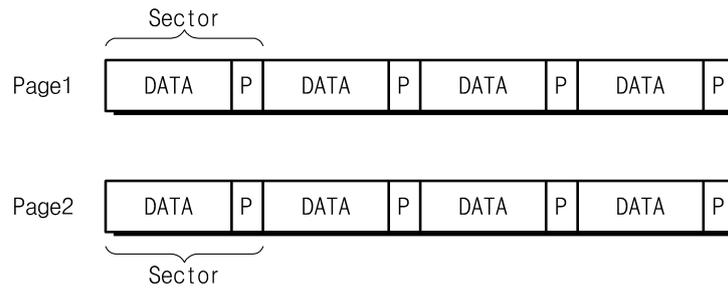
도면2



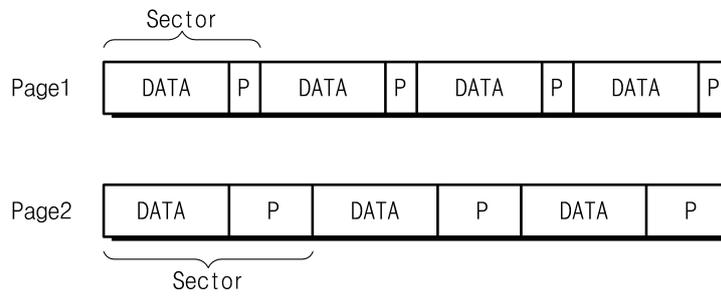
도면3



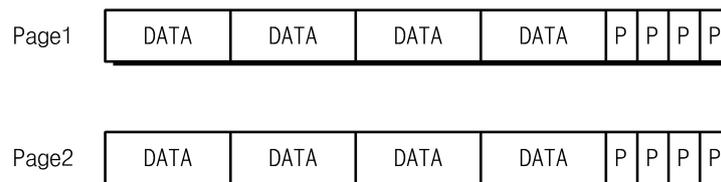
도면4



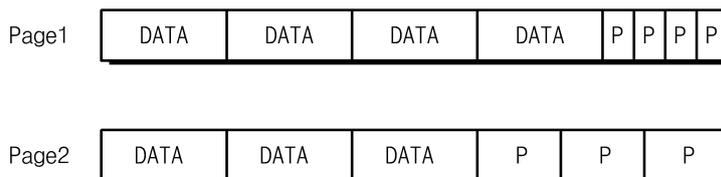
도면5



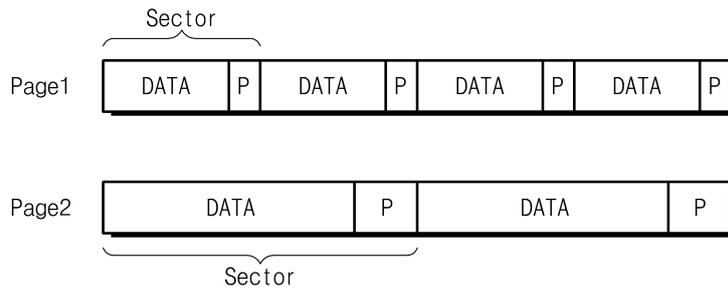
도면6



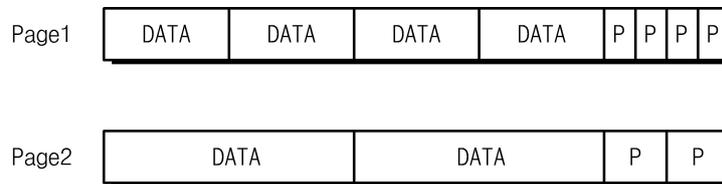
도면7



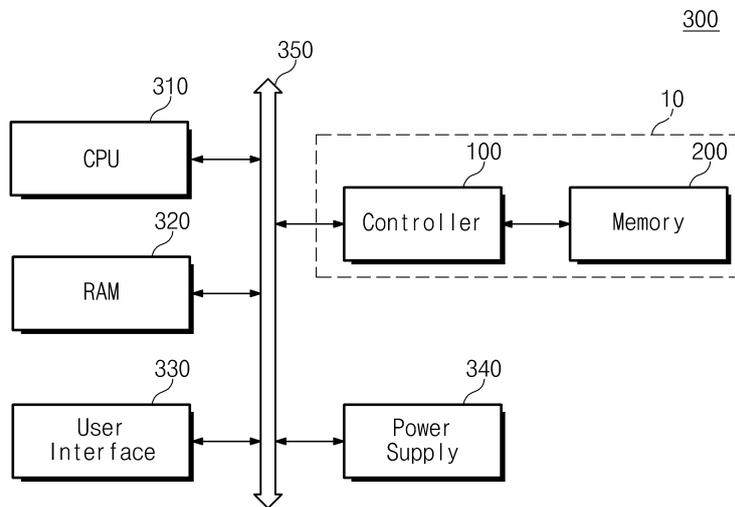
도면8



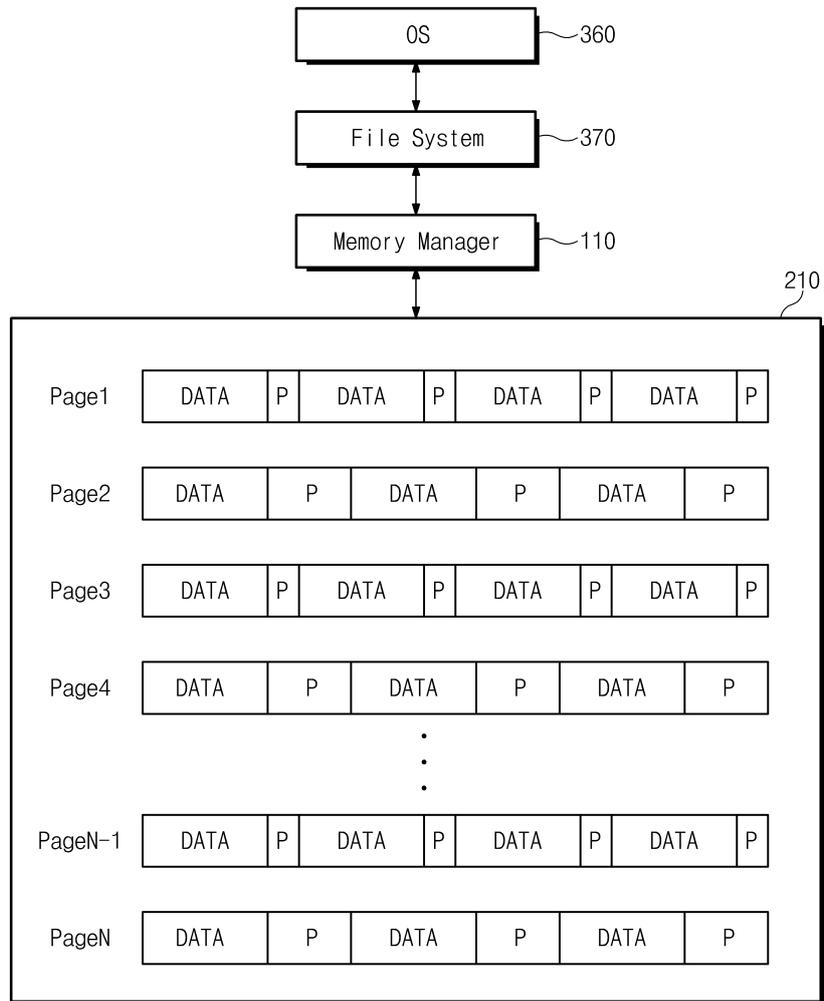
도면9



도면10



도면11



도면12

