

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4778132号  
(P4778132)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int.Cl. F I  
**G06F 12/00 (2006.01)** G O 6 F 12/00 5 6 4 A  
 G O 6 F 12/00 5 9 7 D

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2000-148480 (P2000-148480)	(73) 特許権者	308014341
(22) 出願日	平成12年5月19日 (2000.5.19)		富士通セミコンダクター株式会社
(65) 公開番号	特開2001-331365 (P2001-331365A)		神奈川県横浜市港北区新横浜二丁目10番 23
(43) 公開日	平成13年11月30日 (2001.11.30)	(74) 代理人	100070150
審査請求日	平成19年3月8日 (2007.3.8)		弁理士 伊東 忠彦
		(72) 発明者	柳川 幹
			神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		審査官	堀江 義隆
		(56) 参考文献	特開平11-025029 (JP, A)
		(58) 調査した分野(Int.Cl., DB名)	G06F 12/00

(54) 【発明の名称】 メモリコントローラ及びシステム

(57) 【特許請求の範囲】

【請求項1】

ダブルデータレートのデータをストロープ信号と共に出力するメモリに接続され該メモリを制御するメモリコントローラであって、

該メモリに供給するクロック信号を生成するクロック信号生成回路と、

前記クロック信号を参照信号として用い該クロック信号をフィードバック制御して略1/4サイクルに相当する時間だけ遅延するように制御する信号と同一の信号により該ストロープ信号の可変遅延回路を制御し、該クロック信号の略1/4サイクルに相当する時間だけ該ストロープ信号を遅延させ、遅延されたストロープ信号をタイミング信号として該データをラッチするデータ取り込み回路

を含むことを特徴とするメモリコントローラ。

【請求項2】

該データ取り込み回路は、

該クロック信号の略1/4サイクルに相当する時間だけ該ストロープ信号を遅延させる前記可変遅延回路と、

該可変遅延回路で遅延されたストロープ信号をタイミング信号として該データをラッチするラッチ回路

を含むことを特徴とする請求項1記載のメモリコントローラ。

【請求項3】

該データ取り込み回路は、

該可変遅延回路と同一の遅延を有するように制御される回路を一段或いは複数段直列に接続した可変遅延回路列と、

該クロック信号を参照信号として該可変遅延回路列の遅延量を検出する位相比較回路を更に含み、該位相比較回路の遅延量検出結果に基づいて該可変遅延回路及び該可変遅延回路列の遅延を制御することを特徴とする請求項 2 記載のメモリコントローラ。

【請求項 4】

該データ取り込み回路は、該位相比較回路の該遅延量検出結果に基づいて該可変遅延回路及び該可変遅延回路列の遅延を制御する制御信号を生成する遅延制御回路を更に含むことを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 5】

該位相比較回路の該遅延量検出結果を該メモリコントローラ外部に送出し、該可変遅延回路及び該可変遅延回路列の遅延を制御する制御信号を該メモリコントローラ外部から受け取るとを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 6】

該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 4 段直列に接続した構成であり、該クロック信号を受け取り該可変遅延回路の 4 倍の遅延量だけ該クロック信号を遅延させ、該位相比較回路は、該クロック信号と該可変遅延回路列で遅延されたクロック信号との位相を比較することを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 7】

該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 2 段直列に接続した構成であり、該クロック信号を受け取り該可変遅延回路の 2 倍の遅延量だけ該クロック信号を遅延させ、該位相比較回路は、該クロック信号の反転信号と該可変遅延回路列で遅延されたクロック信号との位相を比較することを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 8】

該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 2 段直列に接続した構成であり、該クロック信号の 2 倍の周波数の信号を受け取り該可変遅延回路の 2 倍の遅延量だけ遅延させ、該位相比較回路は、該クロック信号の 2 倍の周波数の信号と該可変遅延回路列で遅延された該クロック信号の 2 倍の周波数の信号との位相を比較することを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 9】

該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路が 1 段よりなる構成であり、該クロック信号の 2 倍の周波数の信号を受け取り該可変遅延回路と等しい遅延量だけ遅延させ、該位相比較回路は、該クロック信号の 2 倍の周波数の信号の反転信号と該可変遅延回路列で遅延された該クロック信号の 2 倍の周波数の信号との位相を比較することを特徴とする請求項 3 記載のメモリコントローラ。

【請求項 10】

ダブルデータレートのデータをストロブ信号と共に出力するメモリと、  
該データと該ストロブ信号を受け取ると共に該メモリを制御するメモリコントローラと、

該メモリに供給するクロック信号を生成するクロック信号生成回路と、  
前記クロック信号を参照信号として用い該クロック信号をフィードバック制御して略 1 / 4 サイクルに相当する時間だけ遅延するように制御する信号と同一の信号により該ストロブ信号の可変遅延回路を制御し、該クロック信号の略 1 / 4 サイクルに相当する時間だけ該ストロブ信号を遅延させ、遅延されたストロブ信号をタイミング信号として該データをラッチする該メモリコントローラ内部に設けられるデータ取り込み回路を含むことを特徴とするシステム。

【発明の詳細な説明】

【0001】

10

20

30

40

50

**【発明の属する技術分野】**

本発明は、一般に半導体記憶装置のコントローラ、及び半導体記憶装置及びコントローラを含むシステムに関し、詳しくは、ダブルデータレートのデータをストローク信号と共に出力する半導体記憶装置のコントローラ、及びダブルデータレートのデータをストローク信号で制御するシステムに関する。

**【0002】****【従来の技術】**

ダブルデータレートで動作するDRAM等の半導体記憶装置は、一般に、データストローク信号とデータ信号とを同位相で出力し、データ信号のデータ変化タイミングを、ストローク信号の立ち上がりエッジと立ち下がりエッジとの両方のタイミングに合わせている。半導体記憶装置に接続されたコントローラは、ストローク信号を受け取り適当な遅延量だけ遅延し、この遅延されたストローク信号を用いてデータ信号をラッチすることで、内部にデータを取り込む。

10

**【0003】****【発明が解決しようとする課題】**

従来、コントローラ内部では、インバータ列等から構成されるディレイ回路を使用してストローク信号を遅延させることで、データ信号を最適なタイミングでラッチするようにタイミング信号を生成していた。しかし、製造プロセスの誤差、動作温度や電源電圧の変動等によって、ディレイ回路の遅延量が変化してしまうと、データに対して最適な取り込みタイミングを保つことが困難になる。即ち、データに対する適切なデータホールド時間及びデータセットアップ時間を確保することが難しくなる。

20

**【0004】**

従って、本発明は、半導体記憶装置に接続されたコントローラにおいて、種々の変動要因が存在しても最適なデータ取り込みタイミングを保つことが可能なコントローラを提供することを目的とする。

**【0005】****【課題を解決するための手段】**

請求項1の発明では、ダブルデータレートのデータをストローク信号と共に出力するメモリに接続され該メモリを制御するメモリコントローラは、該メモリに供給するクロック信号を生成するクロック信号生成回路と、前記クロック信号を参照信号として用い該クロック信号をフィードバック制御して略1/4サイクルに相当する時間だけ遅延するように制御する信号と同一の信号により該ストローク信号の可変遅延回路を制御し、該クロック信号の略1/4サイクルに相当する時間だけ該ストローク信号を遅延させ、遅延されたストローク信号をタイミング信号として該データをラッチするデータ取り込み回路を含む。

30

**【0006】**

請求項2の発明では、請求項1記載のメモリコントローラにおいて、該データ取り込み回路は、該クロック信号の略1/4サイクルに相当する時間だけ該ストローク信号を遅延させる可変遅延回路と、該可変遅延回路で遅延されたストローク信号をタイミング信号として該データをラッチするラッチ回路を含む。

40

**【0007】**

請求項3の発明では、請求項2記載のメモリコントローラにおいて、該データ取り込み回路は、該可変遅延回路と同一の遅延を有するように制御される回路を一段或いは複数段直列に接続した可変遅延回路列と、該クロック信号を参照信号として該可変遅延回路列の遅延量を検出する位相比較回路を更に含み、該位相比較回路の遅延量検出結果に基づいて該可変遅延回路及び該可変遅延回路列の遅延を制御する。

**【0008】**

請求項4の発明では、請求項3記載のメモリコントローラにおいて、該データ取り込み回路は、該位相比較回路の該遅延量検出結果に基づいて該可変遅延回路及び該可変遅延回路列の遅延を制御する制御信号を生成する遅延制御回路を更に含む。

**【0009】**

50

請求項 5 の発明では、請求項 3 記載のメモリコントローラは、該位相比較回路の該遅延量検出結果を該メモリコントローラ外部に送出し、該可変遅延回路及び該可変遅延回路列の遅延を制御する制御信号を該メモリコントローラ外部から受け取る。

【 0 0 1 0 】

請求項 6 の発明では、請求項 3 記載のメモリコントローラにおいて、該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 4 段直列に接続した構成であり、該クロック信号を受け取り該可変遅延回路の 4 倍の遅延量だけ該クロック信号を遅延させ、該位相比較回路は、該クロック信号と該可変遅延回路列で遅延されたクロック信号との位相を比較する。

【 0 0 1 1 】

請求項 7 の発明では、請求項 3 記載のメモリコントローラにおいて、該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 2 段直列に接続した構成であり、該クロック信号を受け取り該可変遅延回路の 2 倍の遅延量だけ該クロック信号を遅延させ、該位相比較回路は、該クロック信号の反転信号と該可変遅延回路列で遅延されたクロック信号との位相を比較する。

【 0 0 1 2 】

請求項 8 の発明では、請求項 3 記載のメモリコントローラにおいて、該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路を 2 段直列に接続した構成であり、該クロック信号の 2 倍の周波数の信号を受け取り該可変遅延回路の 2 倍の遅延量だけ遅延させ、該位相比較回路は、該クロック信号の 2 倍の周波数の信号と該可変遅延回路列で遅延された該クロック信号の 2 倍の周波数の信号との位相を比較する。

【 0 0 1 3 】

請求項 9 の発明では、請求項 3 記載のメモリコントローラにおいて、該可変遅延回路列は、該可変遅延回路と同一の遅延を有するように制御される回路が 1 段よりなる構成であり、該クロック信号の 2 倍の周波数の信号を受け取り該可変遅延回路と等しい遅延量だけ遅延させ、該位相比較回路は、該クロック信号の 2 倍の周波数の信号の反転信号と該可変遅延回路列で遅延された該クロック信号の 2 倍の周波数の信号との位相を比較する。

【 0 0 1 4 】

上記発明では、ラッチ回路に供給されるタイミング信号は、データストローブ信号をクロック信号 CLK の 1 / 4 サイクル分だけ遅延した信号であるので、データ信号におけるデータ変化タイミングの丁度真中でデータ信号をラッチすることになる。従って、最適なデータホールド時間とデータセットアップ時間を実現することが出来る。また所定値に遅延時間を設定するのではなく、フィードバック制御によってクロック信号の 1 / 4 サイクルになるように遅延時間を制御するので、製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因が存在しても、最適なデータ取り込みタイミングを確保することが出来る。またクロック信号の反転信号や、クロック信号の 2 倍の周波数の信号をフィードバック制御における参照信号として用いることで、可変遅延回路列の規模を縮小することが出来る。

【 0 0 1 5 】

また上記のメモリコントローラをダブルデータレートのメモリと組み合わせたシステムにおいても、上記と同様の作用を実現することが出来る。

【 0 0 1 6 】

【発明の実施の形態】

図 1 は、本発明を適用するシステムの一例の構成を示す。

【 0 0 1 7 】

図 1 のシステムは、メモリコントローラ 10 と、メモリデバイス 11 と、マイクロプロセッサ 12 を含む。メモリコントローラ 10 は、データ読み出し書き込み操作をメモリデバイス 11 に行う際に、マイクロプロセッサ 12 とメモリデバイス 11 との間で制御の仲介を行う。マイクロプロセッサ 12 とメモリコントローラ 10 との間は、データ信号、アドレス信号、コントロール信号、及びクロック信号が伝送される。メモリコントローラ 10

10

20

30

40

50

とメモリデバイス11との間は、ストローク信号、データ信号、アドレス信号、コントロール信号、及びクロック信号が伝送される。

【0018】

一般にメモリコントローラ10の役割としては、マイクロプロセッサ12とメモリデバイス11との間でデータバスのバス幅を変換したり、メモリデバイス11に対してDMA(ダイレクトメモリアクセス)動作を実行したり等、メモリアクセスに関連する種々の制御動作を実行する。

【0019】

本発明が適用されるシステムにおいては、メモリデバイス11は、ストローク信号の立ち上がりエッジと立ち上がりエッジの両方でデータを入出力するデータダブルレートのメモリデバイスである。データ書き込み時には、メモリコントローラ10からメモリデバイス11にデータと共にストローク信号が供給され、データ読み出し時には、メモリデバイス11からメモリコントローラ10へデータと共にストローク信号が供給される。データ読み出し時にメモリデバイス11からメモリコントローラ10に供給されるストローク信号は、その立ち上がりエッジ及び立ち上がりエッジのタイミングが、データ信号のデータ変化点のタイミングに一致した信号である。

10

【0020】

図2は、本発明によるメモリコントローラの一例の概略構成を示す。

【0021】

図2に示されるメモリコントローラ10は、マイクロプロセッサ12のデータバスの幅が64ビットでありメモリデバイス11のデータバスの幅が32ビットである場合に、マイクロプロセッサ12とメモリデバイス11との間でデータバス幅の変換を行うコントローラの一例である。

20

【0022】

図2に示されるメモリコントローラ10は、クロック発生回路21、ライトコントロール回路22、リードコントロール回路23、インターフェイス24、インターフェイス25、遅延回路26、ラッチ回路27、セクタ回路28、セクタ回路29、及びラッチ回路30乃至33を含む。

【0023】

クロック発生回路21は、クロック信号CLKを発生し、ライトコントロール回路22及びリードコントロール回路23に供給する。クロック発生回路21は更に、メモリコントローラ10に接続されたメモリデバイス11に、クロック信号CLKを供給する。なおダブルデータレートのメモリデバイスに対しては、クロック信号CLKだけでなく、クロック信号CLKを反転したクロック信号/CLKも供給するのが一般的である。また場合によっては、クロック発生回路21は、クロック信号CLKの2倍の周波数を有するクロック信号CLK2及びその反転クロック/CLK2を生成する場合もある。

30

【0024】

データ書き込み時には、マイクロプロセッサ12からの64ビットデータが、インターフェイス25を介して、ラッチ回路30及び31に32ビットずつ格納される。セクタ回路28は、ラッチ回路30及び31の一方を交互に選択し、選択したラッチ回路の32ビットのデータを、インターフェイス24を介してメモリデバイス11に供給する。これらの動作のタイミングは、ライトコントロール回路22によって制御される。またライトコントロール回路22は、インターフェイス24を介して、データストローク信号をメモリデバイス11に供給する。

40

【0025】

データ読み出し時には、メモリデバイス11からの32ビットのデータが、インターフェイス24を介してラッチ回路27に供給される。またメモリデバイス11からのストローク信号は、インターフェイス24を介して、遅延回路26に供給される。ストローク信号は、遅延回路26によってクロック信号CLKの1/4サイクル分だけ遅延され、タイミング信号としてラッチ回路27に供給される。ラッチ回路27は、供給されたタイミング

50

信号を用いてデータ信号をラッチする。セクタ回路 29 はラッチ回路 32 及び 33 の一方を交互に選択し、ラッチ回路 27 にラッチされたデータを、選択したラッチ回路に交互に格納する。ラッチ回路 32 及び 33 に格納された計 64 ビットのデータは、インターフェイス 25 を介して、マイクロプロセッサ 12 に供給される。

【0026】

ここで遅延回路 26 とラッチ回路 27 とが、クロック信号 CLK の 1/4 サイクル分だけストロブ信号を遅延してデータ信号を取り込む本発明によるデータ取り込み回路 50 を構成する。データ取り込み回路 50 は、クロック信号 CLK を、クロック発生回路 21 から供給される。

【0027】

図 3 は、本発明によるデータ取り込み回路 50 の第 1 の実施例の構成を示す。

【0028】

データ取り込み回路 50 は、5 つの可変遅延回路 51 - 1 乃至 51 - 5、遅延制御回路 52、位相比較器 53、及びラッチ回路 27 を含む。可変遅延回路 51 - 1 乃至 51 - 5 は、同一の回路構成を有しており、遅延制御回路 52 から出力される同一の制御信号によって制御される。従って、可変遅延回路 51 - 1 乃至 51 - 5 は、常に同一の遅延を有することになる。なお図 2 においては、簡略化のために、可変遅延回路 51 - 1 乃至 51 - 5、遅延制御回路 52、位相比較器 53 を纏めて、遅延回路 26 として示している。

【0029】

クロック信号 CLK は、そのまま位相比較器 53 の一方の入力端子に入力されると共に、4 つの可変遅延回路 51 - 1 乃至 51 - 4 によって遅延された後に位相比較器 53 のもう一方の入力端子に遅延クロック信号 DCLK として入力される。位相比較器 53 は、クロック信号 CLK と遅延クロック信号 DCLK との位相を比較して、位相比較結果を遅延制御回路 52 に供給する。

【0030】

遅延制御回路 52 は、クロック信号 CLK と遅延クロック信号 DCLK との位相が同一（正確には遅延クロック信号 DCLK が 360 度遅延した位相）となるように、制御信号を生成して 4 つの可変遅延回路 51 - 1 乃至 51 - 4 の遅延量を調整する。即ち、クロック信号 CLK と遅延クロック信号 DCLK とのエッジタイミングを比較して、遅延クロック信号 DCLK のエッジタイミングが相対的に早い場合には遅延量を増やすように制御し、遅延クロック信号 DCLK のエッジタイミングが相対的に遅い場合には遅延量を減らすように制御する。

【0031】

上記の遅延調整の結果、遅延クロック信号 DCLK はクロック信号 CLK より 360 度位相が遅れた状態に制御される。前述のように可変遅延回路 51 - 1 乃至 51 - 4 は同一の回路構成で同一の遅延量を有するので、遅延クロック信号 DCLK がクロック信号 CLK より 360 度位相が遅れた状態では、一つの可変遅延回路は、クロック信号 CLK の 1/4 サイクルに相当する遅延量を有することになる。

【0032】

図 4 は、クロック信号 CLK、遅延クロック信号 DCLK、及び可変遅延回路 51 - 1 の出力の関係を示した図である。

【0033】

図 4 に示されるように、遅延クロック信号 DCLK は、クロック信号 CLK より 360 度位相が遅れるように調整される。この時、4 つの可変遅延回路 51 - 1 乃至 51 - 4 の遅延量はクロック信号 CLK の 1 サイクルに等しいので、可変遅延回路 51 - 1 の出力は、クロック信号 CLK を 1/4 サイクルだけ遅延した信号となる。即ち、可変遅延回路 51 - 1 の遅延量は、クロック信号 CLK の 1/4 サイクルに等しい遅延量に設定される。

【0034】

図 3 において、可変遅延回路 51 - 5 は、他の可変遅延回路と同じ制御信号で同じ遅延量を有するように制御されるので、クロック信号 CLK の 1/4 サイクルに等しい遅延を有

10

20

30

40

50

することになる。この結果、可変遅延回路 5 1 - 5 に入力されるデータストローブ信号 D S は、クロック信号 C L K の 1 / 4 サイクル分だけ遅延され、ラッチ回路 2 7 にタイミング信号として供給される。ラッチ回路 2 7 は、供給されたタイミング信号を用いてデータ信号 D Q をラッチする。

**【 0 0 3 5 】**

ラッチ回路 2 7 に供給されるタイミング信号は、データストローブ信号 D S をクロック信号 C L K の 1 / 4 サイクル分だけ遅延した信号である。またデータ信号 D Q におけるデータ変化タイミングは、データストローブ信号 D S の立ち上り及び立下りエッジである。従って、ラッチ回路 2 7 に供給されるタイミング信号は、データ信号 D Q におけるデータ変化タイミングの丁度真中でデータ信号 D Q をラッチすることになる。従って、最適なデータホールド時間とデータセットアップ時間を実現することが出来る。

10

**【 0 0 3 6 】**

また製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因によって可変遅延回路の遅延が変動しても、クロック信号の位相比較に基づく遅延量制御によって、可変遅延回路 5 1 - 5 の遅延量がクロック信号の 1 / 4 サイクルになるように調整されるので、種々の変動要因が存在する条件下でも最適なデータ取り込みタイミングを確保することが出来る。

**【 0 0 3 7 】**

図 5 は、位相比較器 5 3 及び遅延制御回路 5 2 の回路構成の一例を示す回路図である。図 5 の回路に入力される信号 S 1 及び S 2 は、クロック信号 C L K 及び遅延クロック信号 D C L K に対応する。

20

**【 0 0 3 8 】**

図 5 の回路は、N A N D 回路 1 4 1 乃至 1 4 5、インバータ 1 4 6 乃至 1 4 9、N A N D 回路 1 5 0 及び 1 5 1、インバータ 1 5 2 及び 1 5 3、バイナリカウンタ 1 5 4、インバータ 1 5 5、N A N D 回路 1 5 6 及び 1 5 7、及びインバータ 1 5 8 及び 1 5 9 を含む。例えば、N A N D 回路 1 4 1 乃至 1 4 5 及びインバータ 1 4 6 乃至 1 4 9 が位相比較器 5 3 を構成し、残りの部分が遅延制御回路 5 2 を構成すると考えればよい。

**【 0 0 3 9 】**

N A N D 回路 1 4 4 及び 1 4 5 はラッチを構成し、図 5 に示されるように初期状態では 2 つの入力が L O W であり、2 つの出力は H I G H である。信号 S 1 の立ち上がりエッジが、信号 S 2 の立ち上がりエッジより早い場合、N A N D 回路 1 4 3 の出力の方が N A N D 回路 1 4 2 の出力よりも先に H I G H になる。従って、N A N D 回路 1 4 5 の出力が L O W になり、N A N D 回路 1 4 4 の出力は H I G H のままである。この状態はラッチされるので、その後信号 S 2 の立ち上がりエッジによって N A N D 回路 1 4 2 の出力が H I G H になっても状態は変化しない。従って、信号 S 1 の方が位相が進んでいる場合には、インバータ 1 4 9 の出力は H I G H になる。逆に信号 S 2 の方が位相が進んでいる場合には、インバータ 1 5 5 の出力が H I G H になる。

30

**【 0 0 4 0 】**

ここでインバータ 1 4 8 からの信号は、適切なタイミングで N A N D 回路 1 4 2 及び 1 4 3 の出力を同時に L O W にすることで、ラッチの状態を初期状態に戻す役目を果たす。このような構成にしないと、信号 S 1 の方が位相が進んでいる場合に、N A N D 回路 1 4 3 の出力が H I G H になり続いて N A N D 回路 1 4 2 の出力が H I G H になった後、信号 S 1 が信号 S 2 より先に L O W に戻ることでラッチの状態が逆転され、N A N D 回路 1 4 4 の出力が L O W になってしまう。これを避けるために、N A N D 回路 1 4 2 及び 1 4 3 の出力を同時に L O W にすることが行われる。

40

**【 0 0 4 1 】**

インバータ 1 4 8 の出力信号は、バイナリカウンタ 1 5 4 に供給される。バイナリカウンタ 1 5 4 の 2 つの出力は、入力信号 S 1 及び S 2 の 1 サイクル毎に交互に H I G H になる信号である。バイナリカウンタ 1 5 4 は、N A N D 回路 1 6 1 乃至 1 6 8 と、インバータ 1 6 9 乃至 1 7 1 を含む。その動作は従来技術の範囲内であるので、説明を省略する。

50

## 【 0 0 4 2 】

バイナリカウンタ 1 5 4 の 2 つの出力は、NAND 回路 1 5 0 及び 1 5 1 の一方の入力に供給される。NAND 回路 1 5 0 及び 1 5 1 のもう一方の入力には、インバータ 1 4 9 からの出力が供給される。更にバイナリカウンタ 1 5 4 の 2 つの出力は、NAND 回路 1 5 6 及び 1 5 7 の一方の入力に供給される。NAND 回路 1 5 6 及び 1 5 7 のもう一方の入力には、インバータ 1 5 5 からの出力が供給される。

## 【 0 0 4 3 】

従って、信号 S 1 の方が信号 S 2 より位相が進んでいる場合には、NAND 回路 1 5 0 及び 1 5 1 の出力を反転するインバータ 1 5 2 及び 1 5 3 から、HIGH パルスが交互に出力されることになる。逆に信号 S 2 の方が位相が進んでいる場合には、NAND 回路 1 5 6 及び 1 5 7 の出力を反転するインバータ 1 5 8 及び 1 5 9 から、HIGH パルスが交互に出力される。

## 【 0 0 4 4 】

インバータ 1 5 2 及び 1 5 3 或いはインバータ 1 5 8 及び 1 5 9 から交互に出力される HIGH パルスが、可変遅延回路に供給されて、可変遅延回路の遅延量を調整する。

## 【 0 0 4 5 】

図 6 は可変遅延回路の構成の一部を示す回路図であり、図 7 は可変遅延回路の構成の残りの部分を示す回路図である。図 6 及び図 7 の回路構成で、可変遅延回路の全体を構成する。

## 【 0 0 4 6 】

可変遅延回路は、NOR 回路 2 0 1 - 0 乃至 2 0 1 - n、インバータ 2 0 2 - 1 乃至 2 0 2 - n、NAND 回路 2 0 3 - 1 乃至 2 0 3 - n、NMOS トランジスタ 2 0 4 - 1 乃至 2 0 4 - n、NMOS トランジスタ 2 0 5 - 1 乃至 2 0 5 - n、NMOS トランジスタ 2 0 6 - 1 乃至 2 0 6 - n、及び NMOS トランジスタ 2 0 7 - 1 乃至 2 0 7 - n を含む。リセット信号 R が LOW にされると、図 6 の回路はリセットされる。即ち、リセット信号 R が LOW になると、NAND 回路 2 0 3 - 1 乃至 2 0 3 - n の出力が HIGH になり、インバータ 2 0 2 - 1 乃至 2 0 2 - n の出力が LOW になる。NAND 回路 2 0 3 - 1 乃至 2 0 3 - n とインバータ 2 0 2 - 1 乃至 2 0 2 - n との各ペアは、互いの出力を互いの入力とすることでラッチを形成する。従って、上記リセット信号 R で設定された初期状態は、リセット信号 R が HIGH に戻っても保持される。

## 【 0 0 4 7 】

この初期状態では、図 6 に示されるように、NOR 回路 2 0 1 - 0 の出力 P ( 0 ) は HIGH であり、NOR 回路 2 0 1 - 1 乃至 2 0 1 - n の出力 P ( 1 ) 乃至 P ( n ) は LOW である。即ち出力 P ( 0 ) だけが HIGH である。

## 【 0 0 4 8 】

遅延量を大きくする必要がある場合には、信号線 A 及び B に交互に HIGH パルスを供給する。まず信号線 B に HIGH パルスが供給されると、NMOS トランジスタ 2 0 4 - 1 がオンになる。このとき NMOS トランジスタ 2 0 6 - 1 がオンであるので、NAND 回路 2 0 3 - 1 の出力がグランドに接続されて、強制的に HIGH から LOW に変化させられる。従ってインバータ 2 0 2 - 1 の出力は HIGH になり、この状態が NAND 回路 2 0 3 - 1 とインバータ 2 0 2 - 1 からなるラッチに保持される。またこの時出力 P ( 0 ) は HIGH から LOW に変化し、出力 P ( 1 ) は LOW から HIGH に変化する。従ってこの状態では、出力 P ( 1 ) のみが HIGH になる。

## 【 0 0 4 9 】

次に信号線 A に HIGH パルスが供給されると、NMOS トランジスタ 2 0 4 - 2 がオンになる。このとき NMOS トランジスタ 2 0 6 - 2 がオンになっているので、NAND 回路 2 0 3 - 2 の出力がグランドに接続されて、強制的に HIGH から LOW に変化させられる。従ってインバータ 2 0 2 - 2 の出力は HIGH になり、この状態が NAND 回路 2 0 3 - 2 とインバータ 2 0 2 - 2 からなるラッチに保持される。またこの時出力 P ( 1 ) は HIGH から LOW に変化し、出力 P ( 2 ) は LOW から HIGH に変化する。従って



この状態では、出力 P ( 2 ) だけが H I G H になる。

【 0 0 5 0 】

このように信号線 A 及び B に交互に H I G H パルスを供給することで、出力 P ( 0 ) 乃至 P ( n ) のうちで一つだけ H I G H である出力を一つずつ右にずらしていくことが出来る。

【 0 0 5 1 】

遅延量を小さくする必要がある場合には、信号線 C 及び D に交互に H I G H パルスを供給する。この場合の動作は、上述の動作と逆であるので、詳細な説明は省略するが、信号線 C 及び D に交互に H I G H パルスを供給することで、出力 P ( 0 ) 乃至 P ( n ) のうちで一つだけ H I G H である出力を一つずつ左にずらしていくことが出来る。

10

【 0 0 5 2 】

これらの出力信号 P ( 1 ) 乃至 P ( n ) を、可変遅延回路の図 7 の回路部分に供給することで、信号の遅延量を調整する。

【 0 0 5 3 】

可変遅延回路の図 7 の回路部分は、インバータ 2 1 0、NAND 回路 2 1 1 - 1 乃至 2 1 1 - n、NAND 回路 2 1 2 - 1 乃至 2 1 2 - n、及びインバータ 2 1 3 - 1 乃至 2 1 3 - n を含む。ここで NAND 回路 2 1 2 - 1 乃至 2 1 2 - n 及びインバータ 2 1 3 - 1 乃至 2 1 3 - n が、遅延素子列を構成する。

【 0 0 5 4 】

NAND 回路 2 1 1 - 1 乃至 2 1 1 - n の一方の入力には、入力信号 S I の反転信号がインバータ 2 1 0 から供給され、もう一方の入力には信号 P ( 1 ) 乃至 P ( n ) が供給される。信号 P ( 1 ) 乃至 P ( n ) のうちで、一つだけ H I G H である信号を P ( x ) とする。

20

【 0 0 5 5 】

NAND 回路 2 1 1 - 1 乃至 2 1 1 - n うちで NAND 回路 2 1 1 - x 以外のものは、一方の入力が L O W であるから、出力は H I G H レベルになる。この H I G H レベルを一方の入力に受け取る NAND 回路 2 1 2 - 1 乃至 2 1 2 - n のうちで NAND 回路 2 1 2 - x 以外のものは、他方の入力に対するインバータとして機能する。

【 0 0 5 6 】

従って、NAND 回路 2 1 2 - x より図面左側にある遅延素子列は、NAND 回路 2 1 2 - n の一方の入力に与えられる固定の H I G H レベルを伝達する。従って、NAND 回路 2 1 2 - x の一方の入力は H I G H である。NAND 回路 2 1 2 - x のもう一方の入力には、インバータ 2 1 0 及び NAND 回路 2 1 1 - x を介して、入力信号 S I が供給される。従って、NAND 回路 2 1 2 - x からインバータ 2 1 3 - 1 までの遅延素子列は、入力信号 S I を遅延させながら伝播させ、遅延された信号が出力信号 S O として得られる。この場合の出力信号 S O は、入力信号 S I に対して、遅延素子 x 段分の遅延時間だけ遅れることになる。

30

【 0 0 5 7 】

このように、図 5 に示される位相比較器 5 3 及び遅延制御回路 5 2 がクロック信号の位相を比較して、この位相比較結果に基づいて、交互に H I G H になるパルス信号を出力する。このパルス信号が可変遅延回路の図 6 に示される回路部分に供給され、出力信号 P ( 1 ) 乃至 P ( n ) のうちで唯一 H I G H である信号の位置を制御し、この信号 P ( 1 ) 乃至 P ( n ) によって、可変遅延回路の図 7 に示される回路部分の遅延量を設定する。

40

【 0 0 5 8 】

図 8 は、本発明によるデータ取り込み回路の第 2 の実施例の構成を示す。

【 0 0 5 9 】

図 8 のデータ取り込み回路 5 0 A は、3 つの可変遅延回路 5 1 - 1、5 1 - 2、及び 5 1 - 5、遅延制御回路 5 2、位相比較器 5 3、及びラッチ回路 2 7 を含む。

【 0 0 6 0 】

クロック信号 C L K の反転信号 / C L K が、位相比較器 5 3 の一方の入力端子に入力され

50

る。またクロック信号CLKが、2つの可変遅延回路51-1及び51-2によって遅延された後に、位相比較器53のもう一方の入力端子に遅延クロック信号DCLKとして入力される。位相比較器53は、反転クロック信号/CLKと遅延クロック信号DCLKとの位相を比較して、位相比較結果を遅延制御回路52に供給する。

【0061】

遅延制御回路52は、反転クロック信号/CLKと遅延クロック信号DCLKとの位相が同一となるように、制御信号を生成して2つの可変遅延回路51-1及び51-2の遅延量を調整する。即ち、反転クロック信号/CLKと遅延クロック信号DCLKとのエッジタイミングを比較して、遅延クロック信号DCLKのエッジタイミングが相対的に早い場合には遅延量を増やすように制御し、遅延クロック信号DCLKのエッジタイミングが相対的に遅い場合には遅延量を減らすように制御する。

10

【0062】

上記の遅延調整の結果、遅延クロック信号DCLKは反転クロック信号/CLKと同位相の状態に制御される。即ち、遅延クロック信号DCLKはクロック信号CLKより180度位相が遅れた状態に制御される。可変遅延回路51-1及び51-2は同一の回路構成で同一の遅延量を有するので、遅延クロック信号DCLKがクロック信号CLKより180度位相が遅れた状態では、一つの可変遅延回路は、クロック信号CLKの1/4サイクルに相当する遅延量を有することになる。

【0063】

可変遅延回路51-5は、他の可変遅延回路と同じ制御信号で同じ遅延量を有するように制御されるので、クロック信号CLKの1/4サイクルに等しい遅延を有することになる。この結果、可変遅延回路51-5に入力されるデータストローブ信号DSは、クロック信号CLKの1/4サイクル分だけ遅延され、ラッチ回路27にタイミング信号として供給される。ラッチ回路27は、供給されたタイミング信号を用いてデータ信号DQをラッチする。

20

【0064】

従って、製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因が存在する条件下であっても、最適なデータ取り込みタイミングを確保することが出来る。また可変遅延回路の数を削減して回路規模を縮小し、コスト削減を図ることが出来る。

【0065】

図9は、本発明によるデータ取り込み回路の第3の実施例の構成を示す。

30

【0066】

図9のデータ取り込み回路50Bは、3つの可変遅延回路51-1、51-2、及び51-5、遅延制御回路52、位相比較器53、及びラッチ回路27を含む。

【0067】

クロック信号CLKの2倍の周波数のクロック信号CLK2が、クロック発生回路21(図2参照)によって生成され、位相比較器53の一方の入力端子に入力されると共に、2つの可変遅延回路51-1及び51-2によって遅延された後に、位相比較器53のもう一方の入力端子に遅延クロック信号DCLK2として入力される。位相比較器53は、クロック信号CLK2と遅延クロック信号DCLK2との位相を比較して、位相比較結果を遅延制御回路52に供給する。

40

【0068】

遅延制御回路52は、クロック信号CLK2と遅延クロック信号DCLK2との位相が同一(正確には遅延クロック信号DCLK2が360度遅延した位相)となるように、制御信号を生成して2つの可変遅延回路51-1及び51-2の遅延量を調整する。この遅延調整の結果、遅延クロック信号DCLK2はクロック信号CLK2から位相が360度遅延した状態に制御される。可変遅延回路51-1及び51-2は同一の回路構成で同一の遅延量を有するので、遅延クロック信号DCLK2がクロック信号CLK2より360度位相が遅れた状態では、一つの可変遅延回路は、クロック信号CLK2の1/2サイクルに相当する遅延量を有することになる。クロック信号CLK2の2倍の周波数を有するク

50

ロック信号CLKのサイクルで考えた場合には、一つの可変遅延回路は、1/4サイクルに相当する遅延量を有することになる。

【0069】

この結果、可変遅延回路51-5は、クロック信号CLKの1/4サイクルに等しい遅延を有することになる。またラッチ回路27は、クロック信号CLKの1/4サイクル分だけ遅延されたタイミング信号によって、データ信号DQをラッチすることになる。

【0070】

従って、製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因が存在する条件下であっても、最適なデータ取り込みタイミングを確保することが出来る。また可変遅延回路の数を削減して回路規模を縮小し、コスト削減を図ることが出来る。

10

【0071】

図10は、本発明によるデータ取り込み回路の第4の実施例の構成を示す。

【0072】

図10のデータ取り込み回路50Cは、2つの可変遅延回路51-1及び51-5、遅延制御回路52、位相比較器53、及びラッチ回路27を含む。

【0073】

クロック信号CLKの2倍の周波数のクロック信号CLK2及びその反転信号/CLK2が、クロック発生回路21(図2参照)によって生成される。反転クロック信号/CLK2は、位相比較器53の一方の入力端子に入力され、クロック信号CLK2は、可変遅延回路51-1によって遅延された後に位相比較器53のもう一方の入力端子に遅延クロック信号DCLK2として入力される。位相比較器53は、反転クロック信号/CLK2と遅延クロック信号DCLK2との位相を比較して、位相比較結果を遅延制御回路52に供給する。

20

【0074】

遅延制御回路52は、反転クロック信号/CLK2と遅延クロック信号DCLK2との位相が同一となるように、制御信号を生成して可変遅延回路51-1の遅延量を調整する。この遅延調整の結果、遅延クロック信号DCLK2はクロック信号CLK2より180度位相が遅れた状態に制御される。即ち、可変遅延回路51-1は、クロック信号CLK2の1/2サイクルに相当する遅延量を有することになる。クロック信号CLK2の2倍の周波数を有するクロック信号CLKのサイクルで考えた場合には、可変遅延回路51-1は、1/4サイクルに相当する遅延量を有することになる。

30

【0075】

この結果、可変遅延回路51-5は、クロック信号CLKの1/4サイクルに等しい遅延を有することになる。またラッチ回路27は、クロック信号CLKの1/4サイクル分だけ遅延されたタイミング信号によって、データ信号DQをラッチすることになる。

【0076】

従って、製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因が存在する条件下であっても、最適なデータ取り込みタイミングを確保することが出来る。また可変遅延回路の数を削減して回路規模を縮小し、コスト削減を図ることが出来る。

【0077】

40

図11は、本発明によるデータ取り込み回路の第5の実施例の構成を示す。図11において、図3と同一の構成要素は同一の参照番号で参照され、その説明は省略される。

【0078】

データ取り込み回路50Dは、図3のデータ取り込み回路50と比較して、遅延制御回路52が取り除かれる。またデータ取り込み回路50Dは、インターフェイス25(図2参照)を介して、マイクロプロセッサ12に接続される。

【0079】

データ取り込み回路50Dの位相比較器53は、位相比較結果をマイクロプロセッサ12に送る。マイクロプロセッサ12は、応答として制御信号を供給し、データ取り込み回路50Dの可変遅延回路51-1乃至51-5の遅延量を制御する。具体的には、図5に示

50

される位相比較器 5 3 において、入力信号 S 1 及び S 2 のどちらの立ち上りエッジが時間的に先行するかを示す信号として、例えばインバータ 1 4 9 の出力を、インターフェイス 2 5 を介してマイクロプロセッサ 1 2 に供給すればよい。またマイクロプロセッサ 1 2 からは、図 6 に示される可変遅延回路において、遅延を増大させるか減少させるかに応じて信号線 A 及び B 或いは信号線 C 及び D に供給される交互に HIGH になるパルス信号を、制御信号として供給すればよい。

#### 【 0 0 8 0 】

このように位相比較結果を位相比較器 5 3 からマイクロプロセッサ 1 2 に送り、可変遅延回路の遅延量調整のための制御信号をマイクロプロセッサ 1 2 から可変遅延回路に供給する構成とすれば、遅延制御回路をなくす構成とすることが出来るので、回路規模を小さくすることが可能になる。またハードワイヤードな結線制御でなく、マイクロプロセッサ 1 2 で実行するプログラムとしてのソフトウェア制御によって遅延時間を調整することになるので、設定変更や構成変更に対して容易に対応可能である。

10

#### 【 0 0 8 1 】

なお上記のように位相比較結果を位相比較器 5 3 からマイクロプロセッサに送り可変遅延回路の遅延量調整のための制御信号をマイクロプロセッサから可変遅延回路に供給する構成は、図 8 乃至図 1 0 に示されるデータ取り込み回路の第 2 乃至第 4 の実施例の構成にも適用可能であることは明らかである。また位相比較結果を受け取り遅延制御のための制御信号を供給するのは、マイクロプロセッサ 1 2 である必要はなく、別のマイクロプロセッサ或いは同様の制御プロセッサ等であってもよい。

20

#### 【 0 0 8 2 】

また上記実施例の説明において、メモリコントローラ 1 0 としては、マイクロプロセッサ 1 2 のデータバスの幅が 6 4 ビットでありメモリデバイス 1 1 のデータバスの幅が 3 2 ビットである場合にデータバス幅の変換を行うコントローラとしたが、本発明はこのような構成に限られるものではなく、種々の制御機能を備えた様々なコントローラに適用可能なものである。

#### 【 0 0 8 3 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【 0 0 8 4 】

##### 【発明の効果】

本発明では、ラッチ回路に供給されるタイミング信号は、データストロブ信号をクロック信号 CLK の略 1 / 4 サイクル分だけ遅延した信号であるので、データ信号におけるデータ変化タイミングの略真中でデータ信号をラッチすることになる。従って、最適なデータホールド時間とデータセットアップ時間を実現することが出来る。また所定値に遅延時間を設定するのではなく、フィードバック制御によってクロック信号の 1 / 4 サイクルになるように遅延時間を制御するので、製造プロセスの誤差、動作温度や電源電圧の変動等、種々の変動要因が存在しても、最適なデータ取り込みタイミングを確保することが出来る。これによって信頼性のあるメモリシステムを構築することが可能になる。

30

#### 【 0 0 8 5 】

またクロック信号の反転信号や、クロック信号の 2 倍の周波数の信号をフィードバック制御における参照信号として用いることで、可変遅延回路列の規模を縮小することが可能になり、最適なデータ取り込みタイミングを確保するためのコストを抑えることが出来る。

40

##### 【図面の簡単な説明】

【図 1】本発明を適用するシステムの一例の構成を示す図である。

【図 2】本発明によるメモリコントローラの一列の概略構成を示す構成図である。

【図 3】本発明によるデータ取り込み回路の第 1 の実施例の構成を示す構成図である。

【図 4】クロック信号 CLK、遅延クロック信号 DCLK、及び可変遅延回路の出力の関係を示した図である。

【図 5】位相比較器及び遅延制御回路の回路構成の一例を示す回路図である。

50

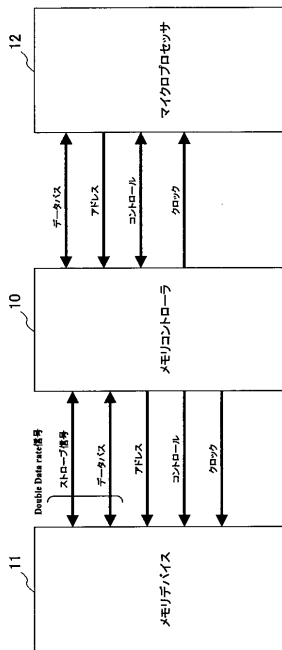
- 【図 6】可変遅延回路の構成の一部を示す回路図である。
- 【図 7】可変遅延回路の構成の残りの部分を示す回路図である。
- 【図 8】本発明によるデータ取り込み回路の第 2 の実施例の構成を示す構成図である。
- 【図 9】本発明によるデータ取り込み回路の第 3 の実施例の構成を示す構成図である。
- 【図 10】本発明によるデータ取り込み回路の第 4 の実施例の構成を示す構成図である。
- 【図 11】本発明によるデータ取り込み回路の第 5 の実施例の構成を示す構成図である。

【符号の説明】

- 10 メモリコントローラ
- 11 メモリデバイス
- 12 マイクロプロセッサ
- 27 ラッチ回路
- 51 - 1、51 - 2、51 - 3、51 - 4、51 - 5 可変遅延回路
- 52 遅延制御回路
- 53 位相比較器

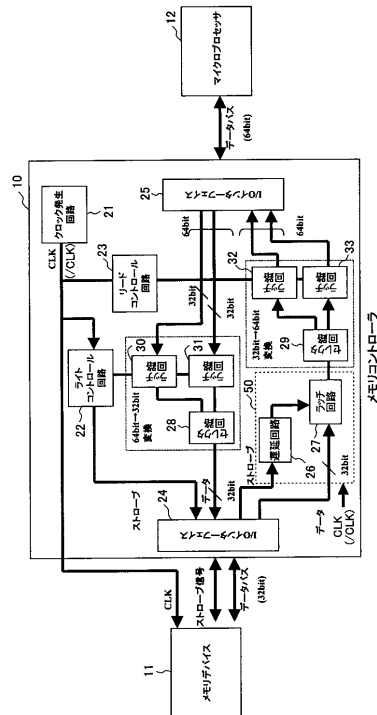
【図 1】

本発明を適用するシステムの一例の構成を示す図



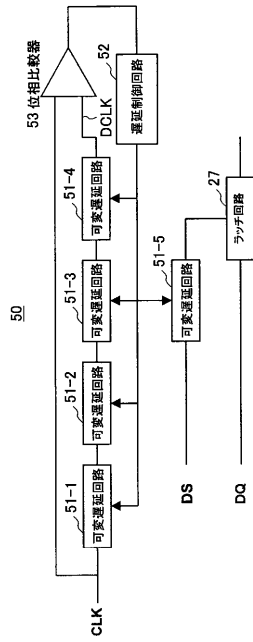
【図 2】

本発明によるメモリコントローラの一例の概略構成を示す構成図



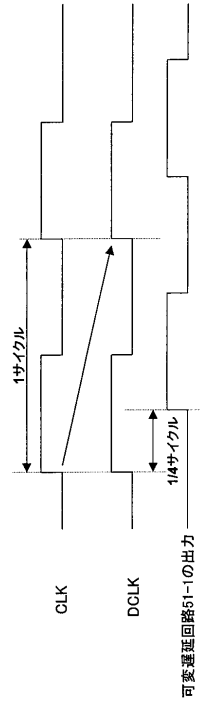
【図3】

本発明によるデータ取り込み回路の第1の実施例の構成を示す構成図



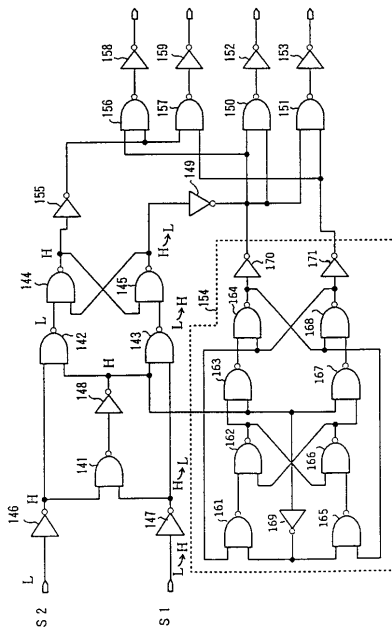
【図4】

クロック信号CLK、遅延クロック信号DCLK、及び可変遅延回路の出力の関係を示した図



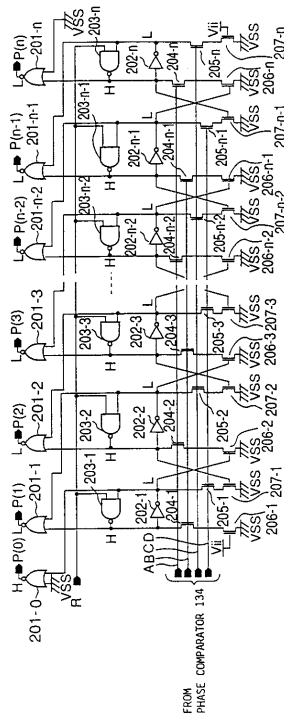
【図5】

位相比較器及び遅延制御回路の回路構成の一例を示す回路図



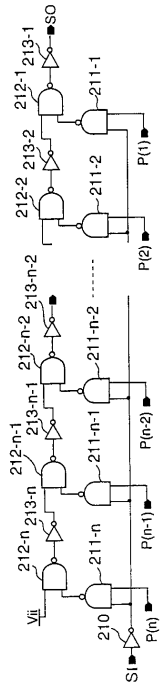
【図6】

可変遅延回路の構成の一部を示す回路図



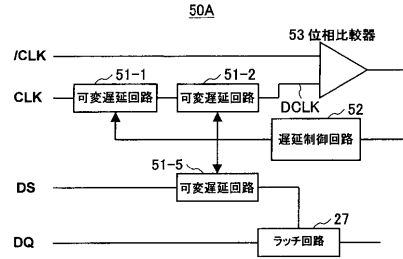
【図7】

可変遅延回路の構成の残りの部分を示す回路図



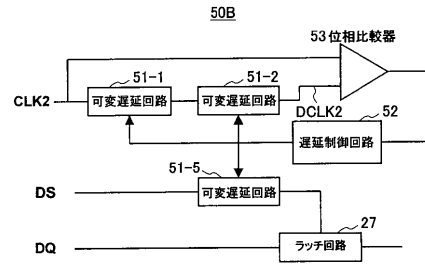
【図8】

本発明によるデータ取り込み回路の第2の実施例の構成を示す構成図



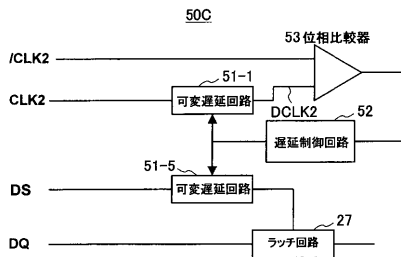
【図9】

本発明によるデータ取り込み回路の第3の実施例の構成を示す構成図



【図10】

本発明によるデータ取り込み回路の第4の実施例の構成を示す構成図



【図11】

本発明によるデータ取り込み回路の第5の実施例の構成を示す構成図

