

①⑨ RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
COURBEVOIE  
—

①① N° de publication : **3 059 144**

(à n'utiliser que pour les  
commandes de reproduction)

②① N° d'enregistrement national : **16 61346**

⑤① Int Cl<sup>8</sup> : **H 01 L 21/04** (2017.01), H 05 K 1/02

⑫

## BREVET D'INVENTION

B1

⑤④ PROCÉDE DE FORMATION D'AU MOINS UNE DISCONTINUITÉ ÉLECTRIQUE DANS UNE PARTIE D'INTERCONNEXION D'UN CIRCUIT INTÉGRÉ SANS AJOUT DE MATÉRIAU SUPPLÉMENTAIRE, ET CIRCUIT INTÉGRÉ CORRESPONDANT.

②② Date de dépôt : 22.11.16.

③③ Priorité :

④③ Date de mise à la disposition du public  
de la demande : 25.05.18 Bulletin 18/21.

④⑤ Date de la mise à disposition du public du  
brevet d'invention : 31.05.19 Bulletin 19/22.

⑤⑥ Liste des documents cités dans le rapport de  
recherche :

*Se reporter à la fin du présent fascicule*

⑥⑥ Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *STMICROELECTRONICS  
(ROUSSET) SAS — FR.*

⑦② Inventeur(s) : *RIVERO CHRISTIAN, FORNARA  
PASCAL, BOUTON GUILHEM et LISART MATHIEU.*

⑦③ Titulaire(s) : *STMICROELECTRONICS (ROUSSET)  
SAS.*

⑦④ Mandataire(s) : *CASALONGA.*

FR 3 059 144 - B1



**Procédé de formation d'au moins une discontinuité électrique  
dans une partie d'interconnexion d'un circuit intégré sans ajout de  
5 matériel supplémentaire, et circuit intégré correspondant**

Des modes de mise en œuvre et de réalisation de l'invention  
concernent les circuits intégrés et plus particulièrement leur protection  
contre de l'ingénierie inverse (« reverse engineering » en anglais)  
10 effectuée à partir de vues de dessus photographiques de différentes  
couches du circuit intégré.

Selon un mode de mise en œuvre et de réalisation, il est  
proposé un circuit intégré dont la structure et le procédé de fabrication  
rendent compliquée voire quasiment impossible une reconnaissance  
15 automatique de motifs utilisée lors de l'ingénierie inverse, notamment  
en augmentant le taux d'erreurs d'extractions de façon à rendre  
quasiment impossible l'extraction de la description (« netlist » en  
langue anglaise) du circuit intégré à partir d'une vue de dessous du  
schéma d'implantation (« layout »).

A cet égard, il est en particulier proposé de réaliser au moins  
20 une discontinuité électrique dans la partie d'interconnexion  
(communément désignée par l'homme du métier sous l'acronyme  
anglo-saxon BEOL : « Back End Of Line ») du circuit intégré et plus  
particulièrement entre au moins un via d'un niveau de vias séparant un  
niveau de métallisation inférieur d'un niveau de métallisation  
25 supérieur, et, au moins une piste métallique dudit niveau de  
métallisation inférieur.

La partie d'interconnexion (BEOL) se situe au-dessus d'un  
substrat du circuit intégré. En conséquence, on entend par niveau de  
30 métallisation inférieur un niveau de métallisation qui se situe plus près  
du substrat qu'un niveau de métallisation supérieur.

Ainsi, selon un aspect, il est proposé un procédé de formation  
d'au moins une discontinuité électrique dans au moins un niveau de  
vias situé entre un niveau de métallisation inférieur et un niveau de

métallisation supérieur d'une partie d'interconnexion d'un circuit intégré, comprenant

une réalisation du niveau de métallisation inférieur recouvert d'une couche d'encapsulation isolante,

5           une formation au dessus de la couche d'encapsulation d'une couche isolante inter niveaux de métallisation (généralement connue par l'homme du métier sous l'acronyme anglosaxon IMD : »InterMetal Dielectric »),

10           une formation dans ladite couche isolante inter niveaux de métallisation d'au moins une première piste métallique située au niveau de métallisation supérieur et d'au moins un premier via en contact électrique avec ladite au moins une première piste et avec au moins une deuxième piste métallique du niveau de métallisation inférieur, à travers ladite couche d'encapsulation, et

15           une formation au niveau de ladite couche d'encapsulation, de ladite au moins une discontinuité électrique entre au moins un deuxième via dudit niveau de vias et au moins une troisième piste dudit niveau de métallisation inférieur, après la formation de chaque premier via et de chaque première piste métallique du niveau de  
20           métallisation supérieur.

Cette troisième piste du niveau de métallisation inférieur peut être distincte de la deuxième piste ou bien former avec cette dernière une seule et même piste.

25           Ainsi, une telle discontinuité électrique, réalisée au niveau de la couche d'encapsulation du niveau de métallisation inférieur sous un via est quasiment voire totalement non détectable par une photographie en vue de dessus et permet par exemple de faire croire, lorsque la piste métallique située en vis-à-vis du via pourvu de cette discontinuité électrique, est par exemple connectée à une zone de drain d'un  
30           transistor, que ce transistor est électriquement fonctionnel alors qu'en fait il est constamment éteint (OFF) c'est-à-dire fonctionnellement inactif de par la présence de cette discontinuité électrique.

Selon un mode de mise en œuvre, la formation de chaque discontinuité électrique comprend

une gravure localisée de ladite couche isolante inter niveaux de métallisation et de la couche d'encapsulation à chaque emplacement d'un deuxième via de façon à former un orifice débouchant sur une partie de la troisième piste correspondante,

5 un tapissage de la paroi interne de chaque orifice et de ladite partie de la troisième piste par une couche isolante supplémentaire de composition identique à celle de la couche isolante inter niveaux de métallisation, et

10 un remplissage de chaque orifice tapissé avec un matériau de remplissage de composition identique à celle de chaque premier via et de chaque première piste, de façon à former le deuxième via correspondant et une quatrième piste située au niveau de métallisation supérieur et en contact avec ce deuxième via.

15 Le fait que la couche isolante supplémentaire qui tapisse l'orifice et une partie de la troisième piste correspondante soit de composition identique à celle de la couche isolante inter niveaux de métallisation (couche « IMD ») va contribuer à rendre particulièrement difficile la discrimination d'un deuxième via par rapport à un premier via et rendre encore plus compliqué une opération d'ingénierie inverse.

20 Par ailleurs on n'utilise pas ici de matériau supplémentaire pour former cette discontinuité électrique.

25 Ainsi, à titre d'exemple, la couche isolante inter niveaux de métallisation (couche « IMD ») et la couche isolante supplémentaire peuvent comprendre, par exemple du tétra orthosilicate de silicium (TEOS) ou bien un matériau à faible constante diélectrique tel qu'un matériau de type SiOC.

30 Selon un mode de mise en œuvre et de façon à rendre encore plus difficile cette discrimination, ladite gravure localisée et ledit tapissage sont configurés pour obtenir pour chaque orifice tapissé, une partie inférieure dont la taille de l'ouverture conduise après son remplissage au deuxième via correspondant ayant une section transversale de taille analogue à celle de la section transversale de chaque premier via.

En d'autres termes, l'orifice avant tapissage est légèrement plus grand que les orifices servant à former les premiers vias et les premières pistes et cette taille et l'épaisseur de la couche de tapissage sont choisis de façon à obtenir in fine une taille de via analogue pour  
5 tous les vias, que ce soient des premiers vias ou des deuxièmes vias.

Par « analogue », on entend ici identique ou sensiblement identique, aux tolérances de fabrication près.

Selon un autre aspect, il est proposé un circuit intégré, comprenant une partie d'interconnexion comportant un niveau de vias  
10 situé entre un niveau de métallisation inférieur, recouvert d'une couche d'encapsulation isolante et d'une couche isolante inter niveaux de métallisation, et un niveau de métallisation supérieur, et au moins une discontinuité électrique entre au moins un via dudit niveau de vias et au moins une piste dudit niveau de métallisation inférieur, ladite au  
15 moins une discontinuité électrique comportant une couche isolante additionnelle, de composition identique à celle de la couche isolante inter niveaux de métallisation, située entre ledit au moins un via et ladite au moins une piste et bordée par ladite couche d'encapsulation.

Selon un mode de réalisation chaque via a une section transversale de taille analogue à celle de la section transversale de  
20 chaque autre via non associé à une discontinuité électrique.

Selon un autre aspect, il est proposé un objet, par exemple une carte à puce ou un appareil électronique, tel que par exemple un téléphone mobile cellulaire ou une tablette, comportant un circuit  
25 intégré tel que défini ci-avant.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

- 30
- les figures 1 à 4 illustrent schématiquement des premiers modes de mise en œuvre et de réalisation de l'invention, et
  - la figure 5 illustre schématiquement une carte à puce selon l'invention.

Sur la figure 1, la référence IC désigne un circuit intégré dont on a représenté ici schématiquement le substrat SB dans et sur lequel sont réalisés des composants (non représentés ici à des fins de simplification) comportant par exemple des transistors.

5 Le circuit intégré IC comporte, au-dessus du substrat, une partie d'interconnexion PITX (BEOL) comportant généralement plusieurs niveaux de métallisation ainsi que plusieurs niveaux de vias entre ces niveaux de métallisation.

10 Sur la figure 1, à des fins de simplification, on a représenté le premier niveau de métallisation M1 qui, dans la suite sera désigné par « niveau de métallisation inférieur » et le deuxième niveau de métallisation M2 qui sera désigné dans la suite par « niveau de métallisation supérieur ». Ces deux niveaux sont séparés par le premier niveau de vias V1.

15 Cela étant l'invention s'applique à tout niveau de métallisation inférieur Mn et à tout niveau de métallisation supérieur Mn+1 de la partie d'interconnexion PITX, séparés par le niveau de vias Vn.

20 Le niveau de métallisation inférieur M1 a été réalisé de façon classique et comporte des pistes métalliques, dont une seule est représentée et référencée P1, encapsulées dans un matériau diélectrique inter-lignes 1.

Le niveau de métallisation M1 est recouvert d'une couche d'encapsulation isolante C1, par exemple en carbonitrure de silicium (SiCN).

25 Le substrat SB et les composants du circuit intégré sont séparés du premier niveau de métallisation M1 par une région isolante comportant ici une première couche isolante CS1, par exemple en SiCN surmontée d'une deuxième couche isolante CS2 par exemple en un matériau de type SiO<sub>2</sub>. Cette deuxième couche isolante CS2 est par  
30 exemple plus connue par l'homme du métier sous le vocable anglo-saxon de couche PMD (« Pre Metal Dielectric »)

Les composants sont reliés aux pistes métalliques du premier niveau de métallisation M1 par des contacts électriquement

conducteurs, par exemple en tungstène, et sont enrobés dans la région isolante CS1, CS2.

Comme illustré sur la figure 1, on forme sur la couche d'encapsulation C1, une couche isolante inter-niveaux de métallisation C2 (par exemple plus connue par l'homme du métier sous le vocable anglo-saxon de couche IMD (« Inter Metal Dielectric »)).

Cette couche IMD C2 peut être en tétra orthosilicate de silicium (TEOS) ou bien comporter un matériau à faible constante diélectrique par exemple du type SiO<sub>2</sub> voire du type SiOC.

On réalise ensuite de façon classique dans la couche isolante inter-niveaux C2 des premiers vias du niveau de vias V1 et des premières pistes, de façon classique.

Sur la figure 1 on a représenté une première piste P2 et un premier via V10.

Plus précisément pour la formation de cette première piste P2 et de ce premier via V10, on forme par gravure, un orifice OR1 comportant une partie supérieure OR10 destinée à accueillir la première piste P2 du niveau de métallisation supérieur M2 et une partie inférieure OR11 destinée à accueillir le via V10 du niveau de vias V1.

Chaque orifice OR1 débouche sur la couche d'encapsulation C1.

Puis on procède au remplissage de l'orifice OR1 avec au moins un matériau de remplissage, par exemple du cuivre, pour former la piste P2 et le via V10.

Le via V10 est en contact électrique avec la piste P1 qui est dénommée maintenant « deuxième piste ».

Puis comme illustré sur la figure 2, on procède à une gravure localisée GR1 de ladite couche isolante inter niveaux de métallisation C2 et de la couche d'encapsulation C1 à chaque emplacement d'un futur deuxième via de façon à former un orifice OR2 ayant une partie supérieure OR20 et une partie inférieure OR21 débouchant sur une partie P10 d'une troisième piste correspondante, qui dans cet exemple est une partie P10 de la deuxième piste P1.

Comme on le voit sur la figure 2, la taille d'une section transversale de la partie inférieure OR21 de l'orifice OR2 est plus grande que la taille d'une section transversale d'un premier via V10.

5 En effet, bien que cela ne soit pas indispensable, mais encore plus efficace d'un point de vue ingénierie inverse (c'est-à-dire la rendre encore plus compliquée), il est préférable d'agrandir cet orifice OR2 de façon à obtenir in fine, comme on le verra plus en détail ci-après, un deuxième via au-dessus de la partie de piste P10, dont la taille de la section transversale soit analogue, c'est-à-dire identique ou  
10 sensiblement identique à une tolérance de fabrication près, à la taille d'une section transversale d'un premier via V10.

A cet égard, comme illustré sur la figure 3, on tapisse la paroi interne de l'orifice OR2 ainsi que la partie de piste P10 avec une couche isolante CS3 ayant avantageusement une composition identique  
15 à celle de la couche isolante C2.

Et, la taille de l'orifice OR2 ainsi que l'épaisseur de la couche isolante CS3 sont choisies de façon à ce que la taille D2 d'une section transversale de la partie inférieure l'orifice ainsi tapissé OR2 soit analogue à la taille D1 d'une section transversale d'un premier via  
20 V10.

Puis, comme illustré sur la figure 4, on procède de façon classique et connue en soi au remplissage de l'orifice tapissé OR2 avec au moins un matériau de remplissage de composition identique à celle de chaque premier via V10 et de chaque première piste P1 de  
25 façon à former le deuxième via correspondant V11 et une quatrième piste P4 située au niveau de métallisation supérieur et en contact avec ce deuxième via V11.

Cependant, l'extrémité inférieure du deuxième via V11 se trouve à distance de la partie de piste P10 et est séparée de celle-ci par  
30 la couche isolante CS3. Par conséquent, le deuxième via V11 n'est pas en contact électrique avec la partie de piste P10 créant ainsi une discontinuité électrique dans le circuit intégré.

On procède ensuite à un polissage mécano-chimique pour obtenir la structure illustrée sur la figure 4.



La fabrication du circuit intégré se poursuit ensuite de façon classique.

On obtient in fine un circuit intégré, comprenant une partie d'interconnexion PITX comportant un niveau de vias V1 situé entre un  
5 niveau de métallisation inférieur M1, recouvert d'une couche d'encapsulation isolante C1 et d'une couche isolante inter niveaux de métallisation C2, et un niveau de métallisation supérieur M2, et au moins une discontinuité électrique CS3 entre au moins un via V1 dudit  
10 niveau de vias et au moins une piste P1 dudit niveau de métallisation inférieur, ladite au moins une discontinuité électrique comportant une couche isolante additionnelle CS3, de composition identique à celle de la couche isolante inter niveaux de métallisation C2, située entre ledit  
au moins un via V11 et ladite au moins une piste P1 et bordée par ladite couche d'encapsulation C1.

15 Par ailleurs chaque via V11 a une section transversale de taille analogue à celle de la section transversale de chaque autre via V10 non associé à une discontinuité électrique.

Un tel circuit intégré IC peut être incorporé dans tout objet notamment une carte à puce CP comme illustré très schématiquement  
20 sur la figure 5.

## REVENDICATIONS

1. Procédé de formation d'au moins une discontinuité électrique dans au moins un niveau de vias (V1) situé entre un niveau de métallisation inférieur (M1) et un niveau de métallisation supérieur (M2) d'une partie d'interconnexion (PITX) d'un circuit intégré, comprenant une réalisation du niveau de métallisation inférieur (M1) recouvert d'une couche d'encapsulation isolante (C1), une formation au dessus de la couche d'encapsulation d'une couche isolante inter niveaux de métallisation (C2), une formation dans ladite couche isolante inter niveaux de métallisation (C2) d'au moins une première piste métallique (P2) située au niveau de métallisation supérieur et d'au moins un premier via (V10) en contact électrique avec ladite au moins une première piste (P2) et avec au moins une deuxième piste métallique du niveau de métallisation inférieur (P1) à travers ladite couche d'encapsulation (C1), et une formation au niveau de ladite couche d'encapsulation, de ladite au moins une discontinuité électrique (CS3) entre au moins un deuxième via (V11) dudit niveau de vias (Vn) et au moins une troisième piste (P1) dudit niveau de métallisation inférieur, après la formation de chaque premier via (V10) et de chaque première piste métallique (P2) du niveau de métallisation supérieur.

2. Procédé selon la revendication 1, dans lequel la formation de chaque discontinuité électrique comprend

une gravure localisée (GR1) de ladite couche isolante inter niveaux de métallisation (C2) et de la couche d'encapsulation (C1) à chaque emplacement d'un deuxième via de façon à former un orifice (OR2) débouchant sur une partie (P10) de la troisième piste correspondante,

un tapissage de la paroi interne de chaque orifice (OR2) et de ladite partie (P10) de la troisième piste par une couche isolante additionnelle (CS3) de composition identique à celle de la couche isolante inter niveaux de métallisation, et

un remplissage de chaque orifice tapissé (OR2) avec un matériau de remplissage de composition identique à celle de chaque premier via et de chaque première piste de façon à former le deuxième via correspondant (V11) et une quatrième piste (P4) située au niveau de métallisation supérieur et en contact avec ce deuxième via (V11).

3. Procédé selon la revendication 2, dans lequel ladite gravure localisée et ledit tapissage sont configurés pour obtenir pour chaque orifice tapissé (OR2) une partie inférieure (OR21) dont la taille de l'ouverture conduite après son remplissage au deuxième via correspondant (V11) ayant une section transversale de taille analogue à celle de la section transversale de chaque premier via (V10).

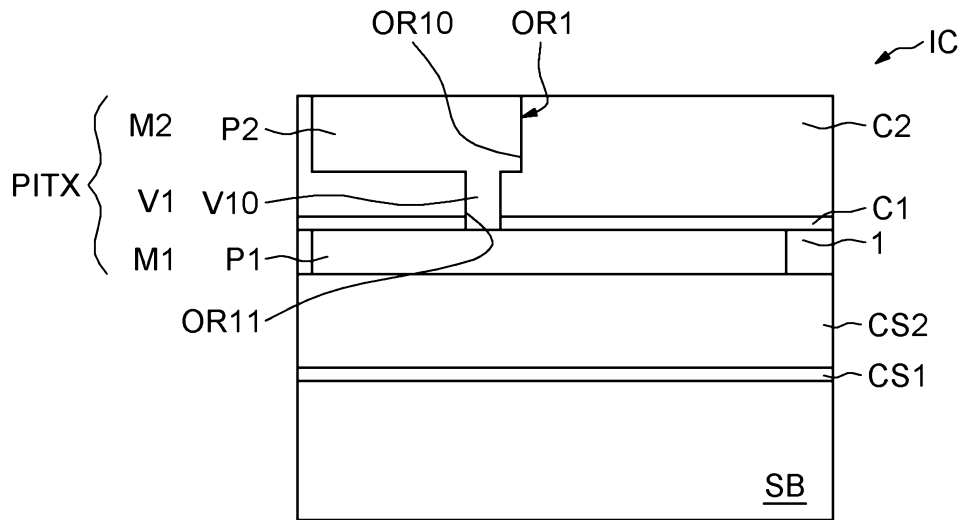
4. Circuit intégré, comprenant une partie d'interconnexion (PITX) comportant au moins un niveau de vias (V1) situé entre un niveau de métallisation inférieur (M2), recouvert d'une couche d'encapsulation isolante (C1) et d'une couche isolante inter niveaux de métallisation (C2), et un niveau de métallisation supérieur (M2), et au moins une discontinuité électrique (CS3) entre au moins un via (V11) dudit niveau de vias et au moins une piste (P1) dudit niveau de métallisation inférieur, ladite au moins une discontinuité électrique comportant une couche isolante additionnelle (CS3), de composition identique à celle de la couche isolante inter niveaux de métallisation (C2), située entre ledit au moins un via (V11) et ladite au moins une piste (P1) et bordée par ladite couche d'encapsulation (C1).

5. Circuit intégré selon la revendication 4, dans lequel chaque via (V11) a une section transversale de taille analogue à celle de la section transversale de chaque autre via (V10) non associé à une discontinuité électrique.

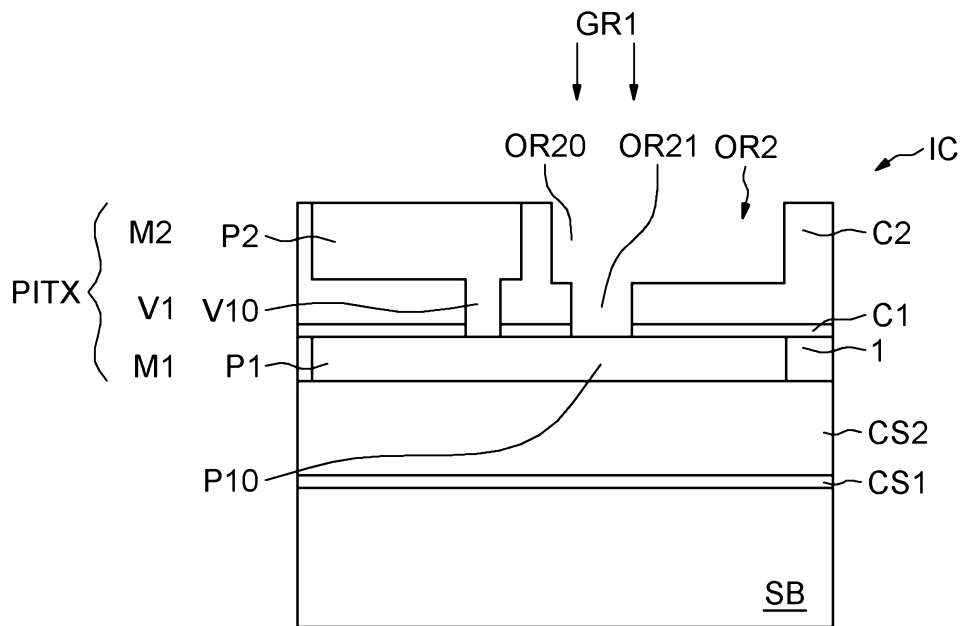
6. Objet contenant un circuit intégré (IC) selon l'une des revendications 4 ou 5.

7. Objet selon la revendication 6 formant une carte à puce (CP).

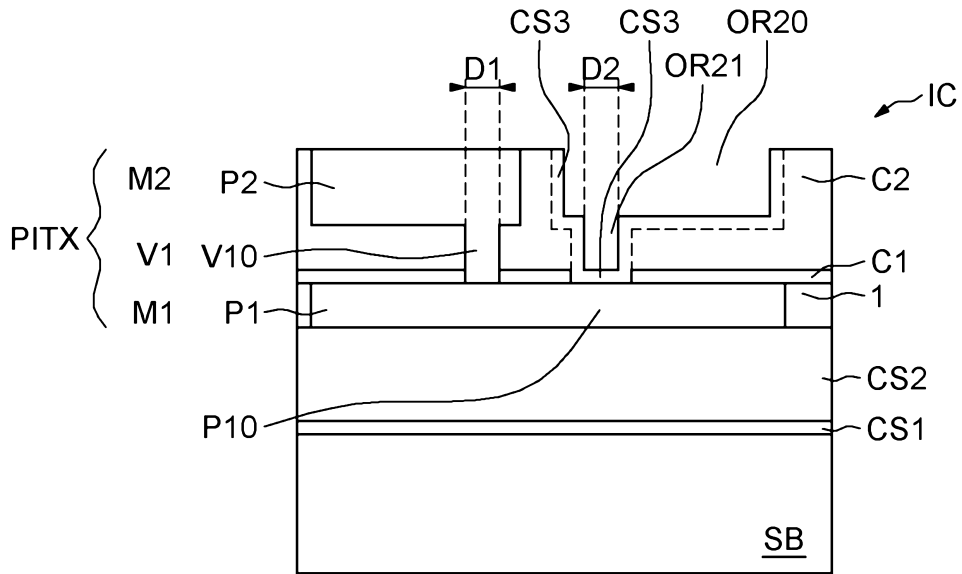
1/2  
**FIG.1**



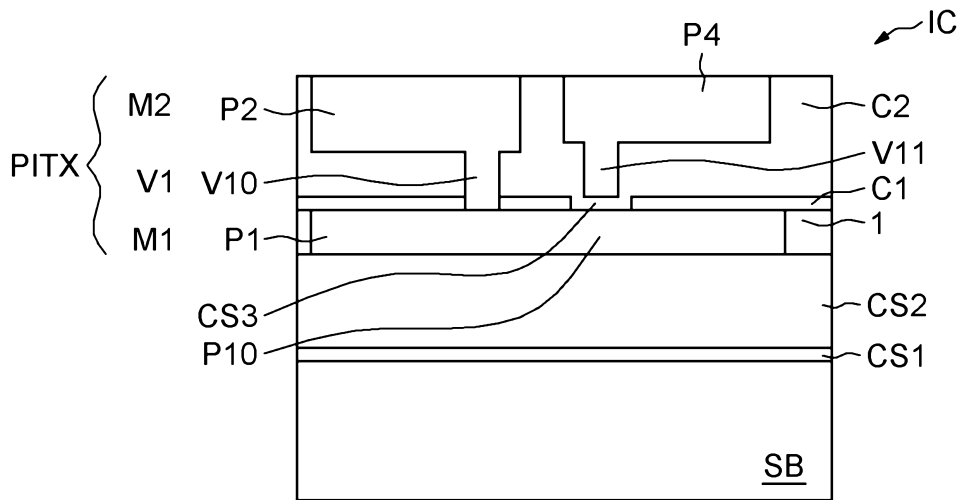
**FIG.2**



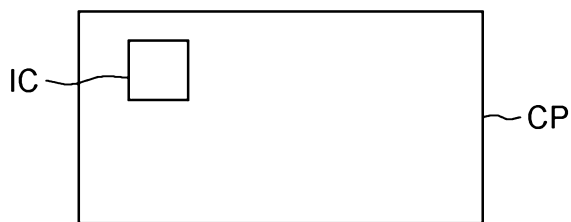
2/2  
**FIG.3**



**FIG.4**



**FIG.5**



# RAPPORT DE RECHERCHE

articles L.612-14, L.612-17 et R.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

---

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ÉTABLISSEMENT DU PRÉSENT RAPPORT DE RECHERCHE

---

- Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.
- Le demandeur a maintenu les revendications.
- Le demandeur a modifié les revendications.
- Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.
- Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.
- Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITÉS DANS LE PRÉSENT RAPPORT DE RECHERCHE

---

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

- Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.
- Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.
- Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.
- Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN  
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

DE 697 15 472 T2 (KOWALSKI TOMASZ [PL])  
30 avril 2003 (2003-04-30)

JP S61 147551 A (NEC CORP)  
5 juillet 1986 (1986-07-05)

US 2009/111257 A1 (HSU LOUIS L [US] ET AL)  
30 avril 2009 (2009-04-30)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN  
TECHNOLOGIQUE GENERAL**

US 2008/174022 A1 (CHEN HSIEN-WEI [TW] ET AL)  
24 juillet 2008 (2008-07-24)

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND  
DE LA VALIDITE DES PRIORITES**

NEANT