



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 355 326**

51 Int. Cl.:
H03F 1/32 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05076668 .2**

96 Fecha de presentación : **20.07.2005**

97 Número de publicación de la solicitud: **1622256**

97 Fecha de publicación de la solicitud: **01.02.2006**

54 Título: **Disposición de amplificador de potencia y procedimiento para la corrección/linealización de la memoria.**

30 Prioridad: **28.07.2004 US 900300**

45 Fecha de publicación de la mención BOPI:
24.03.2011

45 Fecha de la publicación del folleto de la patente:
24.03.2011

73 Titular/es: **NORTEL NETWORKS LIMITED**
2351 Boulevard Alfred-Nobel
St. Laurent, Québec H4S 2A9, CA

72 Inventor/es: **Fuller, Arthur y**
Morris, Brad

74 Agente: **Curell Aguilá, Marcelino**

ES 2 355 326 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN**CAMPO DE LA INVENCION**

5 La presente invención se refiere a amplificadores de potencia con fuentes de alimentación modulada.

ANTECEDENTES DE LA INVENCION

10 Las disposiciones de amplificador de potencia convencionales que comprenden un amplificador de potencia suministrada por una fuente de energía estática o constante son ineficientes y poco económicas.

15 Uno de los objetivos actuales del diseño de la amplificación de la potencia es el aumento de la eficacia. Los aumentos de eficacia permiten reducir el coste del amplificador, por ejemplo, permitiendo el uso de transistores menos costosos con capacidad de manejo a potencia reducida, así como reducir los gastos de explotación resultantes de factores tales como un tamaño reducido, unos requisitos de enfriamiento reducidos y unos requisitos de alimentación reducidos.

20 Un procedimiento para obtener una mayor eficiencia es modular la fuente de alimentación del amplificador de potencia, por ejemplo utilizando un modulador de Vdd. De esta manera, la señal de fuente de alimentación se modula en función de la envolvente de la entrada de la disposición de amplificador de potencia, como se representa por ejemplo en la patente US nº 6.646.501.

25 La técnica de fuente de alimentación modulada adolece de varios inconvenientes que afectan a la linealidad de los amplificadores de potencia. Típicamente, el modulador de Vdd presenta un ancho de banda finito y por consiguiente no siempre puede rastrear con exactitud la envolvente de la señal de entrada. El ancho de banda finito del modulador de Vdd afecta a la respuesta de ganancia y fase del amplificador.

30 Dichos efectos introducen una distorsión, que se denomina "memoria", debido al hecho de que los efectos están en función de los valores anteriores de la entrada. Puede hacerse frente a la distorsión cuando se linealiza la entrada del amplificador con el fin de generar una señal de salida que satisfaga los requisitos de las normas para las emisiones, tales como el factor de fugas del canal adyacente (ACLR) definido en 3GPP. La mayoría de las técnicas de linealización convencionales presuponen que el amplificador carece de memoria. Por consiguiente, la señal de salida no se linealiza correctamente y la señal amplificada contiene distorsión si el amplificador tiene memoria.

35 Las técnicas de corrección de linealización que pueden hacer frente a los problemas de memoria suelen experimentar limitaciones adicionales. Una de estas limitaciones es que estas técnicas parten del supuesto de que la distorsión sólo está en función de la envolvente de entrada. Esto no siempre es cierto. Otra limitación es que estas técnicas conllevan un procesamiento muy complejo y requieren grandes cantidades de memoria o recursos lógicos que suelen incrementarse de forma exponencial con el orden de un modelo utilizado en la técnica.

SUMARIO DE LA INVENCION

45 Según un aspecto general, la presente invención ofrece una disposición de amplificador de potencia que comprende: una fuente de alimentación adaptada para proporcionar una señal de fuente de alimentación a un amplificador de potencia, siendo modulada la fuente de alimentación en función de una señal de entrada suministrada a la disposición de amplificador de potencia; y un amplificador de potencia adaptado para recibir una versión modificada de la señal de entrada y amplificar la versión modificada de la señal de entrada para generar una señal de salida; en el que la señal de entrada se modifica en función de la señal de entrada suministrada a la disposición de amplificador y una predicción de la distorsión de la señal de la fuente de alimentación suministrada al amplificador de potencia.

55 En algunas formas de realización, la presente invención proporciona una disposición de amplificador de potencia como la indicada anteriormente, comprendiendo la disposición de amplificador de potencia un módulo de corrección de la memoria adaptado para proporcionar la señal de entrada modificada suministrada al amplificador de potencia, en el que el módulo de corrección de memoria modifica la señal de entrada en función de la señal de entrada de la disposición y una predicción de la distorsión de la señal de fuente de alimentación suministrada al amplificador de potencia y en el que el entrenamiento del módulo de corrección de memoria se realiza en función de la señal de salida.

60 En algunas formas de realización, el módulo de corrección de memoria modifica la señal de entrada en función de una predicción de la distorsión de la señal de fuente de alimentación, siendo dicha distorsión provocada por efecto de la impedancia dinámica del amplificador de potencia percibida por la fuente de alimentación.

65 En algunas formas de realización, el módulo de corrección de memoria modifica la señal de entrada en función de la envolvente de la señal de entrada suministrada a la disposición de amplificador de potencia.

En algunas formas de realización, el módulo de corrección de memoria consiste en un predictor de Vdd

5 adaptado para predecir la distorsión de forma de onda de la señal de fuente de alimentación, en el que el predictor de Vdd genera una salida que está en función de una señal de fuente de alimentación de destino y la señal de fuente de alimentación de destino se modula en función de la señal de entrada y no es afectada por la distorsión de la forma de onda; y un corrector de trayectoria principal adaptado para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada suministrada a la disposición de amplificador y la salida del predictor de Vdd.

10 En algunas formas de realización, las entradas suministradas al corrector de trayectoria principal comprenden una señal de entrada, la salida del predictor de Vdd y una señal de envolvente de entrada.

15 En algunas formas de realización, las entradas suministradas al predictor de Vdd comprenden una señal de envolvente de entrada y la señal de fuente de alimentación de destino.

20 En algunas formas de realización, la disposición de amplificador de potencia comprende además unos medios para generar una señal de envolvente de entrada, situados antes del predictor de Vdd y el corrector de trayectoria principal.

25 En algunas formas de realización, la disposición de amplificador de potencia comprende además unos medios para modular la señal de fuente de alimentación en función de la señal de entrada.

30 En algunas formas de realización, los medios para modular la señal de fuente de alimentación están en función de la señal de envolvente de entrada.

35 En algunas formas de realización, los medios para modular la señal de fuente de alimentación comprenden la rectificación de la señal de entrada.

40 En algunas formas de realización, los medios para modular la señal de fuente de alimentación comprenden además el filtrado de la señal de entrada.

45 En algunas formas de realización, el módulo de corrección de memoria es un circuito integrado de aplicación específica (ASIC).

50 En algunas formas de realización, el módulo de corrección de memoria es una matriz de puertas programable in situ (FPGA).

55 En algunas formas de realización, la disposición de fuente de alimentación comprende: una función de entrenamiento del predictor de Vdd adaptada para entrenar el predictor de Vdd, y una función de entrenamiento del corrector de trayectoria principal adaptada para entrenar el corrector de trayectoria principal.

60 En algunas formas de realización, la función de entrenamiento del predictor de Vdd está adaptada para entrenar el predictor de Vdd utilizando la señal de fuente de alimentación de destino, la señal de fuente de alimentación y la señal de entrada; y la función de entrenamiento del corrector de trayectoria principal está adaptada para entrenar el corrector de trayectoria principal utilizando la señal de entrada modificada, la señal de salida y la señal de fuente de alimentación.

65 Según otro aspecto general, la presente invención ofrece unos medios utilizables por ordenador que contienen unos medios de código de programación legibles por ordenador para realizar la corrección de la memoria en una disposición de amplificador de potencia, comprendiendo los medios de código legibles por ordenador: unos medios de código para predecir la distorsión de la forma de onda de la señal de fuente de alimentación, en los que los medios de código generan una salida que está en función de la señal de fuente de alimentación de destino, y la señal de fuente de alimentación de destino se modula en función de la señal de entrada suministrada a la disposición de amplificador y no es afectada por la distorsión de forma de onda; y unos medios de código para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada de la disposición de amplificador de potencia y la salida de los medios de código para predecir la distorsión de forma de onda.

Según otro aspecto general, la presente invención ofrece un procedimiento de utilización de una disposición de amplificador de potencia que comprende un amplificador de potencia y una fuente de alimentación, comprendiendo el procedimiento las etapas siguientes: modulación de una señal de fuente de alimentación de la fuente de alimentación en función de una señal de entrada suministrada a la disposición de amplificador de potencia y la señal de fuente de alimentación que se suministra al amplificador de potencia; y modificación de la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada suministrada a la disposición de amplificador y una predicción de la distorsión de la señal de la fuente de alimentación suministrada al amplificador de potencia.

En algunas formas de realización, la etapa de modificación comprende además los etapas siguientes: predicción de Vdd para predecir la distorsión de forma de onda de la señal de fuente de alimentación, en la que el

5 predictor de Vdd genera una salida que está en función de una señal de fuente de alimentación de destino y la señal de fuente de alimentación de destino se modula en función de la señal de entrada suministrada a la disposición de amplificador y no es afectada por la distorsión de forma de onda; y corrección de la trayectoria principal para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada de la disposición de amplificador de potencia y la salida del predictor de Vdd.

10 En algunas formas de realización, la etapa de modificación comprende además la conversión de señales representadas en el dominio de punto fijo en señales representadas en el dominio de punto flotante y viceversa.

15 En algunas formas de realización, el procedimiento comprende además una etapa de entrenamiento para determinar los parámetros programables utilizados durante por lo menos la predicción de Vdd o la corrección de trayectoria principal.

20 En algunas formas de realización, la etapa de entrenamiento comprende la utilización de un procedimiento de optimización de mínimos cuadrados según la ecuación $\phi = [U^H \cdot U]^{-1} Y$ en la que U es una matriz M x N de entradas del sistema, Y es un vector M x 1 de las correspondientes salidas, ϕ es un vector N x 1 de los parámetros programables resultantes, M es el número de muestras captadas por iteración, N es el número de ponderaciones de las distintas muestras y el superíndice H de U^H representa un operador de transposición conjugada.

25 En algunas formas de realización, la etapa de entrenamiento conlleva la segmentación de un espacio de soluciones en una pluralidad de intervalos para ayudar a reducir la complejidad de la determinación de los parámetros programables o para mejorar el rendimiento.

30 En algunas formas de realización, se proporciona un solapamiento entre segmentos adyacentes de la pluralidad de intervalos.

35 En algunas formas de realización, la etapa de predicción de Vdd comprende además la etapa de intercambio de parámetros programables en algún lugar del solapamiento.

40 En algunas formas de realización, la etapa de corrección de trayectoria principal comprende además la etapa de intercambio de parámetros programables en algún lugar del solapamiento.

45 Según otro aspecto general, la presente invención ofrece un módulo de corrección de memoria para una disposición de amplificador de potencia que comprende un predictor de Vdd adaptado para predecir la distorsión de forma de onda del voltaje de la fuente de alimentación, en el que el predictor de Vdd genera una salida que está en función del voltaje de fuente de alimentación de destino y el voltaje de fuente de alimentación de destino se modula en función de la entrada suministrada a la disposición de amplificador de potencia y no es afectado por la distorsión de forma de onda; y un corrector de trayectoria principal adaptado para modificar la entrada suministrada a la disposición de amplificador de potencia en función de la entrada de la disposición de amplificador de potencia y la salida del predictor de Vdd.

50 En algunas formas de realización, está previsto un transmisor de estación base de comunicaciones inalámbricas que comprende una disposición de amplificador de potencia como la descrita en líneas generales anteriormente.

55 En algunas formas de realización, está prevista una red de comunicaciones que comprende una disposición de amplificador de potencia como la descrita en líneas generales anteriormente.

60 En algunas formas de realización, se provee un procedimiento para ofrecer un servicio de transmisión de señales a través de una red de comunicaciones que comprende una disposición de amplificador de potencia como la descrita en líneas generales anteriormente.

65 Los expertos ordinarios en la materia podrán deducir fácilmente otros aspectos y características de la presente invención tras consultar la siguiente descripción de las formas de realización particulares de la presente invención junto con las figuras adjuntas.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

A continuación, se describirán unas formas de realización preferidas de la presente invención con referencia a los dibujos adjuntos, en los cuales:

la figura 1 es un diagrama de bloques de una disposición de amplificador de potencia;

la figura 2 es una representación gráfica de un conjunto de señales que se hallan en la disposición de amplificador de potencia de la figura 1;

la figura 3 es un diagrama de bloques de la disposición de amplificador de potencia facilitado por una forma

de realización de la presente invención;

la figura 4 es un diagrama de bloques de un módulo de corrección de memoria de la disposición de amplificador de potencia de la figura 3, facilitado por una forma de realización de la presente invención;

la figura 5 es un esquema de un corrector de trayectoria principal del módulo de corrección de memoria de la figura 4, facilitado por una forma de realización de la presente invención;

la figura 6 es un esquema de un predictor de Vdd del módulo de corrección de memoria de la figura 4, facilitado por una forma de realización de la presente invención;

la figura 7 es un diagrama de bloques de una arquitectura híbrida de punto fijo/punto flotante utilizada en una forma de realización de la presente invención;

la figura 8 es una representación gráfica de un ejemplo de segmentación de los datos de entrada utilizado en algunas formas de realización de la presente invención para reducir la complejidad de cálculo durante el entrenamiento o para aumentar el rendimiento;

la figura 9 es un diagrama de bloques de una arquitectura del corrector de trayectoria principal para determinar los parámetros programables, facilitada por una forma de realización de la presente invención; y

la figura 10 es un diagrama de bloques de una arquitectura del predictor de Vdd para determinar los parámetros programables, facilitada por una forma de realización de la presente invención.

DESCRIPCIÓN DETALLADA DE LAS FORMAS DE REALIZACIÓN PREFERIDAS

Haciendo referencia a la figura 1, se describirá en detalle una disposición de amplificador de potencia 10. La disposición de amplificador de potencia 10 comprende una entrada 15, una salida 30, un detector de envolvente 18, un modulador de Vdd 20 y un amplificador de potencia que en la presente memoria se denomina "módulo de alimentación básica" (BPM) 25. La entrada 15 está acoplada al BPM 25. La entrada 15 también está acoplada al modulador de Vdd 20 por medio del detector de envolvente 18. El modulador de Vdd 20 es una fuente de alimentación que modula una señal de fuente de alimentación en función de la envolvente de la señal aplicada en la entrada 15. La salida del modulador de Vdd 20 está acoplada al amplificador 25. La salida del BPM 25 está acoplada a la salida 30.

En funcionamiento, la señal se aplica a la entrada 15. El modulador de Vdd 20 modula la señal de fuente de alimentación en función de la envolvente de la señal de entrada recibida desde el detector de envolvente 18. La señal de fuente de alimentación modulada se utiliza para activar el BPM 25. El BPM 25 amplifica la señal aplicada a la entrada 15 de la disposición de amplificador de potencia 10.

Si cuando se rastrea la envolvente de la señal de entrada el modulador de Vdd 20 suministra al BPM 25 una tensión de alimentación inferior a una amplitud mínima determinada, el BPM 25 no puede ofrecer suficiente ganancia para la señal suministrada a la disposición de amplificador de potencia 10. Por consiguiente, se aplica un valor artificial mínimo de tensión de alimentación para mantener el nivel de amplificación mínimo deseable. Siempre que la envolvente de la señal de entrada esté por debajo del valor mínimo, el modulador de Vdd 20 proveerá una señal de fuente de alimentación constante al amplificador 25. La aplicación del mínimo artificial tiene dos efectos. Uno de los efectos es el de la no linealidad de la amplificación de la señal de entrada, debido a que la señal de la fuente de alimentación no rastrea la entrada de una manera coherente. Esto también provoca una impedancia variable desde la perspectiva del modulador de Vdd 20 con respecto a la carga del amplificador, que constituye lo que se denomina "efecto de impedancia dinámica". El efecto de impedancia dinámica causa distorsiones o irregularidades en la forma de onda resultante obtenida del amplificador 25. Estas irregularidades también afectan a la respuesta de ganancia y fase del BPM 25.

En la figura 2, se representan varias señales que se generan dentro de la disposición de amplificador de potencia 10 de la figura 1. La señal 50 representa una envolvente de la señal de entrada, la señal 55 representa una señal de fuente Vdd de destino generada en función de la envolvente de la señal de entrada, y la señal 60 representa una señal de fuente Vdd real resultante del efecto de impedancia dinámica. Cuando la envolvente de la señal de entrada desciende por debajo de la amplitud representada mediante la línea de puntos 52, la señal de fuente Vdd de destino 55 pasa a ser constante, tal como se representa en la zona 54, hasta que la envolvente de la señal de entrada incrementa su amplitud por encima de la línea de puntos 52. Debido al efecto de impedancia dinámica, la tensión de alimentación Vdd real 60 presenta un pico de voltaje en la zona 56. Puede haber otras razones que determinen que el voltaje que se suministra al BPM no sea el ideal. La impedancia dinámica tiene un efecto significativo en la mayoría de los casos. Las señales 50, 55, 60 de la figura 2 se representan sólo con fines ilustrativos. Las señales 50, 55, 60 no reflejan necesariamente la proximidad o la escala que presentan las señales 50, 55, 60 unas con respecto a las otras.

Está prevista una disposición de amplificador de potencia que está adaptada para realizar la linealización

de la salida del amplificador de potencia mediante la predistorsión de la entrada en función de la entrada y una señal de fuente de alimentación Vdd modulada de destino utilizada para activar el amplificador de potencia del sistema. Esto ayuda a superar las limitaciones de las técnicas de linealización convencionales.

5 Haciendo referencia a la figura 3, a continuación se describirá una disposición de amplificador de potencia 11 según una forma de realización de la presente invención.

10 La disposición de amplificador de potencia 11 de la figura 3 es similar a la de la figura 1 y comprende un detector de envolvente 19, un modulador de Vdd 21 y un BPM 26. Se han incluido dos bloques funcionales nuevos en la figura 3. El primer bloque funcional es un módulo de corrección de memoria 35. El módulo de corrección de memoria 35 está acoplado a la entrada 23 de la disposición de amplificador de potencia 11. La salida del módulo de corrección de memoria 35 está acoplada al BPM 26. El segundo bloque funcional es un detector de envolvente 37. El detector de envolvente 37 está acoplado a la entrada 23 de la disposición de amplificador de potencia 11. La salida del detector de envolvente 37 está acoplada al módulo de corrección de memoria 35.

15 La entrada 23 también está directamente acoplada al módulo de corrección de memoria 35. La salida 29 del modulador de Vdd 21 se suministra al modulador de corrección de memoria 35, representando dicha salida un voltaje Vdd de destino. También se representa una conexión lógica 31 entre la salida 33 del BPM 26 y el módulo de corrección de memoria 35. Esto es lógico, ya que no puede existir una conexión directa. Esta conexión puede, por ejemplo, representar el entrenamiento de los coeficientes utilizados en el módulo de corrección de memoria 35 que tiene lugar en función de la salida del BPM 26.

20 En funcionamiento, la disposición de amplificador de potencia 11 funciona de manera similar a la disposición de amplificador de potencia 10 de la figura 1. Una diferencia entre los dos sistemas es que la disposición de amplificador de potencia 11 comprende el módulo de corrección de memoria 35 para predistorcionar la señal suministrada al BPM 26 y compensar las distorsiones, de las cuales por lo menos una parte se deben a la memoria y están en función de la señal de envolvente de entrada. Particularmente, estas distorsiones pueden estar en función de los efectos de impedancia dinámica del BPM 26 percibidos por el modulador de Vdd 21. En la medida en que hay otras distorsiones entre el Vdd deseado y el Vdd real que activa el BPM 26, el módulo de corrección de memoria 35 también puede compensar estas distorsiones. Las salidas del modulador de Vdd 21 y el detector de envolvente 37 proveen entradas al módulo de corrección de memoria 35 para facilitar la compensación. No es posible medir la señal de fuente de alimentación Vdd modulada real y predistorcionar la señal de entrada antes de aplicarla al BPM 26, sino que en su lugar se realiza una predicción de la señal de fuente de alimentación Vdd modulada real, y la señal de entrada suministrada a la disposición de amplificador de potencia 11 se predistorciona adecuadamente antes de aplicarla al BPM 26.

25 En la figura 3, se representan dos detectores de envolvente 19, 37. En otras formas de realización, se provee un único detector de envolvente 19 con salidas al módulo de corrección de memoria 35 y al modulador de Vdd 21. En algunas formas de realización, el detector de envolvente 19 puede considerarse como una parte del modulador de Vdd 21, y el detector de envolvente 19 situado dentro del modulador de Vdd 21 está acoplado al módulo de corrección de memoria 35. En otras formas de realización, se provee un único detector de envolvente dentro del módulo de corrección de memoria 35 y dicho único detector de envolvente interno del módulo de corrección de memoria está acoplado al modulador de Vdd 21. Asimismo, en otras formas de realización, tanto el módulo de corrección de memoria 35 como el modulador de Vdd 21 presentan sus propios detectores de envolvente internos.

30 En algunas formas de realización, las funciones de retardo de señal pueden incorporarse a la disposición de amplificador de potencia si es necesario, para asegurar que las señales que se transmiten por la trayectoria principal de la señal y la trayectoria de la señal del modulador de Vdd estén sincronizadas.

35 En algunas formas de realización, el procesamiento de las señales en la disposición de amplificador de potencia tiene lugar en el dominio digital. Así pues, las señales que se van a procesar y que se suministran en varias ubicaciones se replican digitalmente para usos múltiples.

40 En algunas formas de realización, la detección de envolvente se realiza mediante la rectificación de la señal de entrada suministrada a la disposición de amplificador de potencia. Una señal de entrada con un ancho de banda finito tendrá un ancho de banda infinito después de la rectificación, debido a las transiciones instantáneas de la señal causadas por la naturaleza de la rectificación de la señal. Esto se traduce en una distorsión adicional, ya que una señal de fuente de alimentación Vdd modulada generada por el modulador de Vdd 21 es una señal de banda limitada. En algunas formas de realización, la rectificación tiene lugar antes de la duplicación digital de la señal de entrada, suministrándose la señal duplicada al modulador de Vdd 21. En otras formas de realización, la rectificación tiene lugar en la trayectoria Vdd, anterior al modulador de Vdd 21, y la envolvente de entrada resultante se suministra tanto al modulador de Vdd 21 como al módulo de corrección de memoria 35. En otras formas de realización, la rectificación tiene lugar en la trayectoria principal de la señal, situada antes o dentro del módulo de corrección de memoria 35, y la envolvente de entrada resultante se suministra tanto al modulador de Vdd 21 como al módulo de corrección de memoria 35.

5 En algunas formas de realización, se utiliza una señal de modulación de fuente de alimentación para modular la fuente de alimentación situada dentro del modulador de Vdd 21. La señal de modulación de fuente de alimentación puede ser una función de la señal de entrada. La señal de modulación de fuente de alimentación puede ser una función de la señal de envolvente de entrada. En algunas formas de realización, la señal de modulación de fuente de alimentación puede ser la señal de envolvente de entrada.

10 En un párrafo anterior, la rectificación se ha descrito como un procedimiento de detección de envolvente. En general, se pueden utilizar otros procedimientos de procesamiento de señales conocidos para la detección de la envolvente.

15 Haciendo referencia a la figura 4, a continuación se describirá en mayor detalle un ejemplo de ejecución del módulo de corrección de memoria 35 de la figura 3. El módulo de corrección de memoria 35 comprende un corrector de trayectoria principal 175 y un predictor de Vdd 165. Las entradas del predictor de Vdd 165 comprenden una señal de Vdd de destino 160 y una señal de envolvente de entrada de banda base 155. El predictor de Vdd 165 genera una salida en forma de señal de fuente de alimentación Vdd prevista 170. Las entradas del corrector de trayectoria principal 175 comprenden una señal de entrada de banda base 150, la señal de envolvente de entrada de banda base 155 y la señal de fuente de alimentación Vdd prevista 170. La salida 180 del corrector de trayectoria principal 175 es una señal que se predistorsiona de una manera que permite al BPM 26 generar una versión amplificada, sustancialmente linealizada y libre de distorsiones de la señal suministrada a la disposición de amplificador de potencia 11.

25 El predictor de Vdd 165 es operativo para predecir la distorsión de la forma de onda Vdd con el fin de mejorar el rendimiento de corrección con respecto al de las técnicas de linealización convencionales. Esto se logra creando un modelo anticipado de la trayectoria de modulador.

30 En el módulo de corrección de memoria 35, el corrector de trayectoria principal 175 utiliza la señal de fuente de alimentación Vdd prevista 170 obtenida a partir del predictor de Vdd 165 para facilitar la predistorsión de la señal suministrada al BPM y obtener una salida linealizada.

35 En la forma de realización ejemplificativa de la figura 4, se representa cómo se evita un incremento de la complejidad de procesamiento dividiendo el problema de linealización en dos problemas más pequeños que pueden ser abordados por el corrector de trayectoria principal 175 y el predictor de Vdd 165. Por otra parte, utilizando el concepto de predicción de Vdd, se evita la necesidad de invertir la característica Vdd de comportamiento potencialmente incorrecto.

40 En la ejecución representada en la figura 4, el corrector de trayectoria principal 175 y el predictor de Vdd 165 se muestran como dos elementos funcionales diferenciados. En algunas formas de realización, las funciones de ambos bloques se pueden realizar como un solo elemento.

45 En la ejecución representada en la figura 4 y descrita anteriormente, las entradas suministradas al módulo de corrección de memoria 35 comprenden la señal de entrada de banda base 150, la señal de envolvente de entrada de banda base 155 y la señal de Vdd de destino 160. En algunas formas de realización, la señal de entrada de banda base 150 puede utilizarse para generar la señal de envolvente de banda base 155 en el módulo de corrección de memoria 35, y la señal de envolvente de banda base generada 155 puede suministrarse tanto al corrector de trayectoria principal 175 como al predictor de Vdd 165. Por ejemplo, esto es lo que sucede en el caso descrito anteriormente relativo a un detector de envolvente contenido dentro del módulo de corrección de memoria 35. En formas de realización como las indicadas, solo la señal de entrada de banda base 150 y la señal de Vdd de destino de banda limitada 160 se aplicarán al módulo de corrección de memoria 35.

50 En algunas formas de realización, el corrector de trayectoria principal 175 y el predictor de Vdd 165 se implementan como hardware. En otras formas de realización, el corrector de trayectoria principal 175 y el predictor de Vdd 165 se implementan como software. Entre los ejemplos de hardware que se pueden utilizar para implementar el corrector de trayectoria principal 175 y el predictor de Vdd 165, se incluyen un circuito integrado de aplicación específica (ASIC), un microprocesador con lógica cableada digital capaz de realizar las operaciones para resolver las ecuaciones, un chip de procesamiento de señales digitales que puede realizar cálculos matemáticos basados en un código algorítmico almacenado en una memoria legible por ordenador, o una matriz de puertas programable in situ (FPGA). Estos ejemplos no pretenden limitar la presente invención, sino sugerir arquitecturas que pueden utilizarse para implementar las formas de realización de la presente invención.

60 Un ejemplo de función de transferencia obtenida a partir de una forma de realización del corrector de trayectoria principal 175 es el representado como

$$\begin{aligned}
 y(n) = & a_0x(n) + a_1x(n-1) + \dots + a_4x(n-4) + \\
 & a_5x(n)|x(n)| + a_6x(n-1)|x(n-1)| + \dots + a_9x(n-4)|x(n-4)| + \\
 & a_{10}x(n)|x(n)|^2 + a_{11}x(n-1)|x(n-1)|^2 + \dots + a_{14}x(n-4)|x(n-4)|^2 + \\
 & a_{15}x(n)|x(n)|^3 + a_{16}x(n-1)|x(n-1)|^3 + \dots + a_{19}x(n-4)|x(n-4)|^3 + \quad (1) \\
 & a_{20}x(n)v_{dd}(n) + a_{21}x(n-1)v_{dd}(n-1) + \dots + a_{24}x(n-4)v_{dd}(n-4) + \\
 & a_{25}x(n)v_{dd}(n)^2 + a_{26}x(n-1)v_{dd}(n-1)^2 + \dots + a_{29}x(n-4)v_{dd}(n-4)^2 + \\
 & a_{30}x(n)v_{dd}(n)^3 + a_{31}x(n-1)v_{dd}(n-1)^3 + \dots + a_{34}x(n-4)v_{dd}(n-4)^3,
 \end{aligned}$$

siendo $x(n)$ una entrada de banda base compleja, siendo $V_{dd}(n)$ una forma de onda V_{dd} prevista y siendo $y(n)$ una salida compleja del corrector de trayectoria principal. Los coeficientes a_i son parámetros con valores complejos. Dichos valores se pueden determinar durante la etapa de entrenamiento de corrección de la memoria, que se describe más adelante.

La ecuación (1) representa un ejemplo de función de transferencia que se puede utilizar para implementar las funciones del corrector de trayectoria principal 175. En general, cualquier función de transferencia capaz de generar las funciones de linealización necesarias con entradas adecuadas que están en función de la forma de onda V_{dd} de destino y en función de la entrada de la disposición de amplificador de potencia puede utilizarse para implementar las funciones del corrector de trayectoria principal 175. En la ecuación 1, el efecto de memoria puede apreciarse en la medida en que la salida $y(n)$ está en función de las entradas en los tiempos n , $n-1$, $n-2$, $n-3$ y $n-4$. Los efectos no lineales pueden observarse en los términos de forma $|x(\cdot)|^m$, $V_{dd}(\cdot)^m$ y $x(\cdot)^m V_{dd}(\cdot)^k$ que aparecen en la ecuación. Se pueden emplear otras combinaciones de elementos de tiempo y términos.

Haciendo referencia a la figura 5, a continuación se describirá en mayor detalle un ejemplo de ejecución de la función de transferencia del corrector de trayectoria principal indicada en la ecuación (1).

La entrada IQ de banda base 205 se suministra directamente a un primer filtro de respuesta finita al impulso (FIR) de 5 tomas complejo 220. La salida del primer filtro FIR de 5 tomas complejo 220 se suministra al sumador 230. La entrada IQ de banda base 205 se suministra también a una pluralidad de multiplicadores 210, 211, 212, 213, 214, 215, en los que la entrada IQ de banda base 205 se multiplica por la envolvente de entrada de banda base 206, el cuadrado de la envolvente de entrada de banda base 206, el cubo de la envolvente de entrada de banda base 206, el V_{dd} previsto 207, el cuadrado del V_{dd} previsto 207 o el cubo del V_{dd} previsto 207. El multiplicador 210 multiplica la entrada IQ de banda base 205 y la envolvente de entrada de banda base 206. La salida del multiplicador 210 se suministra a un segundo filtro FIR de 5 tomas complejo 221. La salida del segundo filtro FIR de 5 tomas complejo 221 se suministra al sumador 231. La envolvente de entrada de banda base 206 se provee también al bloque funcional 216 para elevar al cuadrado la envolvente de entrada de banda base 206. La salida del bloque funcional 216 se suministra al multiplicador 211. El multiplicador 211 multiplica la entrada IQ de banda base 205 y el valor cuadrado de la envolvente de entrada de banda base 206. La salida del multiplicador 211 se suministra a un tercer filtro FIR de 5 tomas complejo 222. La salida del tercer filtro FIR de 5 tomas complejo 222 se suministra al sumador 232. La envolvente de entrada de banda base 206 se provee también al bloque funcional 217 para elevar al cubo la envolvente de entrada de banda base 206. La salida del bloque funcional 217 se suministra al multiplicador 212. El multiplicador 212 multiplica la entrada IQ de banda base 205 y el valor cúbico de la envolvente de entrada de banda base 206. La salida del multiplicador 212 se suministra a un cuarto filtro FIR de 5 tomas complejo 223. La salida del cuarto filtro FIR de 5 tomas complejo 223 se suministra al sumador 233.

La entrada IQ de banda base 205 se multiplica por el V_{dd} previsto 207, el cuadrado del V_{dd} previsto 207 y el cubo del V_{dd} previsto 207 de la misma manera que la descrita con respecto a la entrada IQ de banda base 205 y la envolvente de entrada de banda base 206 descrita anteriormente, utilizando los multiplicadores 213, 214 y 215 y los bloques funcionales de elevación al cuadrado y al cubo 218 y 219. Las salidas de los filtros FIR de 5 tomas complejos 220, 221, 222, 223, 224, 225 y 226 se suman conjuntamente mediante los sumadores 230, 231, 232, 233, 234 y 235 para crear la salida del corrector de trayectoria principal 240.

En el ejemplo anterior, la salida del corrector de trayectoria principal 240 representada está en función de unas expresiones polinómicas de tercer grado de la envolvente de entrada de banda base 206 y el V_{dd} previsto 207. Esta última solo constituye una de las formas de realización ofrecidas por la presente invención representada para fines descriptivos. En otras formas de realización, la función de transferencia puede consistir en expresiones polinómicas de mayor o menor orden de la envolvente de entrada de banda base 206 y el V_{dd} previsto 207, generadas añadiendo o eliminando bloques funcionales similares a los bloques 216, 217, 218 y 219, a fin de obtener el polinomio de orden deseado. Del mismo modo, los filtros FIR complejos se representan como filtros de 5 tomas simplemente por motivos descriptivos. En otras formas de realización, los filtros FIR pueden estar provistos de más o menos tomas dependiendo del retardo deseado.

Aunque en la figura 5 los filtros de varias tomas complejos que se representan son filtros FIR, en general estos filtros de varias tomas pueden ser filtros de otros tipos provistos de las funciones de retardo deseadas.

En la figura 5, se representan varios sumadores que suman las salidas de los diversos filtros de varias tomas. De manera más general, se puede utilizar cualquier cantidad de sumadores que resulte adecuada; por ejemplo, se pueden proveer las salidas de todos los filtros de varias tomas a un sumador.

5 La figura 5 es un ejemplo de cómo puede implementarse la función de transferencia de la ecuación (1). El ejemplo de ejecución de la figura 5 no tiene como fin limitar la manera de implementar la función de transferencia. En líneas generales, puede utilizarse cualquier combinación de operaciones matemáticas adecuada para implementar la función de transferencia deseada.

10 Como se ha descrito con respecto a la figura 4, el hardware o el software pueden utilizarse físicamente para implementar las funciones del corrector de trayectoria principal 175, por ejemplo, la función de transferencia representada en la figura 5.

15 En algunas formas de realización, la entrada IQ de banda base 205 comprende unos respectivos componentes I y Q de una señal modulada en cuadratura. En una forma de realización en la que los componentes I y Q de una señal modulada en cuadratura se incluyen en la entrada IQ de banda base 205, se utilizan por lo menos dos canales que transmiten la entrada IQ de banda base 205, tal como se representa en la forma de realización de la figura 5.

20 Un ejemplo de función de transferencia de una forma de realización del predictor de Vdd 165 se representa como

$$\begin{aligned}
 y(n) = & b_0x(n) + b_1x(n-1) + \dots + b_9x(n-9) + \\
 & b_{10}x(n)^2 + b_{11}x(n-1)^2 + \dots + b_{19}x(n-9)^2 + \\
 & b_{20}x(n)^3 + b_{21}x(n-1)^3 + \dots + b_{29}x(n-9)^3 + \\
 & b_{31}Vdd(n) + b_{32}Vdd(n-1) + \dots + b_{39}Vdd(n-9) + \\
 & b_{40}x(n)Vdd(n) + b_{41}x(n-1)Vdd(n-1) + \dots + b_{49}x(n-9)Vdd(n-9) + \\
 & b_{50}x(n)Vdd(n)^2 + b_{51}x(n-1)Vdd(n-1)^2 + \dots + b_{59}x(n-9)Vdd(n-9)^2 + \\
 & b_{60}x(n)Vdd(n)^3 + b_{61}x(n-1)Vdd(n-1)^3 + \dots + b_{69}x(n-9)Vdd(n-9)^3,
 \end{aligned} \tag{2}$$

25 siendo $x(n)$ es una envolvente de entrada de banda base, siendo $Vdd(n)$ una forma de onda Vdd de destino y siendo $y(n)$ una salida del predictor de Vdd. Los coeficientes b_i son parámetros de valor real que pueden determinarse durante la etapa de entrenamiento de corrección de la memoria, descrita más adelante.

30 La ecuación (2) representa un ejemplo de función de transferencia que se utiliza para implementar las funciones del predictor de Vdd 165. En líneas generales, una función de transferencia capaz de generar las funciones necesarias del predictor con entradas adecuadas que están en función de la forma de onda Vdd de destino y en función de la entrada de la disposición de amplificador de potencia puede utilizarse para implementar las funciones del predictor de Vdd 165.

35 Haciendo referencia a la figura 6, a continuación se describirá en mayor detalle un ejemplo de ejecución de la función de transferencia de predicción de Vdd indicada en la ecuación (2).

40 La envolvente de entrada de banda base 206 se suministra directamente a un primer filtro FIR de 10 tomas real 270. La salida del primer filtro FIR de 10 tomas real 270 se suministra al sumador 280. La envolvente de entrada de banda base 206 se provee también al bloque funcional 265 para elevar al cuadrado la envolvente de entrada de banda base 206. La salida del bloque funcional 265 se suministra a un segundo filtro FIR de 10 tomas real 271. La salida del segundo filtro FIR de 10 tomas real 271 se suministra al sumador 281. La envolvente de entrada de banda base 206 se provee también al bloque funcional 266 para elevar al cubo la envolvente de entrada de banda base 206. La salida del bloque funcional 266 se suministra a un tercer filtro FIR de 10 tomas real 272. La salida del tercer filtro FIR de 10 tomas real 272 se suministra al sumador 282.

45 La envolvente de entrada de banda base 206 se provee también a una pluralidad de multiplicadores 262, 263, 264, en los que la envolvente de entrada de banda base 206 se multiplica por el Vdd de destino 250 o por un múltiplo del Vdd de destino 250.

50 El Vdd de destino 250 se suministra directamente a un cuarto filtro FIR de 10 tomas real 273. La salida del cuarto filtro FIR de 10 tomas real 273 se suministra al sumador 283. El Vdd de destino 250 se provee también al multiplicador 262. El multiplicador 262 multiplica la envolvente de entrada de banda base 206 y el Vdd de destino 250. La salida del multiplicador 262 se suministra a un quinto filtro FIR de 10 tomas real 274. La salida del quinto filtro FIR de 10 tomas real 274 se suministra al sumador 284. El Vdd de destino 250 se provee también al bloque funcional 267 para elevar al cuadrado el Vdd de destino 250. La salida del bloque funcional 267 se suministra al multiplicador 263. El multiplicador 263 multiplica la envolvente de entrada de banda base 206 y el valor elevado al cuadrado del Vdd de destino 250. La salida del multiplicador 263 se suministra a un sexto filtro FIR de 10 tomas real

275. La salida del sexto filtro FIR de 10 tomas real 275 se suministra al sumador 285. La envolvente de entrada de banda base 206 se provee también al bloque funcional 268 para elevar al cubo el Vdd de destino 250. Una salida del bloque funcional 268 se suministra al multiplicador 264. El multiplicador 264 multiplica la envolvente de entrada de banda base 206 y el valor elevado al cubo del Vdd de destino 250. La salida del multiplicador 264 se suministra a un séptimo filtro FIR de 10 tomas real 276. La salida del séptimo filtro FIR de 10 tomas real 276 se suministra al sumador 285. Las salidas de los filtros FIR de 10 tomas reales 270, 271, 272, 273, 274, 275 y 276 se suman conjuntamente mediante los sumadores 280, 281, 282, 283, 284 y 285 para crear la salida del predictor de Vdd 290.

En el ejemplo anterior, la salida del predictor de Vdd 290 se representa como una función de unas expresiones polinómicas de tercer grado de la envolvente de entrada de banda base 206 y el Vdd de destino 250. También hay términos de producto cruzado tanto del Vdd de destino como de la envolvente de entrada. Esta última solo constituye una de las formas de realización ofrecidas por la presente invención representada para fines descriptivos. En otras formas de realización, la función de transferencia puede consistir en expresiones polinómicas de mayor o menor orden de la envolvente de entrada de banda base 206 y el Vdd de destino 250, generadas añadiendo o eliminando bloques funcionales similares a los bloques 265, 266, 267 y 268, a fin de obtener el polinomio de orden deseado. Del mismo modo, los filtros FIR reales que se representan son filtros de 10 tomas simplemente por motivos descriptivos. En otras formas de realización, los filtros FIR pueden presentar más o menos tomas dependiendo del retardo deseado.

Aunque en la figura 6 los filtros de varias tomas reales que se representan son filtros FIR, en general estos filtros de varias tomas pueden ser filtros de otros tipos que dispongan de las funciones de retardo deseadas.

En la figura 6, se representan varios sumadores que suman las salidas de los diversos filtros de varias tomas. De manera más general, se puede utilizar cualquier número de sumadores adecuado; por ejemplo, se pueden proveer las salidas de los diversos filtros de varias tomas a un sumador.

La figura 6 es un ejemplo de cómo se puede implementar la función de transferencia de la ecuación (2). El ejemplo de ejecución de la figura 6 no tiene como fin limitar la manera de implementar la función de transferencia. En general, se puede utilizar cualquier combinación de operaciones matemáticas adecuada para implementar la función de transferencia deseada. Por otra parte, la ecuación (2) no es más que un ejemplo de función de transferencia adecuada.

Como se ha descrito con respecto a la figura 4, puede utilizarse hardware o software para implementar físicamente las funciones del predictor de Vdd 165, por ejemplo, la función de transferencia representada en la figura 6.

En algunas formas de realización, puede realizarse un filtrado adicional de la señal de envolvente de entrada antes de suministrar la señal de envolvente de entrada al modulador de Vdd 21 o antes de suministrar la señal de envolvente de entrada al módulo de corrección de memoria 35. Por ejemplo, puede realizarse un filtrado de paso bajo para filtrar los componentes de alta frecuencia creados durante la rectificación.

En algunas formas de realización, la señal de envolvente de entrada se crea a partir de una versión limpia de la señal de entrada, tal como una copia digital como la descrita anteriormente.

En algunas formas de realización, se dispone de un convertidor digital-analógico situado entre el módulo de corrección de memoria 35 y el BPM 26 en la trayectoria principal de la señal para convertir la salida digital del módulo de corrección de memoria 35 en una señal analógica antes de ser amplificada por el BPM 26.

Con el fin de aumentar al máximo la relación señal-ruido (SNR) de la trayectoria de datos y el rango dinámico disponible de los coeficientes del corrector de trayectoria principal 175 y el predictor de Vdd 165, se utiliza una arquitectura híbrida de punto fijo/punto flotante en algunas formas de realización de la presente invención. En esta arquitectura, todas las multiplicaciones se realizan en el dominio de punto flotante, mientras que los resultados se suman en el dominio de punto fijo. La arquitectura híbrida se adapta bien a las limitaciones de una ejecución FPGA, particularmente cuando se limita la longitud de palabra de los recursos "hard" del multiplicador.

Haciendo referencia a la figura 7, a continuación se describirá en mayor detalle un ejemplo de arquitectura híbrida de punto fijo/punto flotante.

Las entradas del sistema 300 se suministran a un bloque funcional 305 que convierte una representación de punto fijo (FXP) en una representación de punto flotante (FLT). Con respecto a la corrección de la trayectoria principal 175 de la figura 5, las entradas del sistema comprenden la entrada IQ de banda base 205, la envolvente de entrada de banda base 206, y el Vdd previsto 207. Con respecto al predictor de Vdd 165 de la figura 6, las entradas del sistema comprenden la envolvente de entrada de banda base 206 y el Vdd de destino 250. La salida del bloque funcional 305 se suministra a las funciones de multiplicación 310 y 315. Las funciones de multiplicación 310 y 315 se realizan en el dominio de punto flotante. Las funciones de multiplicación 310 y 315 representan funciones de multiplicación tales como las de elevación al cuadrado y al cubo de los bloques 216 y 217 de la figura 5, así como las funciones de multiplicación realizadas por los multiplicadores dedicados, por ejemplo los

5 multiplicadores 210, 211, 212 de la figura 5 y los multiplicadores (no representados) situados dentro de los filtros FIR. Los productos resultantes se convierten de nuevo a la representación de punto fijo en el bloque funcional 320. La salida del bloque funcional 320 se suministra a las funciones de suma 325 y 330. Las funciones de suma 325 y 330, que representan funciones de suma tales como las de los sumadores 230 y 231 de la figura 5, así como la suma de las fases de filtrado y la suma realizada dentro de los filtros FIR, se realizan en el dominio de punto fijo. A continuación, la salida del sistema 335 se facilita en la representación deseada. La preparación de la salida del sistema 335 puede comprender la saturación del número de punto fijo resultante antes de ser suministrada.

10 La representación de punto fijo de un número se puede expresar en cualquiera de varios formatos, por ejemplo en formato de complemento a dos o en formato sin signo. La representación de punto flotante se expresa comúnmente mediante una mantisa y un exponente.

15 Otro aspecto ofrecido por las formas de realización de la presente invención es una arquitectura para el entrenamiento del corrector de trayectoria principal 175 o del predictor de Vdd 165 o de ambos en el módulo del corrector de trayectoria principal 35. En algunas formas de realización, el entrenamiento se refiere a la generación de parámetros programables adecuados, tales como los coeficientes a_i y b_i que aparecen en los ejemplos de funciones de transferencia de las ecuaciones (1) y (2). De manera más general, pueden emplearse muchos métodos para obtener el módulo de corrección de la memoria.

20 Con el fin de permitir un rápido desarrollo y optimización de los parámetros programables adecuados, el procedimiento de entrenamiento de base utilizado para el corrector de trayectoria principal 175 y el predictor de Vdd 165 en algunas formas de realización es una optimización de mínimos cuadrados como la siguiente:

$$\varphi = [U^H \cdot U]^{-1} Y \quad (3)$$

25 en la que U es una matriz M x N de entradas del sistema, Y es un vector M x 1 de las correspondientes salidas, φ es un vector N x 1 de los coeficientes resultantes, M es el número de muestras captadas por iteración y el superíndice H de U^H representa un operador de transposición conjugada. El contenido de la matriz U y el vector Y variará dependiendo de si se está entrenando el corrector de trayectoria principal 175 o el predictor de Vdd 165. Ambas situaciones se describen a continuación.

30 En el software Matlab™, se puede obtener un ejemplo de solución para este tipo de optimización de mínimos cuadrados de la siguiente forma:

$$\varphi = U \setminus Y \quad (4)$$

35 en la que el operador de barra invertida se utiliza para aportar una solución desde la perspectiva de mínimos cuadrados a un problema con exceso de restricciones $U \cdot \varphi = Y$.

40 En el ejemplo de la figura 5, las entradas del sistema de la matriz U son una combinación de la entrada IQ de banda base 205, la envolvente de entrada de banda base 206 y el Vdd previsto 207, y las salidas del sistema del vector Y están constituidas por la salida del corrector 240. En el ejemplo de la figura 6, las entradas del sistema en la matriz U son una combinación de la envolvente de entrada de banda base 206 y el Vdd de destino 250 y las salidas del sistema en el vector Y son la salida del predictor de Vdd 290.

45 Para aumentar la precisión efectiva de los resultados de entrenamiento para los órdenes polinómicos determinados del módulo del corrector de trayectoria principal 175 y el módulo del predictor de Vdd 165, en algunas formas de realización, el espacio de soluciones se divide en una serie de segmentos cada uno de los cuales se basa en una serie de valores de envolvente de entrada. De esta manera, se determina un conjunto de coeficientes diferente para cada segmento. Esto facilita la utilización de una serie de polinomios de orden inferior para calcular el comportamiento de un único polinomio de orden superior. A su vez, esto determina una reducción significativa de la complejidad de la ejecución física. Como alternativa, se puede lograr un mayor rendimiento segmentando sin cambiar el orden polinómico.

55 Haciendo referencia a la figura 8, se representa un ejemplo de relación entre la amplitud de la señal de envolvente de entrada y la amplitud de la señal de envolvente de salida. La amplitud de la señal de envolvente de entrada a lo largo del eje de las X del gráfico se divide en varios segmentos distintos 360, 365, 370, 375, cada uno de los cuales presenta un rango de amplitudes de señal de envolvente de entrada particular. Las amplitudes de envolvente de salida a lo largo del eje de las Y del gráfico corresponden a unos rangos de amplitudes de señal de envolvente de entrada particulares. Aplicando el concepto de segmentación ilustrado en la figura 8 a las entradas y la salida del corrector de trayectoria principal 175, se determinan los parámetros programables en algunas formas de realización descritas anteriormente, y a continuación el corrector de trayectoria principal 175 aplica los parámetros para determinar la salida del corrector de trayectoria principal 240, cuando se captan valores de entrada similares durante la operación. En algunas formas de realización ofrecidas por la presente invención, se aplica un procedimiento de segmentación similar al predictor de Vdd 165 para determinar los parámetros programables.

De nuevo, haciendo referencia a las figuras 5 y 6, la segmentación se traduce en el cálculo de ϕ para cada rango de valores de entrada adecuado que define un correspondiente segmento. Esto se consigue fácilmente para la función de transferencia, seleccionando simplemente las filas de Y y U comprendidas en el rango de valores de entrada adecuado. A continuación, se resuelve la función de transferencia con respecto a ϕ . Utilizando la ecuación (3) y despejando ϕ con respecto al corrector de trayectoria principal 175, se obtienen los coeficientes a_i para la función de transferencia de la ecuación (1). Utilizando la ecuación (3) y despejando ϕ con respecto al predictor de Vdd 165, se obtienen los coeficientes b_i de la función de transferencia de la ecuación (2). En las formas de realización representadas en las figuras 5 y 6, estos coeficientes representan los valores de ponderación que se van a utilizar en los filtros FIR de varias tomas. A continuación, se describirán en mayor profundidad las formas de realización de las arquitecturas de entrenamiento del corrector de trayectoria principal 175 y el predictor de Vdd 165.

En algunas formas de realización, cuando se realiza la segmentación de las señales de entrada, se facilita un solapamiento entre segmentos adyacentes. La inclusión del solapamiento entre segmentos adyacentes determina la creación de una zona de transición entre los segmentos adyacentes. Por consiguiente, las distorsiones causadas por la segmentación en la señal de salida amplificada, es decir cuando las señales de entrada percibidas por el corrector de trayectoria principal 175 o el predictor de Vdd 165 cambian a un segmento diferente provocando un cambio de los parámetros programables, pueden reducirse o eliminarse. Se pueden analizar diversos procedimientos de transición entre las soluciones de solapamiento de los segmentos. Por ejemplo, se puede hacer un intercambio de parámetros programables en el punto medio del solapamiento.

El número total de segmentos utilizados en la segmentación del espacio de soluciones puede afectar al orden del polinomio de la expresión que se desea resolver. El control del número de segmentos puede brindar la capacidad de controlar la complejidad de la ejecución física utilizada en las formas de realización de la presente invención. Cuanto mayor sea el número de segmentos, generalmente menor será el orden de la expresión polinómica que se puede utilizar para representar ese segmento. A la inversa, cuanto menor sea el número de segmentos, generalmente mayor será el orden de la expresión polinómica utilizada para representar ese segmento.

Del mismo modo, la cantidad de solapamiento seleccionado en la segmentación puede determinar un nivel de distorsión en la señal de salida amplificada. La selección de la cantidad de solapamiento entre segmentos adyacentes puede afectar al nivel de complejidad de la ejecución física utilizada en las formas de realización de la presente invención.

En general, el rango de los segmentos y la cantidad de solapamiento se seleccionan de conformidad con las necesidades del usuario en relación con la complejidad de la solución deseada y el rendimiento general.

En algunas formas de realización, la utilización de la segmentación puede aprovecharse para paralelizar el procedimiento de entrenamiento con el objetivo de reducir el tiempo necesario para la convergencia de los parámetros programables. Por el contrario, en algunas formas de realización, el uso de la segmentación puede aprovecharse para serializar el proceso de entrenamiento con el fin de reducir al mínimo la complejidad de la ejecución física, por ejemplo, los requisitos de hardware.

En el caso del entrenamiento del predictor de Vdd 165 de la figura 6, en algunas formas de realización, tanto la envolvente de banda base 206 como el Vdd de destino 250 se segmentan basándose en los valores de amplitud de las respectivas entradas. También se determina una correspondiente salida del predictor de Vdd 290. Utilizando las entradas segmentadas y las correspondientes salidas, se determinan los parámetros programables para ese segmento mediante la ecuación (3). Durante la operación, una vez que se han determinado los parámetros programables realizando el entrenamiento de cada uno de los segmentos del conjunto deseado, los parámetros programables pueden intercambiarse simplemente en función de los valores de entrada particulares percibidos por el predictor de Vdd 165. Se puede aplicar un sistema de segmentación similar al corrector de trayectoria principal en algunas formas de realización ofrecidas por la presente invención.

En algunas formas de realización, la segmentación en una realización en hardware del corrector de trayectoria principal 175 y el predictor de Vdd 165 se logra utilizando coeficientes variables en el tiempo. Cada coeficiente tiene asociada una "memoria" con un conjunto de ubicaciones, por ejemplo, 16 ubicaciones. Para cada muestra de entrada, se genera una dirección para seleccionar el valor del coeficiente adecuado de la "memoria", basada en el valor de entrada. Este procedimiento de generación de la dirección es controlado por un conjunto de registros programables que especifican los rangos de valores de envolvente o los límites de segmento correspondientes a cada una de las direcciones posibles.

Los algoritmos de entrenamiento para el corrector de trayectoria principal 175 se basan en una arquitectura de "entrenamiento indirecto". En cada iteración se captan formas de onda de la señal y se calculan nuevos valores de los coeficientes y de esta forma el corrector de trayectoria principal 175 tendrá una característica inversa a la del BPM 26. A continuación, los coeficientes actualizados se transfieren al corrector de trayectoria principal 175 y se inicia la siguiente iteración.

Haciendo referencia a la figura 9, a continuación se describirá en mayor detalle un ejemplo de arquitectura

de entrenamiento para el corrector de trayectoria principal.

La entrada de banda base 410, la envolvente de entrada de banda base 420 y el Vdd previsto 430 se suministran a un corrector de trayectoria principal 450. La salida del corrector de trayectoria principal 450 designado por $z(n)$ se suministra al BPM 460. La salida 465 del BPM 460 es la salida de la disposición de amplificador de potencia. La salida 465 se provee también a un bloque funcional 470 donde se multiplica por $1/K$ y se obtiene por resultado un valor representado por $w(n)$, siendo K la ganancia del BPM. La señal representada por $w(n)$ se suministra a una función de entrenamiento del corrector de trayectoria principal 490. La señal representada por $w(n)$ se provee también a un bloque funcional 480 que es un detector de envolvente que determina la magnitud de $w(n)$. La magnitud de $w(n)$ se suministra a la función de entrenamiento del corrector de trayectoria principal 490. Una señal de potencia Vdd real 440 representada por $V_{dd}(n)$, que activa el BPM 460, se provee también a la función de entrenamiento del corrector de trayectoria principal 490. La función de entrenamiento del corrector de trayectoria principal 490 determina los coeficientes a_i que va a utilizar el corrector de trayectoria principal 450.

Utilizando el ejemplo de ejecución de la función de transferencia del corrector de trayectoria principal 175 de la figura 5 para realizar el entrenamiento de corrección de trayectoria principal, se definen las variables U , φ e Y indicadas en la ecuación (3), de conformidad con:

$$U^T = \begin{bmatrix} w(n) & w(n-1) & w(n-2) & \dots \\ w(n)|w(n)| & w(n-1)|w(n-1)| & w(n-2)|w(n-2)| & \dots \\ w(n)|w(n)|^2 & w(n-1)|w(n-1)|^2 & w(n-2)|w(n-2)|^2 & \dots \\ w(n)|w(n)|^3 & w(n-1)|w(n-1)|^3 & w(n-2)|w(n-2)|^3 & \dots \\ w(n)v_{dd}(n) & w(n-1)v_{dd}(n-1) & w(n-2)v_{dd}(n-2) & \dots \\ w(n)v_{dd}^2(n) & w(n-1)v_{dd}^2(n-1) & w(n-2)v_{dd}^2(n-2) & \dots \\ w(n)v_{dd}^3(n) & w(n-1)v_{dd}^3(n-1) & w(n-2)v_{dd}^3(n-2) & \dots \\ w(n-1) & w(n-2) & w(n-3) & \dots \\ \vdots & \vdots & \vdots & \dots \\ w(n-4)v_{dd}^3(n-4) & w(n-5)v_{dd}^3(n-5) & w(n-6)v_{dd}^3(n-6) & \dots \end{bmatrix} \quad (5)$$

$$\varphi = \begin{bmatrix} a_0 \\ a_5 \\ a_{10} \\ a_{15} \\ a_{20} \\ a_{25} \\ a_{30} \\ a_1 \\ \vdots \\ a_{34} \end{bmatrix} \quad (6)$$

$$Y = \begin{bmatrix} z(n) \\ z(n-1) \\ z(n-2) \\ \vdots \end{bmatrix} \quad (7)$$

representando $V_{dd}(n)$ la señal de potencia Vdd real 440, representando $w(n)$ la señal de salida del BPM 460 multiplicada por $1/K$, y representando $z(n)$ la señal de salida del corrector de trayectoria principal 450, como se muestra en la figura 9. El superíndice T de U^T representa un operador de transposición.

Las representaciones de las ecuaciones (5), (6) y (7) no tienen como propósito limitar sino ilustrar la presente invención. Como se ha descrito anteriormente, la función de transferencia que representa el corrector de trayectoria principal puede expresarse mediante cualquier número de funciones de transferencia. Por consiguiente, las ecuaciones (5), (6) y (7) serán representativas de la función de transferencia correspondiente.

El módulo del predictor de Vdd 165 se entrena como un modelo anticipado de las deficiencias del modulador de Vdd 21. Como sucede con el módulo del corrector de trayectoria principal 175, cada iteración de entrenamiento comienza con la captación de formas de onda de señal adecuadas. A continuación, se determinan nuevos valores de coeficientes para facilitar de ese modo una característica anticipada del modulador de Vdd 21 a la estructura del predictor. Los coeficientes actualizados se transfieren entonces al predictor de Vdd 165 y se inicia la siguiente iteración.

Haciendo referencia a la figura 10, a continuación se describirá en mayor detalle un ejemplo de arquitectura de entrenamiento para el predictor de Vdd.

El Vdd de destino 510 se aplica a la entrada del modulador de Vdd 520. El modulador de Vdd 520 representado en la figura 10 comprende un bloque de ecualización y codificación 530 acoplado a un bloque de modulación 540. Puede haber funciones diferentes o adicionales antes del modulador. La entrada del modulador de Vdd 520 se suministra al bloque de ecualización y codificación 530. La salida del bloque de ecualización y codificación 530 se suministra al bloque de modulación 540. La salida del bloque de modulación 540 es la salida del modulador de Vdd 520. La salida del modulador de Vdd es una señal de potencia Vdd real representada como Vdd(n). La señal de potencia Vdd real 582 se suministra al BPM (no representado).

La envolvente de banda base 420 representada por z(n) se suministra a la función de entrenamiento del predictor de Vdd 580. El Vdd de destino 510 se provee también a la función de entrenamiento del predictor de Vdd 580 que genera los coeficientes b_i 581. La función de entrenamiento del predictor de Vdd 580 genera una salida 581 para entrenar el predictor de Vdd 165.

Utilizando el ejemplo de ejecución de la función de transferencia del predictor de Vdd 165 de la figura 6 para realizar el entrenamiento del predictor de Vdd, se definen las variables U, φ e Y indicadas en la ecuación (3), de conformidad con:

$$\mathbf{U}^T = \begin{bmatrix} z(n) & z(n-1) & z(n-2) & \dots \\ z(n)^2 & z(n-1)^2 & z(n-2)^2 & \dots \\ z(n)^3 & z(n-1)^3 & z(n-2)^3 & \dots \\ w(n) & w(n-1) & w(n-2) & \dots \\ z(n)w(n) & z(n-1)w(n-1) & z(n-2)w(n-2) & \dots \\ z(n)w^2(n) & z(n-1)w^2(n-1) & z(n-2)w^2(n-2) & \dots \\ z(n)w^3(n) & z(n-1)w^3(n-1) & z(n-2)w^3(n-2) & \dots \\ z(n-1) & z(n-2) & z(n-3) & \dots \\ \vdots & \vdots & \vdots & \dots \\ z(n-4)w^3(n-4) & z(n-5)w^3(n-5) & z(n-6)w^3(n-6) & \dots \end{bmatrix} \quad (8)$$

$$\boldsymbol{\varphi} = \begin{bmatrix} b_0 \\ b_{10} \\ b_{20} \\ b_{30} \\ b_{40} \\ b_{50} \\ b_{60} \\ b_1 \\ \vdots \\ b_{69} \end{bmatrix} \quad (9)$$

$$\mathbf{Y} = \begin{bmatrix} Vdd(n) \\ Vdd(n-1) \\ Vdd(n-2) \\ \vdots \end{bmatrix} \quad (10)$$

representando $V_{dd}(n)$ la señal de potencia Vdd real, $w(n)$ representa la señal de potencia de Vdd de destino y $z(n)$ representa la señal de banda de base de entrada, como se muestra en la figura 10. El superíndice T de U^T representa un operador de transposición.

5 Las representaciones de las ecuaciones (8), (9) y (10) no tienen como propósito limitar sino ilustrar la presente invención. Como se ha descrito anteriormente, la función de transferencia que representa el predictor de Vdd puede expresarse mediante cualquier número de funciones de transferencia. Por consiguiente, las ecuaciones (8), (9) y (10) serán representativas de la función de transferencia correspondiente.

10 En algunas formas de realización, los algoritmos de entrenamiento se implementan basándose en la arquitectura descrita con respecto a las figuras 9 y 10 para la corrección de la trayectoria principal y la predicción de Vdd, respectivamente. Puede utilizarse cualquier algoritmo de entrenamiento adecuado. Por ejemplo, en algunas formas de realización los algoritmos comprenden procedimientos tales como el RLS (Recursive Least Squares) o el Levenberg-Marquardt recursivo en lugar del procedimiento de optimización de mínimos cuadrados de la ecuación (3). En algunas formas de realización, los algoritmos de entrenamiento se implementan en hardware. En otras formas de realización, los algoritmos se implementan en software. En algunas formas de realización aportadas por la presente invención, los algoritmos se incluyen como parte del hardware o el software del corrector de trayectoria principal 175 o el predictor de Vdd 165, respectivamente. En otras formas de realización, los algoritmos de entrenamiento constituyen un bloque funcional independiente del corrector de trayectoria principal 175 o el predictor de Vdd 165.

15 20 25 En algunas formas de realización de la disposición de amplificador de potencia descrito, los datos de trayectoria principal captados presentan una deriva de fase a lo largo del tiempo con respecto a la entrada suministrada a la disposición de amplificador de potencia. Para compensar este efecto, se puede calcular un promedio móvil del error de fase. El promedio móvil se utiliza entonces para calcular una forma de onda de compensación de fase variable en el tiempo que se aplica a los datos de trayectoria principal captados con el fin de uniformar el comportamiento de la fase en el dominio del tiempo.

30 Las formas de realización de la disposición de amplificador de potencia descritas anteriormente pueden utilizarse en los transmisores de estaciones base inalámbricas. En líneas generales, las formas de realización de la disposición de amplificador de potencia se utilizan en cualquier red de comunicación en la que se utilicen amplificadores de potencia.

35 Tomando en consideración la información proporcionada en la presente memoria, será posible realizar numerosas modificaciones y variantes de la presente invención. Por consiguiente, debe tenerse en cuenta que, dentro del alcance de las reivindicaciones adjuntas, la presente invención puede ponerse en práctica de maneras distintas a las descritas en la presente memoria.

REIVINDICACIONES

1. Disposición de amplificador de potencia (11) que comprende:

una fuente de alimentación (21) adaptada para suministrar una señal de fuente de alimentación a un amplificador de potencia (26), siendo modulada la fuente de alimentación en función de una señal de entrada (23) suministrada a la disposición de amplificador de potencia;

un amplificador de potencia adaptado para recibir una versión modificada de la señal de entrada y amplificar la versión modificada de la señal de entrada para generar una señal de salida (33);

caracterizada porque la señal de entrada se modifica en función de la señal de entrada suministrada a la disposición de amplificador de potencia y una predicción de la distorsión de la señal de fuente de alimentación suministrada al amplificador de potencia.

2. Disposición de amplificador de potencia según la reivindicación 1, en la que la disposición de amplificador de potencia incluye un módulo de corrección de memoria (35) adaptado para proporcionar la señal de entrada modificada (180) suministrada al amplificador de potencia, modificando el módulo de corrección de memoria la señal de entrada (150) en función de la señal de entrada a la disposición y una predicción de la distorsión de la señal de fuente de alimentación suministrada al amplificador de potencia (170), siendo sometido el módulo de corrección de memoria a un entrenamiento que está en función de la señal de salida (31).

3. Disposición de amplificador de potencia según la reivindicación 2, en la que el módulo de corrección de memoria modifica la señal de entrada en función de una predicción de la distorsión de la señal de fuente de alimentación, en la que la distorsión es causada por el efecto de impedancia dinámica del amplificador de potencia percibido por la fuente de alimentación.

4. Disposición de amplificador de potencia según la reivindicación 2, en la que el módulo de corrección de memoria modifica la señal de entrada en función de la envolvente de la señal de entrada (155) de la señal de entrada suministrada a la disposición de amplificador de potencia.

5. Disposición de amplificador de potencia según la reivindicación 2, en la que el módulo de corrección de memoria se compone de:

un predictor (165) adaptado para predecir la distorsión de forma de onda de la señal de fuente de alimentación, en el que el predictor genera una salida (170) que está en función de una señal de fuente de alimentación de destino (160), estando modulada la señal de fuente de alimentación de destino en función de la señal de entrada y no es afectada por la distorsión de la forma de onda; y

un corrector de trayectoria principal (175) adaptado para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada suministrada a la disposición de amplificador de potencia y la salida del predictor.

6. Disposición de amplificador de potencia según la reivindicación 5, en la que las entradas suministradas al corrector de trayectoria principal comprenden una señal de entrada (150), la salida (170) del predictor (165) y una señal de envolvente de entrada (155).

7. Disposición de amplificador de potencia según la reivindicación 5, en la que las entradas suministradas al predictor (165) comprenden una señal de envolvente de entrada (155) y la señal de fuente de alimentación de destino (160).

8. Disposición de amplificador de potencia según la reivindicación 5, que comprende además unos medios (37) para generar una señal de envolvente de entrada situados antes del predictor y del corrector de trayectoria principal.

9. Disposición de amplificador de potencia según la reivindicación 1, que comprende además unos medios (21) para modular la señal de fuente de alimentación en función de la señal de entrada.

10. Disposición de amplificador de potencia según la reivindicación 9, en la que los medios para modular la señal de fuente de alimentación están en función de una señal de envolvente de entrada.

11. Disposición de amplificador de potencia según la reivindicación 9, en la que los medios para modular la señal de fuente de alimentación comprenden la rectificación de la señal de entrada.

12. Disposición de amplificador de potencia según la reivindicación 11, en la que los medios para modular la señal de fuente de alimentación comprenden además el filtrado de la señal de entrada.

13. Disposición de amplificador de potencia según la reivindicación 2, en la que el módulo de corrección de memoria es un circuito integrado de aplicación específica (ASIC).

14. Disposición de amplificador de potencia según la reivindicación 2, en la que el módulo de corrección de memoria es una matriz de puertas programable in situ (FPGA).

15. Disposición de amplificador de potencia según la reivindicación 5, que comprende además:
una función de entrenamiento del predictor adaptada para entrenar al predictor y
una función de entrenamiento del corrector de trayectoria principal adaptada para entrenar al corrector de trayectoria principal.

16. Disposición de amplificador de potencia según la reivindicación 15, en la que:
la función de entrenamiento del predictor está adaptada para entrenar al predictor mediante la señal de fuente de alimentación de destino, la señal de fuente de alimentación y la señal de entrada;

la función de entrenamiento del corrector de trayectoria principal está adaptada para entrenar al corrector de trayectoria principal mediante la señal de entrada modificada, la señal de salida y la señal de fuente de alimentación.

17. Medios utilizables por ordenador que presentan unos medios de código de programación legibles por ordenador materializados en los mismos para realizar la corrección de la memoria en una disposición de amplificador de potencia según la reivindicación 1, comprendiendo los medios de código legibles por ordenador:

unos medios de código para predecir la distorsión de forma de onda de la señal de fuente de alimentación, en los que los medios de código generan una salida que está en función de una señal de fuente de alimentación de destino, siendo modulada la señal de fuente de alimentación de destino en función de la señal de entrada suministrada a la disposición de amplificador y no estando afectada por la distorsión de forma de onda; y

unos medios de código para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada de la disposición de amplificador de potencia y la salida de los medios de código para predecir la distorsión de la forma de onda.

18. Procedimiento de utilización de una disposición de amplificador de potencia (11) que comprende un amplificador de potencia (26) y una fuente de alimentación (21), comprendiendo el procedimiento la etapa siguiente:

modular una señal de fuente de alimentación de la fuente de alimentación en función de una señal de entrada (23) suministrada a la disposición de amplificador de potencia, siendo suministrada la señal de fuente de alimentación al amplificador de potencia;

caracterizada porque comprende además la etapa siguiente:

modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada suministrada a la disposición de amplificador de potencia y una predicción de la distorsión de la señal de fuente de alimentación suministrada al amplificador de potencia.

19. Procedimiento según la reivindicación 18, en el que la etapa de modificación comprende además las etapas siguientes:

una predicción para predecir la distorsión de forma de onda de la señal de fuente de alimentación, en la que el predictor genera una salida que está en función de la señal de fuente de alimentación de destino, siendo modulada la señal de fuente de alimentación de destino en función de la señal de entrada suministrada a la disposición de amplificador de potencia y no estando afectada por la distorsión de forma de onda; y

una corrección de la trayectoria principal para modificar la señal de entrada suministrada a la disposición de amplificador de potencia en función de la señal de entrada de la disposición de amplificador de potencia y la salida del predictor.

20. Procedimiento según la reivindicación 18, en el que la etapa de modificación comprende además la conversión de señales representadas en el dominio de punto fijo en señales representadas en el dominio de punto flotante y viceversa.

21. Procedimiento según la reivindicación 19, que comprende además una etapa de entrenamiento para determinar los parámetros programables utilizados durante por lo menos durante la predicción o la corrección de

trayectoria principal.

5 22. Procedimiento según la reivindicación 21, en el que la etapa de entrenamiento implica la utilización de un procedimiento de optimización de mínimos cuadrados según la ecuación $\varphi = [U^H \cdot U]^{-1} Y$, en la que U es una matriz M x N de entradas del sistema, Y es un vector M x 1 de unas correspondientes salidas, φ es un vector N x 1 de los parámetros programables resultantes, M es el número de muestras captadas por iteración, N es el número de ponderaciones de las distintas muestras y el superíndice H correspondiente a U^H representa un operador de transposición conjugada.

10 23. Procedimiento según la reivindicación 21, en el que la etapa de entrenamiento comprende la segmentación de un espacio de soluciones en una pluralidad de intervalos para ayudar a reducir la complejidad de la determinación de los parámetros programables o para mejorar el rendimiento.

15 24. Procedimiento según la reivindicación 23, en el que se proporciona un solapamiento entre los segmentos adyacentes en la pluralidad de intervalos.

20 25. Procedimiento según la reivindicación 23, en el que la etapa de predicción comprende además la etapa de intercambio de parámetros programables en algún lugar del solapamiento.

25 26. Procedimiento según la reivindicación 23, en el que la etapa de corrección de trayectoria principal comprende además la etapa de intercambio de parámetros programables en algún lugar del solapamiento.

30 27. Módulo de corrección de la memoria (35) para una disposición de amplificador de potencia que comprende:

un predictor (165) adaptado para predecir la distorsión de forma de onda del voltaje de la fuente de alimentación, en el que el predictor genera una salida (170) que está en función del voltaje de fuente de alimentación de destino (160), y estando modulado el voltaje de fuente de alimentación de destino en función de una entrada suministrada a la disposición de amplificador de potencia y no estando afectado por la distorsión de la forma de onda; y

un corrector de trayectoria principal (175) adaptado para modificar la entrada suministrada a la disposición de amplificador de potencia (23) en función de la entrada a la disposición de amplificador de potencia y a la salida del predictor.

35 28. Transmisor de estación base de comunicaciones inalámbricas que comprende una disposición de amplificador de potencia según la reivindicación 1.

40 29. Red de comunicaciones que comprende una disposición de amplificador de potencia según la reivindicación 1.

30. Procedimiento de provisión de un servicio de transmisión de señales a través de una red de comunicaciones que comprende una disposición de amplificador de potencia según la reivindicación 1.

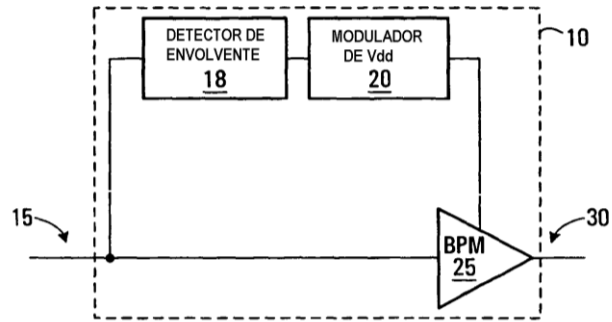


FIG. 1

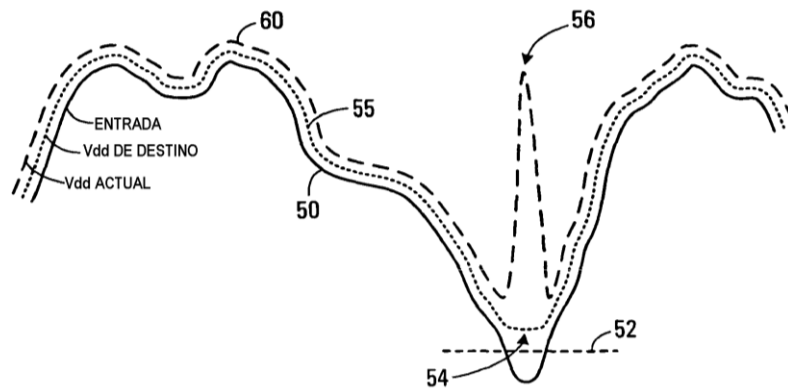


FIG. 2

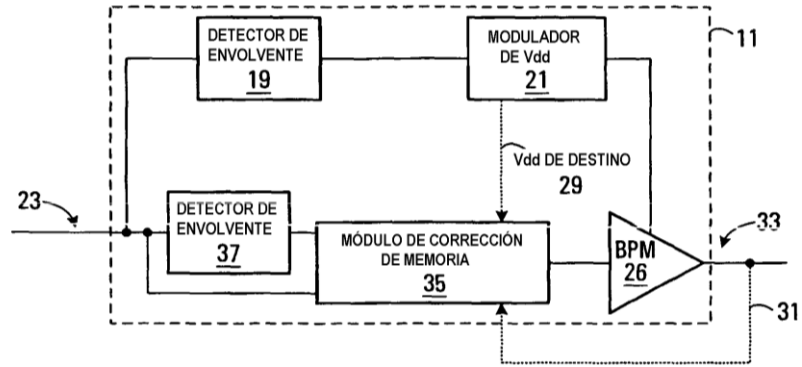


FIG. 3

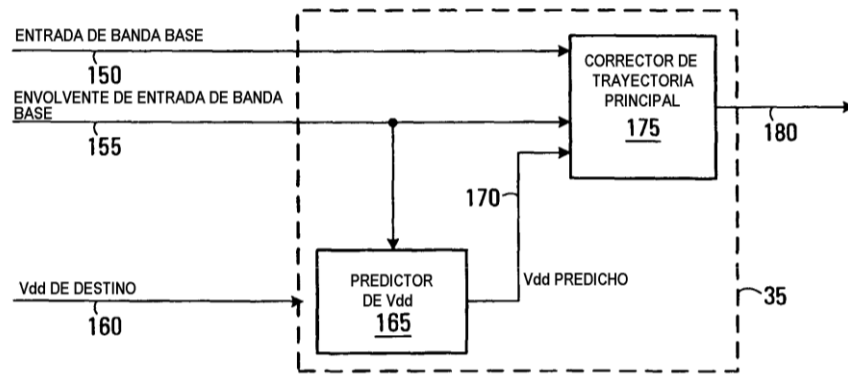


FIG. 4

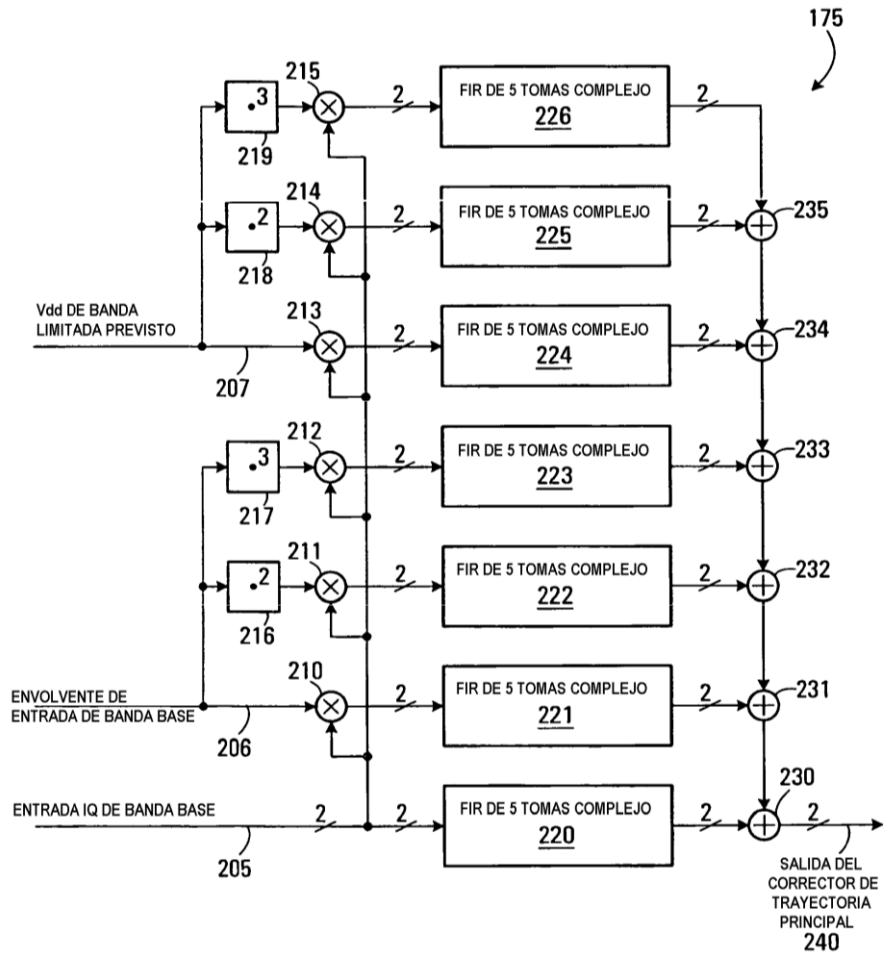


FIG. 5

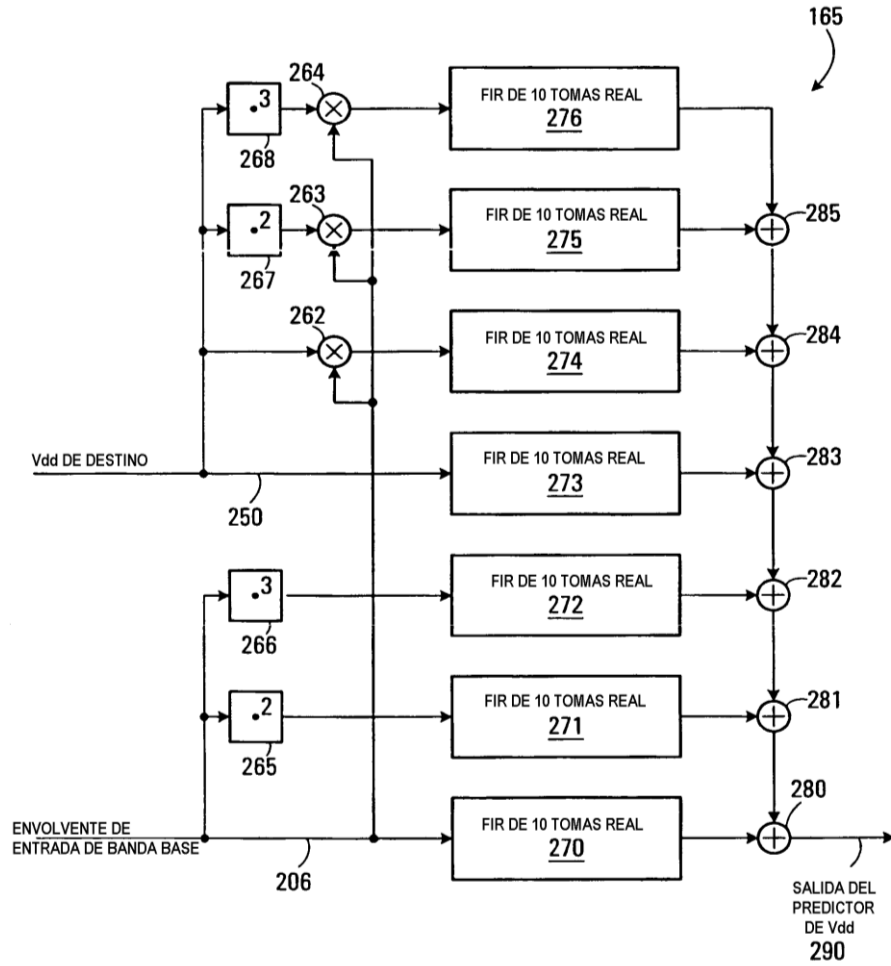


FIG. 6

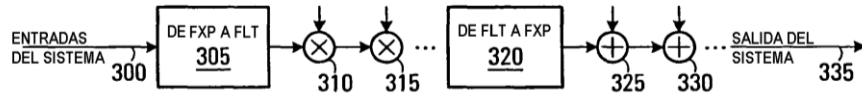


FIG. 7

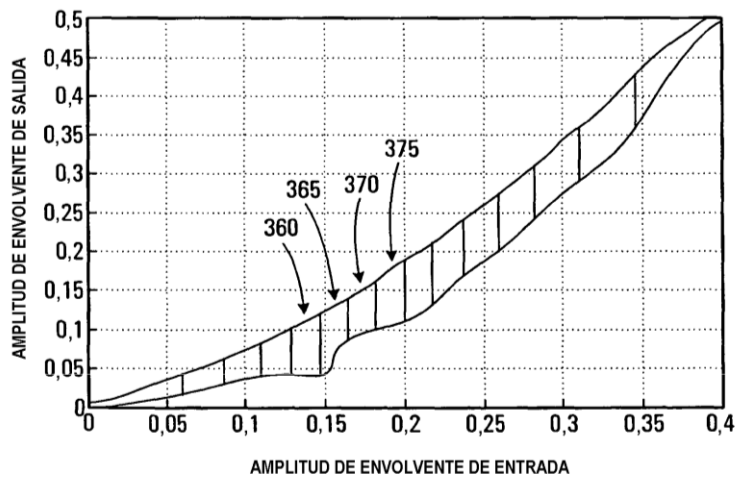


FIG. 8

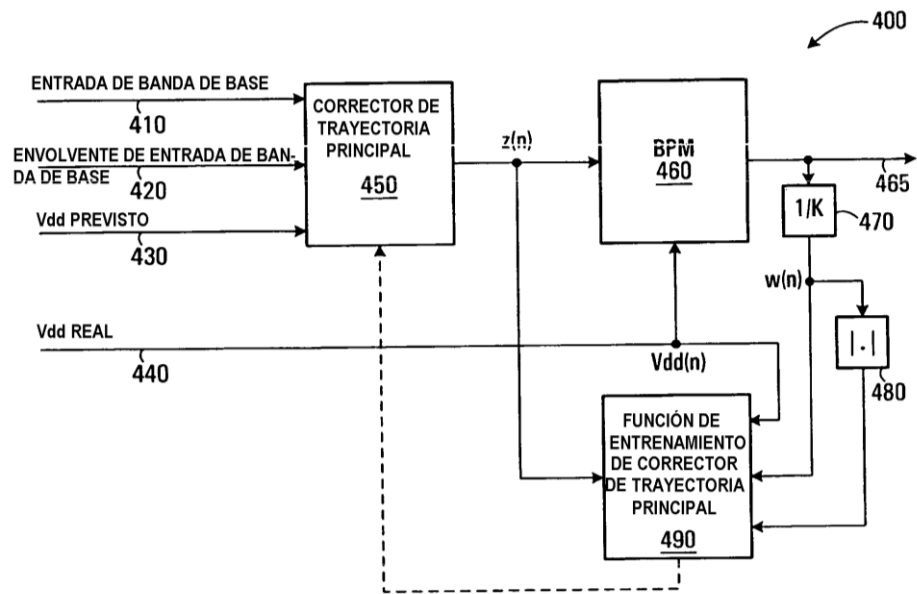


FIG. 9

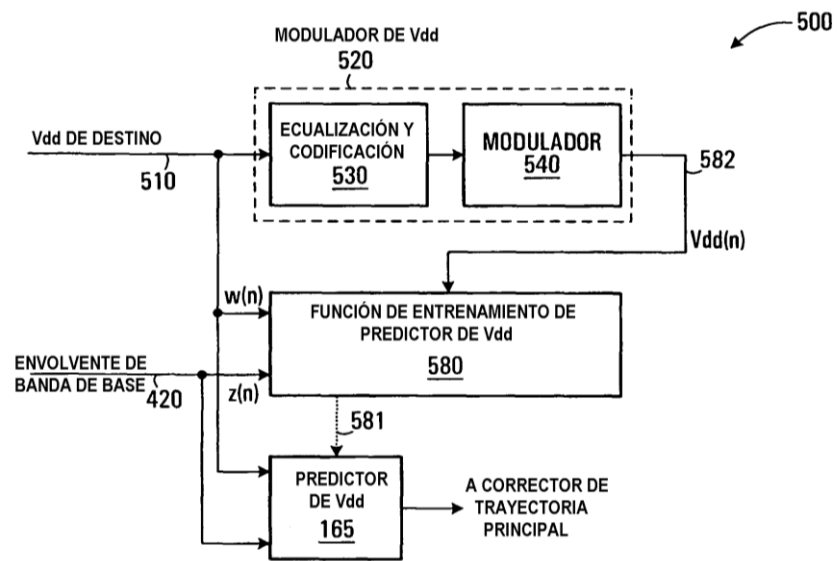


FIG. 10