

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97136170

※申請日期：97.09.19

※IPC 分類：H01L 21/8238(2006.01)

H01L 27/092 (2006.01)

一、發明名稱：(中文/英文)

改良之互補金氧半導體的製造方法

IMPROVED CMOS FABRICATION PROCESS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商德州儀器公司

TEXAS INSTRUMENTS INCORPORATED

代表人：(中文/英文)

華倫 L 法蘭茲

FRANZ, WARREN L.

住居所或營業所地址：(中文/英文)

美國德州達拉斯市梅爾史特遜邱吉爾路7839號

7839 CHURCHILL WAY, MAIL STATION 3999, DALLAS, TEXAS

75251, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 雅曼塔 簡

JAIN, AMITABH

2. 曼哈林嘉姆 納達庫瑪

NANDAKUMAR, MAHALINGAM

3. 趙蓀

ZHAO, SONG

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

3. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年09月21日；60/974,271

2. 美國；2008年09月12日；12/209,270

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於CMOS積體電路之領域。更具體言之，本發明係關於改良p通道MOS電晶體效能之方法。

【先前技術】

眾所周知，互補金氧半導體(CMOS)積體電路(IC)中的n通道金氧半導體(NMOS)及p通道金氧半導體(PMOS)電晶體之側向尺寸在時間上隨著每一新的製造技術節點縮小，如Moore(摩爾)定律清晰表達之。PMOS電晶體中的P型源極及汲極區域(PSD)典型地是藉由離子植入摻雜物及其他物種形成，產生佈植終點缺陷，其引起不期望的洩漏電流；佈植終點缺陷之相對有害影響隨著電晶體尺寸的縮小而增加。雷射退火、快速退火及其他超高溫(UHT)方法加熱IC之表面，溫度高於1200°C且持續時間週期未達100毫秒，當被執行在其他退火方法之前時，使佈植終點缺陷示範性的明顯減低。快速熱方法(RTP)方法，諸如尖峰退火，其加熱IC的時間週期比1秒長，由於需要使用較低的溫度因此不能有效地減低佈植終點缺陷。在一快速熱退火方法中，增加溫度高於1200°C以湮滅佈植終點缺陷將在PSD區域中硼摻雜物之空間分佈中產生不可接收的高擴張。硼的擴散係數比通常使用的n型摻雜物之擴散係數高，因此典型的CMOS製造方法序列在PSD區域之前形成NMOS電晶體中的n型源極及汲極(NSD)區域以最小化PSD區域中植入摻雜物的熱外形。

於先進的CMOS IC中，NMOS電晶體被稱為應力記憶技術(SMT)之方法序列頻繁地增強，其中在NSD離子植入方法被執行之後且在一後續退火方法之前，一層拉張材料被沈積在IC上。在退火期間，NMOS閘極中的多晶矽(polycrystalline/polysilicon)被NSD離子植入部分地非晶化，以一晶粒組態再結晶，當拉張材料層被移除時，該晶粒組態在下層NMOS通道上施加應力。NMOS通道中的最終應變增加電荷載體之移動性，此合期望地改良接通電流。UHT方法與SMT方法不相容的若干原因：在拉張層之沈積前之UHT退火引起NMOS閘極中的多晶矽之再結晶，極大地減低SMT效果，同時在SMT層之沈積後之UHT退火使SMT層硬化到進行移除有問題的程度。

【發明內容】

本發明提供一種形成一CMOS IC之方法，其中PMOS電晶體之p型源極及汲極(PSD)區域被形成在NMOS電晶體之n型源極及汲極(NSD)區域之前，其中PSD區域被植入以預非晶化植入(PAI)及一碳物種共植入且以一超高溫(UHT)方法退火，溫度高於1200°C且持續未達100毫秒，且其中拉張應力是藉由一應力記憶技術(SMT)層施加於NMOS閘極，其中該應力記憶技術(SMT)層在PSD UHT退火之後被沈積。視情況，可使用一UHT方法退火p型輕度摻雜汲極(PLDD)區域。

【實施方式】

對本揭示來說，術語"植入"將被理解成意旨"離子植入"。

本發明解決使用一應力記憶技術(SMT)方法序列將一具有減低之佈植終點缺陷之p通道金氧半導體(PMOS)電晶體積體成一具有n通道金氧半導體(NMOS)電晶體之互補金氧半導體(CMOS)積體電路(IC)之需要，本發明提供一PMOS電晶體，其中在n型源極及汲極(NSD)區域被形成在NMOS電晶體中之前形成p型源極及汲極(PSD)區域，一預非晶化植入(PAI)方法及一碳共植入方法用以形成PSD區域，及在PSD植入之後及一SMT層被沈積之前執行一超高溫(UHT)退火方法，其加熱PSD區域高於1200°C持續少於100毫秒。

圖1A-1H是根據本發明之實施例形成之一PMOS電晶體之製造之連續階段期間之一CMOS積體電路之橫截面視圖。參考圖1A，CMOS IC(100)被製造在一基板(102)上，典型地一具有一p型頂層之單一晶體矽晶圓，該p型頂層具有一電阻係數為1至100歐姆公分，但是可能為一絕緣體上覆矽(SOI)晶圓，一具有不同晶體定向區域之混合定向技術(HOT)晶圓，或適於製造一CMOS IC之任一其他基板。場氧化物(104)之元件是藉由一淺渠溝隔離(STI)方法序列形成，其中渠溝，通常為200至500奈米深，被蝕刻至CMOS IC(100)，電鈍化，通常藉由在渠溝之側壁生長一熱氧化物層，且用絕緣材料填充，典型為二氧化矽，通常藉由一高密度電漿(HDP)方法或一基於臭氧之熱化學氣相沈積(CVD)方法，亦稱為高縱橫比方法(HARP)。一p型井(106)，通常稱為一p井，被形成在基板(102)中，典型地藉

由離子植入一第一組p型摻雜物至藉由界定用於PMOS電晶體之區域，摻雜物包含硼，可能以二氟化硼(BF₂)之形式，及可能鎵及/或銦，劑量 $1 \cdot 10^{11}$ 至 $1 \cdot 10^{14}$ 個原子/平方公分。一p井光阻圖案，為清晰起見圖1A沒有繪示，通常用以阻擋來自界定用於PMOS電晶體之區域之第一組p型摻雜物。p井(106)從基板(102)之上表面延伸至場氧化物元件(104)之下表面以下，典型地深度為50至500奈米。為了改良NMOS電晶體效能起見，諸如臨限值調整、洩漏電流減低及抑制寄生雙極操作，形成p井(106)之離子植入方法可包含在較淺深度植入額外p型摻雜物之額外步驟。類似地，n型井(108)，通常稱為一n井，被形成在基板(102)中，典型地藉由離子植入一第一組n型摻雜物至界定用於本發明PMOS電晶體之區域，摻雜物包含磷及砷，及可能銻，劑量 $1 \cdot 10^{11}$ 至 $1 \cdot 10^{14}$ 個原子/平方公分。一n井光阻圖案，為清晰起見圖1A沒有繪示，通常用以阻擋來自界定用於NMOS電晶體之區域之第一組n型摻雜物。n井(108)從基板(102)之上表面延伸至場氧化物元件(104)之下表面以下，深度典型地為50至500奈米。為改良PMOS電晶體效能起見，諸如臨限值調整、洩漏電流減低及抑制寄生雙極操作，形成n井(108)之離子植入方法可包含在較淺深度中植入額外n型摻雜物之額外步驟。n井(108)之表面電阻率通常在100與1000 ohms(歐姆)/square(平方)之間。

仍參考圖1A，一閘極介電層(110)典型地是二氧化矽、氮摻雜二氧化矽、矽氮氧化物、鉛氧化物、二氧化矽及氮

化矽層、或其他絕緣材料，通常1至3奈米厚，被形成在基板(102)之上表面。通常在針對NMOS電晶體界定之區域及針對PMOS電晶體界定之區域中使用閘極介電層(110)。一NMOS閘極(112)及一PMOS閘極(114)(典型為多晶矽(polycrystalline silicon或polysilicon)，及典型地50至150奈米厚)被形成在閘極介電層(110)之上表面，藉由閘極介電層(110)上的一多晶矽層之沈積，藉由已知之光微影方法在多晶矽層之上表面上形成一閘極光阻圖案以界定NMOS及PMOS閘極區域，及藉由已知之蝕刻方法移除不想要的多晶矽。NMOS閘極及PMOS閘極之典型最小寬度，通常稱為最小閘極長度，在先進的CMOS IC中係少於40奈米。

繼續參考圖1A，典型地藉由氧化NMOS閘極(112)之曝露表面及/或在CMOS IC(100)上沈積一層二氧化矽或氮化矽，其後接著使用已知蝕刻方法各向異性蝕刻，在NMOS閘極(112)之側表面(lateral surface)上形成NMOS偏移間隔物(116)(通常係二氧化矽或氮化矽，或二者典型地1至10奈米厚)。藉由以劑量 $1 \cdot 10^{14}$ 至 $5 \cdot 10^{15}$ 個原子/平方公分，能量從2至20keV，離子植入一第二組n型摻雜物(典型為磷或砷，及可能為銻)至鄰近於NMOS偏移間隔物(116)的基板(102)，形成N型輕度摻雜汲極(NLDD)區域(118)。藉由以劑量 $1 \cdot 10^{12}$ 至 $1 \cdot 10^{14}$ 個原子/平方公分，能量10至40keV，離子植入一第二組p型摻雜物(典型為硼，可能以二氟化硼(BF₂)之形式，及可能鎳及/或銻)至介於NLDD區域(118)與直接在NMOS閘極(112)之下的閘極介電層(110)下之一通道

區域之間的基板(102)，形成P型NMOS袋狀或暈圈狀區域(120)，通常分成子劑量及角度與縱軸成約15至30度，以在一NMOS閘極之所有側提供均勻摻雜。典型地使用一NLDD光阻圖案(為清晰起見圖1A沒有繪示)以阻擋第二組n型摻雜物及來自針對PMOS電晶體界定之區域之第二組p型摻雜物。

仍參考圖1A，典型地藉由氧化NMOS閘極(114)之曝露表面及/或在CMOS IC(100)上沈積一層二氧化矽或氮化矽，其後接著使用已知之蝕刻方法各向異性蝕刻，在PMOS閘極(114)之側表面上形成PMOS偏移間隔物(122)(通常二氧化矽或氮化矽，或二者，典型地1至10奈米厚)。p型輕度摻雜汲極(PLDD)區域(124)及n型PMOS袋狀或暈圈狀區域(126)之形成藉由已知光微影方法形成一PLDD光阻圖案(128)以界定用於PLDD離子植入之區域(包含針對PMOS電晶體界定之區域)繼續進行。執行一系列PLDD離子植入，包含：一較佳為銦的PLDD PAI，藉由圖1A中參考數字(130)概略描述，劑量在 $1 \cdot 10^{13}$ 至 $5 \cdot 10^{14}$ 個原子/平方公分之間；一第一子劑量之典型為磷及砷的PLDD袋狀植入，藉由圖1A中參考數字(132)概略描述，劑量在 $3 \cdot 10^{12}$ 至 $1 \cdot 10^{14}$ 個原子/平方公分之間，且角度在10與30度之間；一第二子劑量之PLDD袋狀植入，藉由圖1A中參考數字(134)概略描述；一典型為硼(較佳地以二氟化硼(BF_2)之形式)之PLDD摻雜物植入，藉由圖1A中參考數字(136)概略描述，劑量在 $1 \cdot 10^{14}$ 至 $3 \cdot 10^{15}$ 個原子/平方公分之間；及一含碳物

種之 PLDD 碳共植入，藉由圖 1A 中參考數字(138)概略描述，劑量在 $1 \cdot 10^{14}$ 至 $1 \cdot 10^{15}$ 個原子/平方公分之間。在一較佳實施例中，PLDD 區域(124)中的非晶化是藉由 PLDD PAI 及 PLDD 袋狀植入之組合作用達成。在替代實施例中，在 PLDD PAI 中植入的物種可以是從一長列表中的材料選擇，包含：IV 族元素，諸如鍍或矽；重摻雜物原子，諸如銻或銻；或惰性氣體諸如氫。PLDD 佈植終點缺陷(140)藉由系列 PLDD 離子植入被形成在基板(102)中的 PLDD 區域(124)之空間電荷區域。

圖 1B 描述一 PLDD UHT 退火方法期間的 CMOS IC(100)，其中來自一雷射、一閃光源、一微波源、或其他輻射功率源的輻射能量(藉由圖 1B 中參考數字(142)概略描述)照射 CMOS IC(100)，升高 PLDD 區域(124)及 PMOS 袋狀區域(126)之溫度高於 1200°C 持續未達 100 毫秒。PLDD UHT 退火方法之持續時間的實際下限可被設定在 50 微秒。在 PLDD UHT 退火期間藉由一包含碳共植入之替代性碳的方法，PLDD 佈植終點缺陷被減低至低於 100 個位錯/cm²。PLDD 碳共植入及 PLDD UHT 退火之組合是有利的，因為使用碳共植入及 UHT 退火使 PLDD 佈植終點缺陷之湮滅比單獨使用或者碳共植入或者單獨使用 UHT 退火更完善。特別地，使用快速熱方法(RTP)退火(其產生一較低峰值溫度及較長加熱持續時間)取代 PLDD UHT 退火方法，導致 PLDD 佈植終點缺陷之不期望的較高密度。

在形成 NLDD 區域(118)及 NMOS 袋狀區域(120)之前形成

PLDD區域(124)及PMOS袋狀區域(126)係在本發明之範圍內。

圖1C描述PSD區域(144)形成期間的CMOS IC(100)。NMOS閘極側壁間隔物(146)被形成在NMOS偏移間隔物(116)之側表面，典型地藉由在NMOS閘極(112)上沈積一層或多層二氧化矽、氮化矽或二者，其後接著各向異性地蝕刻NMOS閘極(112)之上表面及基板(102)之上表面之沈積層。類似地，PMOS閘極側壁間隔物(148)被形成在PMOS偏移間隔物(122)之側表面，典型地藉由在NMOS閘極(112)上沈積一層或多層二氧化矽、氮化矽、或二者，其後接著各向異性地蝕刻來自PMOS閘極(114)之上表面及基板(102)之上表面之沈積層。藉由已知光微影方法形成PSD光阻圖案(150)以界定PSD離子植入區域，其包含針對PMOS電晶體界定之區域。一系列PSD離子植入被執行，包含PSD摻雜物植入，摻雜物典型為硼，較佳地以二氟化硼(BF₂)之形式，藉由圖1C中參考數字(154)概略描述，劑量在 $5 \cdot 10^{14}$ 至 $1 \cdot 10^{16}$ 個原子/平方公分之間，及一含碳物種之PSD碳共植入，藉由圖1C中參考數字(156)概略描述，劑量在 $1 \cdot 10^{14}$ 至 $1 \cdot 10^{15}$ 個原子/平方公分之間。PSD佈植終點缺陷(158)藉由一系列PSD離子植入被形成在基板(102)中的PSD區域(144)之空間電荷區域中。

圖1D描述一PSD UHT退火方法期間的CMOS IC(100)，其中輻射能量，藉由圖1D中參考數字(160)概略描述，來自一雷射、一閃光源、一微波源、或其他輻射功率源，照

射 CMOS IC(100)，升高 PSD 區域(144)之溫度高於 1200°C 且持續未達 100 毫秒。一 PSD UHT 退火方法之持續時間的實際下限可被設定在 50 微秒。在 PSD UHT 退火期間，藉由一包含 PSD 碳共植入之替代性碳的方法，PSD 佈植終點缺陷被減低而低於 100 個位錯/平方公分。PSD 碳共植入及 PSD UHT 退火之組合是有利的，因為使用碳共植入及 UHT 退火之 PSD 佈植終點缺陷之湮滅比單獨使用或者碳共植入或者單獨使用 UHT 退火更完善。特別地，使用 RTP 退火(其產生一較低峰值溫度及較長加熱持續時間)取代 PSD UHT 退火方法導致 PSD 佈植終點缺陷之不期望的較高密度。

仍參考圖 1D，在 PSD UHT 退火期間，PLDD 區域(124)及 PSD 區域(144)合併。

圖 1E 描述製造之另一階段中的 CMOS IC(100)。NSD 區域(162)藉由一系列 NSD 離子植入，包含一第三組 n 型摻雜物，形成在鄰近 NMOS 閘極側壁間隔物(146)的基板中。一 NSD 光阻圖案，為清晰起見圖 1E 沒有繪示，阻擋來自針對 PMOS 電晶體界定之區域之第三組摻雜物。NMOS 閘極(112)之一部分(164)藉由 NSD 系列離子植入非晶化。在退火 NSD 區域(162)之前，一應力記憶技術(SMT)層(166)被形成在 CMOS IC(100)之上表面上。SMT 層(166)典型地是氮化矽，10 至 20 奈米厚，拉張應力在 500 與 1500 MPa 之間。

圖 1F 描述 NSD 區域(162)之 NSD RTP 退火期間的 CMOS IC(100)，其中 CMOS IC(100)典型地藉由輻射能量加熱至 850°C 至 1100°C 持續 1 至 60 秒，藉由圖 1F 中參考數字(168)概

略描述。在NSD RTP退火期間，NSD區域(162)及NMOS閘極(112)之非晶部分以一方式被再結晶，此方式在SMT層(166)被移除之後，在NMOS閘極中產生拉張應力，典型地在50與1000 MPa之間。NMOS閘極(112)中的拉張應力如期望地增加NMOS電晶體接通電流。PMOS閘極(114)中的拉張應力不具有期望效果，因此在SMT層(166)之沈積之前，離子植入PSD區域(144)及將其等退火之方法序列是有利的，因為SMT層(166)之拉張應力不能有效的轉移至已退火的PMOS閘極(114)。在後續退火方法步驟之前使用已知之蝕刻方法移除SMT層(166)。

圖1G描述SMT層被移除之後在一選擇性後續後NSD UHT退火方法步驟期間的CMOS IC(100)。類似於先前UHT退火方法，後NSD UHT退火方法使用來自一雷射、一閃光源、一微波源、或其他輻射功率源的輻射能量(藉由圖1G中參考數字(170)概略描述)照射CMOS IC(100)，升高NSD及PSD區域(144, 162)之溫度高於1200°C且未達100毫秒。NSD區域(162)中更多摻雜物原子被活化且來自NSD系列離子植入之較多損害係藉由後NSD UHT退火方法修復。

圖1H描述製造之另一階段中的CMOS IC(100)。在PSD區域(144)及NSD區域(162)之上表面上形成金屬矽化物層(172)(典型為鎳矽化物，但是可能為鈷矽化物、鈦矽化物、或另一金屬矽化物)，以分別地減低PSD區域(144)及NSD區域(162)之電阻。在CMOS IC(100)之上表面上形成：藉由電漿增強型化學氣相沈積(PECVD)沈積的一預金

屬介電層(PMD)，典型為一包含氮化矽或二氧化矽PMD襯墊(174)之介電層堆疊，10至100奈米厚，；藉由PECVD沈積的一層二氧化矽、磷矽酸鹽玻璃(PSG)或硼-磷-矽酸鹽玻璃(BPSG)(176)，通常100至1000奈米厚，通常藉由一化學機械拋光(CMP)方法予以弄平；及一可選PMD覆蓋層，通常為10至100奈米之硬材料，諸如氮化矽、矽碳氮或碳化矽。在PMD及PMD襯墊(174，176)中形成接點(178)，形成接點(178)係藉由在PMD及PMD襯墊(174，176)中蝕刻接點孔以曝露金屬矽化物層(172)，及用接點金屬(典型為鎢)填充接點孔，使得形成介於接點(178)與金屬矽化物層(172)之間的電連接。在PMD(176)之上表面上形成一金屬內介電(IMD)層(180)，典型地100至200奈米厚，及典型地屬於通常稱為低k介電質的材料，其介電常數小於二氧化矽之介電常數，諸如有機金屬矽酸鹽玻璃(OSG)，碳摻雜矽氧化物(SiCO或CDO)或甲基矽倍半氧烷(MSQ)。在接觸接點(178)之上表面之IMD層(180)中形成金屬互連(182)(典型為銅，但是可能為鋁)。一PSD區域(144)可透過金屬矽化物層(172)、接點(178)及一金屬互連(182)被電連接至一NSD區域(162)以形成CMOS IC(100)中的電路之一部分。

預計涵蓋具有上文描述之所有或僅一些此等特徵或步驟之示例實施例中一或多個特徵或步驟之不同組合之實施例。亦預計涵蓋的是其中步驟被改變以產生同一或均等物最終結果的實施例。熟悉此項技術者應瞭解若干其他實施例及變體亦是可能的且預計涵蓋於本發明之範圍內。

【圖式簡單說明】

圖 1A-圖 1H 是根據本發明之實施例形成之一 PMOS 電晶體之製造之連續階段中的一 CMOS 積體電路之橫截面視圖。

【主要元件符號說明】

100	互補金氧半導體積體電路(CMOS IC)
102	基板
104	場氧化物
106	p型井
108	N井
110	閘極介電層
112	NMOS閘極(112)
114	PMOS閘極
116	NMOS偏移間隔物
118	N型輕度摻雜汲極(NLDD)區域
122	PMOS偏移間隔物
124	P型輕度摻雜汲極(PLDD)區域
126	n型PMOS袋狀或暈圈狀區域
128	PLDD光微影圖案
130	參考數字
132	參考數字
134	參考數字
136	參考數字
138	參考數字

140	佈植終點缺陷
142	參考數字
144	PSD空間電荷區域
146	NMOS閘極側壁間隔物
148	PMOS閘極側壁間隔物
150	PSD光阻圖案
160	參考數字
162	NSD區域
164	NMOS閘極之部分
166	應力記憶技術(SMT)層
168	參考數字
170	參考數字
172	金屬矽化物層
174	PMD
176	PMD襯墊
178	接點
180	金屬內介電(IMD)層
182	金屬互連

五、中文發明摘要：

本發明提供一種用於PMOS電晶體之超高溫(UHT)退火減低佈植終點(end of range)位錯，溫度高於1200°C且持續未達100毫秒，但是其等與用以增強NMOS接通電流之應力記憶技術(SMT)層不相容。本發明顛倒形成NMOS之常規順序，首先藉由使用碳共植入形成P型源極及汲極區域(PSD)，並且在植入NSD(162)及沈積SMT層(166)之前以UHT使其等PSD退火。PSD空間電荷區域(144)中達成佈植終點位錯密度低於 100 cm^{-2} 。來自SMT層之PMOS中的拉張應力被明顯減低。P型輕度摻雜汲極(PLDD)(124)亦可被UHT退火以減低接近PMOS通道的佈植終點位錯。

六、英文發明摘要：

Ultra high temperature (UHT) anneals above 1200 C for less than 100 milliseconds for PMOS transistors reduce end of range dislocations, but are incompatible with stress memorization technique (SMT) layers used to enhance NMOS on-state current. This invention reverses the conventional order of forming the NMOS first by forming PSD using carbon co-implants and UHT annealing them before implanting the NSD (162) and depositing the SMT layer (166). End of range dislocation densities in the PSD space charge region (144) below 100 cm^{-2} are achieved. Tensile stress in the PMOS from the SMT layer is significantly reduced. The PLDD (124) may also be UHT annealed to reduce end of range dislocations close to the PMOS channel.

十、申請專利範圍：

1. 一種形成一互補金氧半導體(CMOS)積體電路(IC)之方法，該方法包含以所列順序執行下述步驟：

提供一基板；

在該基板上形成一n通道金氧半導體(NMOS)閘極及一p通道金氧半導體(PMOS)閘極；

在該基板鄰近該PMOS閘極中形成p型輕度摻雜汲極(PLDD)區域；

在該NMOS閘極之側表面上形成NMOS閘極側壁間隔物及在該PMOS閘極之側表面上形成PMOS閘極側壁間隔物；

使用一第一組p型摻雜物及一第一碳物種在該基板鄰近該等PMOS閘極側壁間隔物中離子植入p型源極及汲極(PSD)區域；

使用一高於1200°C之溫度，持續時間在50微秒與100微秒之間，對該等PSD區域執行一PSD超高溫(UHT)退火；

使用一第一組n型摻雜物在該基板鄰近該等NMOS閘極側壁間隔物中離子植入n型源極及汲極(NSD)區域；

在該NMOS閘極及該PMOS閘極中使用500至1500 MPa拉張應力形成一應力記憶技術(SMT)層，其中該步驟係在執行一PSD UHT退火之該步驟之後予以執行；

使用一高於850°C之溫度，對該CMOS IC執行一快速熱方法(RTP)退火；及

移除該SMT層。

2. 如請求項1之方法，其中用於該PSD UHT退火之一輻射功率源是一雷射或一閃光照明器。
3. 如請求項1之方法，其中執行一PSD UHT退火之該步驟減低該等PSD區域之空間電荷區域中的位錯密度，低於100個位錯/平方公分。

4. 如請求項3之方法，其中形成PLDD區域之該步驟進一步包含下述步驟，以所列順序執行：

使用一預非晶化植入(PAI)及一第二碳物種，離子植入該等PLDD區域；及

使用溫度高於1200°C，持續時間在50微秒與100微秒之間，對該等PLDD區域上執行一PLDD超高溫(UHT)退火。

5. 如請求項4之方法，其中該PAI進一步包含植入鈦，劑量在 $1 \cdot 10^{13}$ 與 $5 \cdot 10^{14}$ 個原子/平方公分之間。
6. 如請求項5之方法，其中執行一PLDD UHT退火之該步驟減低該等PLDD區域之空間電荷區域中的位錯密度，低於100個位錯/平方公分。

7. 如請求項6之方法，其進一步包含以下步驟：

在該等NSD區域及該等PSD區域之上表面上形成金屬矽化物層；

在該等金屬矽化物層之上表面上形成一預金屬介電(PMD)襯墊；

在該PMD襯墊之一上表面上形成一PMD層；

在該PMD及該PMD襯墊中形成接點，該等接點電連接

該等金屬矽化物層；

在該PMD之一上表面上形成一金屬內介電(IMD)層；及

在該IMD層中形成一組金屬互連，該組金屬互連電連接至該等接點。

8. 一種形成一PMOS電晶體之方法，該方法包含以所列順序執行下述步驟：

提供一基板；

在該基板上形成一PMOS閘極；

在該基板鄰近該PMOS閘極中形成PLDD區域；

在該PMOS閘極之側表面上形成PMOS閘極側壁間隔物；

使用一第一組p型摻雜物及一第一碳物種，離子植入該基板鄰近該等PMOS閘極側壁間隔物中之PSD區域；及

使用一高於1200°C之溫度且持續時間在50微秒與100微秒之間，對該等PSD區域執行一PSD UHT退火。

9. 如請求項8之方法，其中執行一PSD UHT退火之該步驟減低該等PSD區域之空間電荷區域中位錯密度，低於100個位錯/平方公分。

10. 如請求項9之方法，其中形成PLDD區域之該步驟進一步包含以所列順序執行下述步驟：

使用以預非晶化植入(PAI)及一第二碳物種離子植入該等PLDD區域；及

使用一高於1200°C之溫度，持續時間在50微秒與100微秒之間，對該等PLDD區域執行一PLDD超高溫(UHT)退

火。

11. 如請求項10之方法，其中該PAI進一步包含植入銦，劑量在 $1 \cdot 10^{13}$ 與 $5 \cdot 10^{14}$ 個原子/平方公分之間。

12. 如請求項11之方法，其中執行一PLDD UHT退火之該步驟減低該等PLDD區域之空間電荷區域中之位錯之密度，低於100個位錯/平方公分。

13. 如請求項12之方法，其進一步包含以下步驟：

在該等PSD區域之上表面上形成金屬矽化物層；

在該等金屬矽化物層之上表面上形成一預金屬介電(PMD)襯墊；

在該PMD襯墊之一上表面上形成一PMD層；

在該PMD及該PMD襯墊中形成接點，該等接點電連接該等金屬矽化物層；

在該PMD之上表面上形成一IMD層；及

在該IMD層中形成一組金屬互連，該等組金屬互連電連接至該等接點。

14. 一種CMOS積體電路，其包含：

一基板；

一NMOS電晶體，其進一步包含一NMOS閘極，具有50至500 MPa拉張應力；及

一PMOS電晶體，其進一步包含PSD區域，在該等PSD區域之空間電荷區域中少於100個位錯/平方公分。

15. 如請求項14之CMOS IC，其中該PMOS電晶體進一步包含PLDD區域，該等PLDD區域之空間電荷區域中少於

100個位錯/平方公分。

16. 如請求項15之CMOS IC，其進一步包含：

形成在該等PSD區域之上表面上之金屬矽化物層；

形成在該等金屬矽化物層之上表面上之一PMD襯墊；

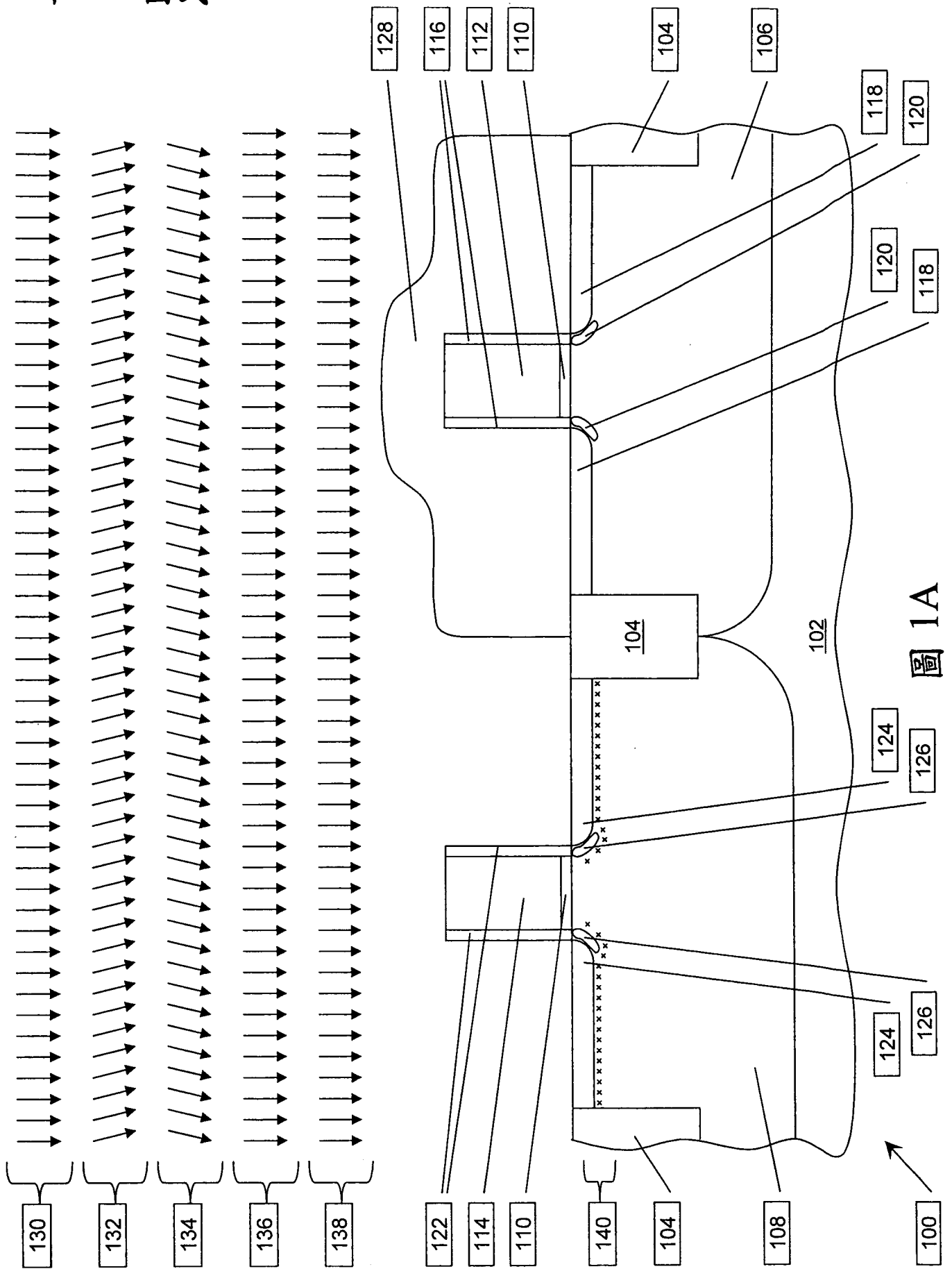
形成在該PMD襯墊之一上表面上之一PMD層；

形成在該PMD及該PMD襯墊中之接點，該等接點電連接該等金屬矽化物層；

形成在該PMD之一上表面上之一IMD層；及

形成在該IMD層之一組金屬互連，該組金屬互連電連接至該等接點。

十一、圖式：



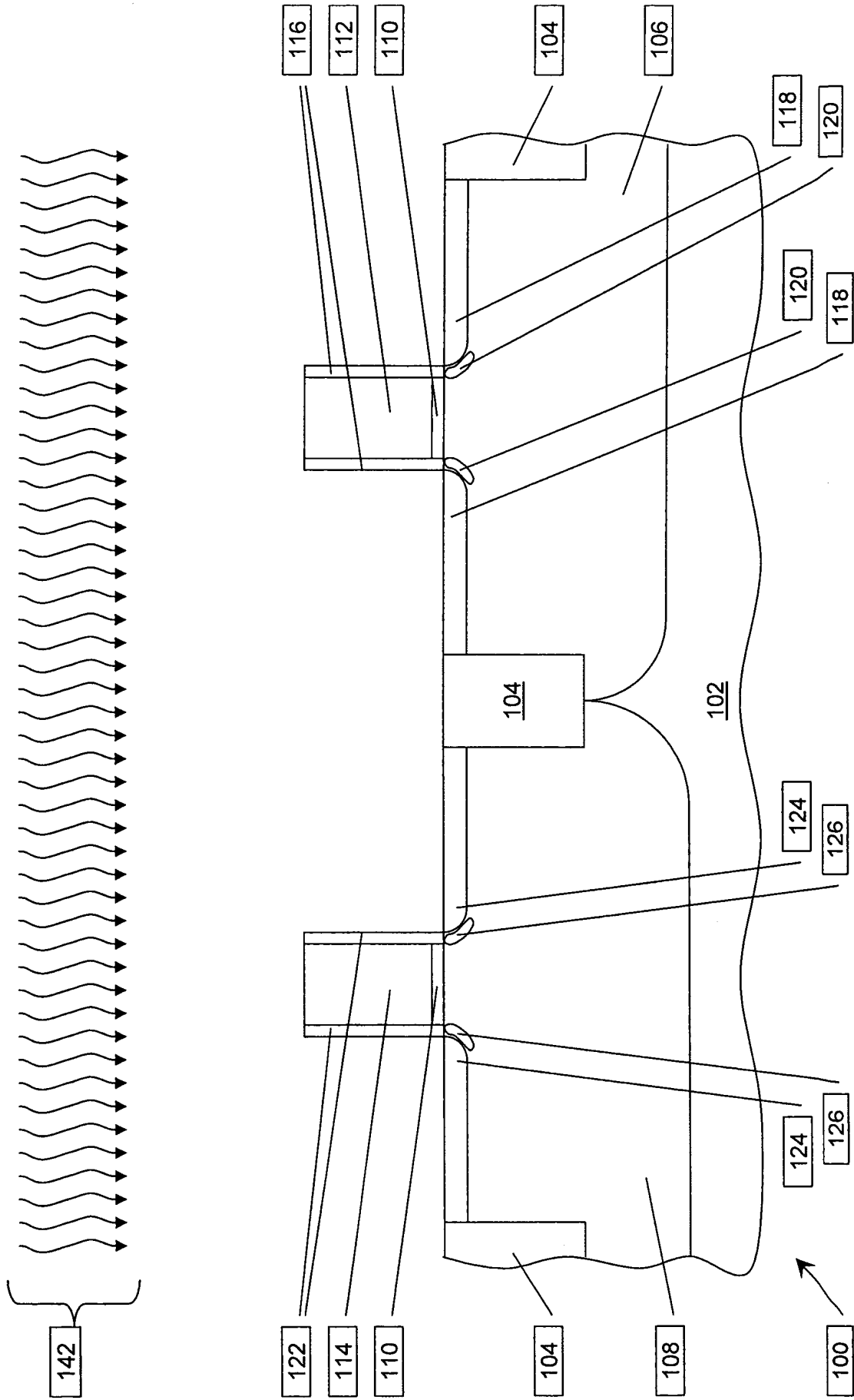


圖 1B

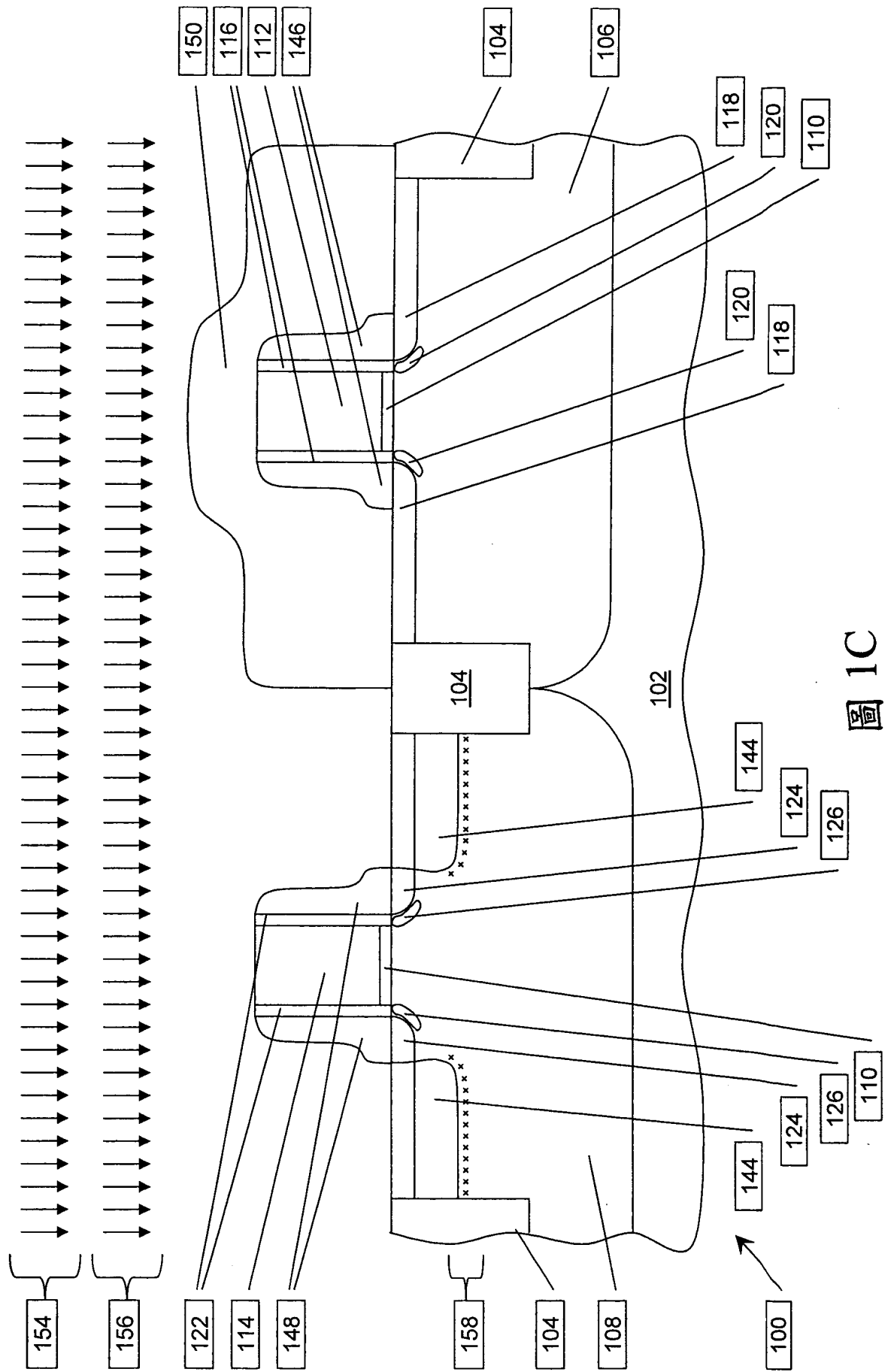


圖 1C

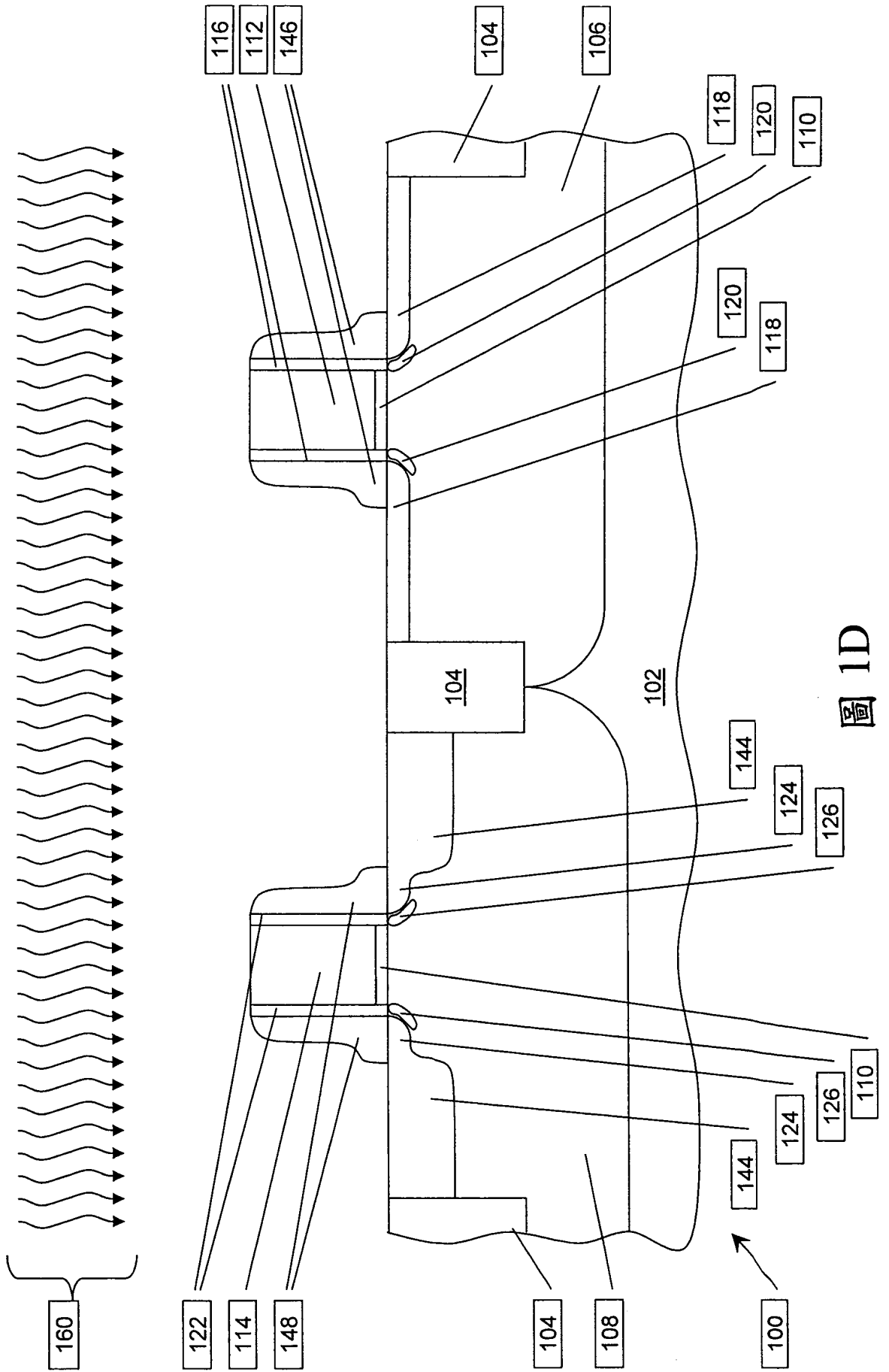


圖 1D

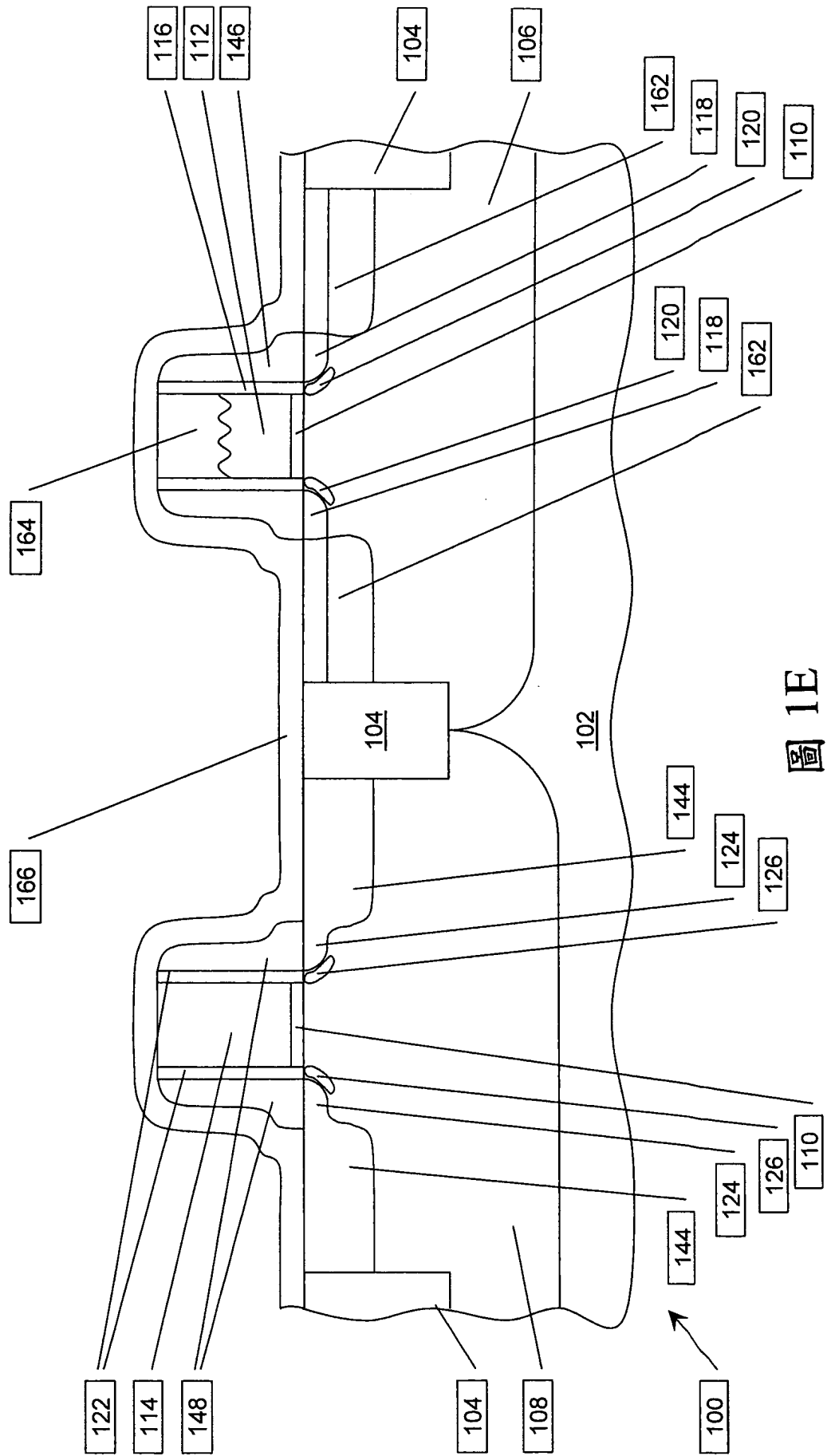


圖 1E

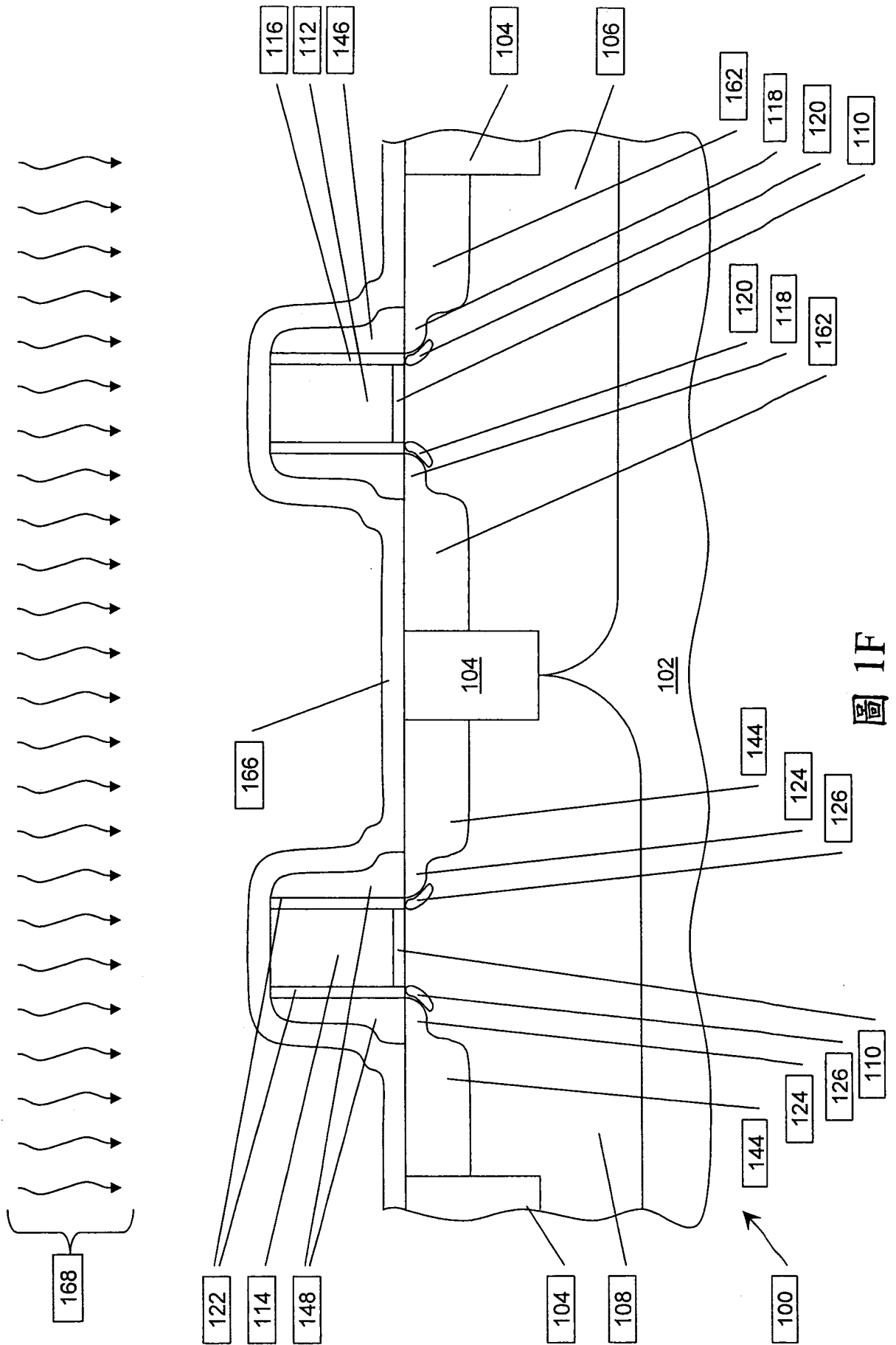


圖 1F

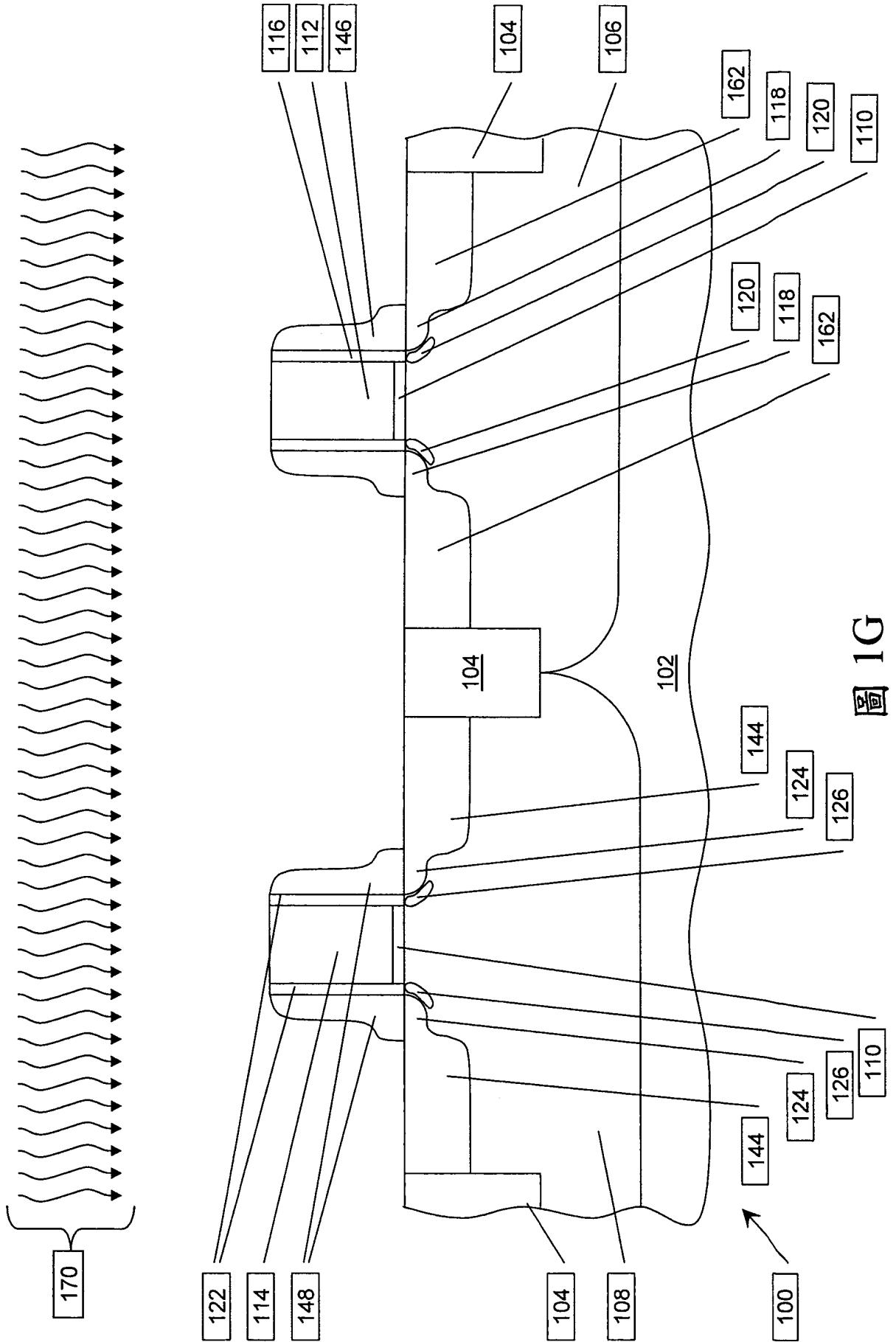


圖 1G

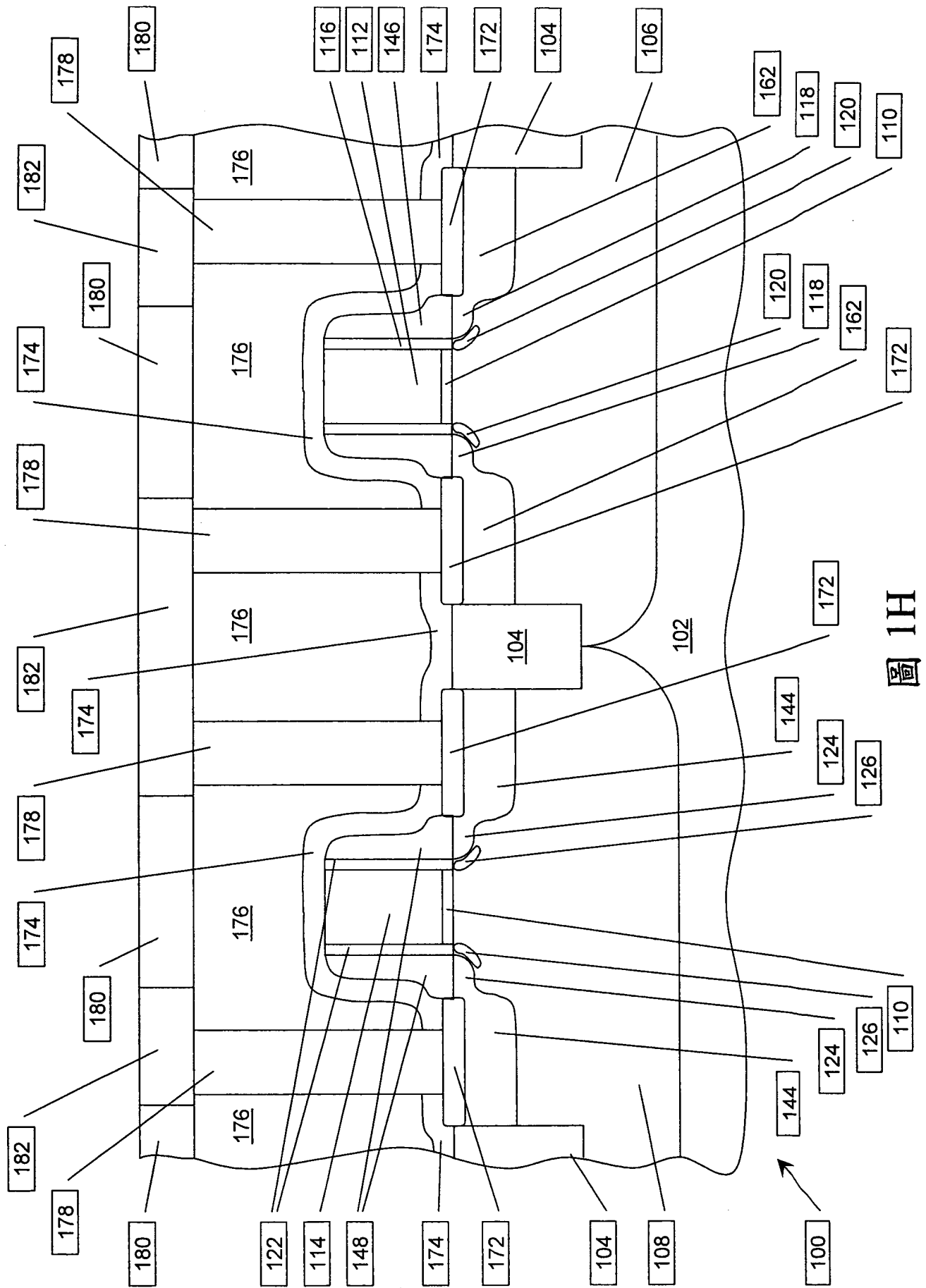


圖 1H

七、指定代表圖：

(一)本案指定代表圖為：第 (1E) 圖。

(二)本代表圖之元件符號簡單說明：

100	互補金氧半導體積體電路(CMOS IC)
102	基板
104	場氧化物
106	p型井
108	N井
110	閘極介電層
112	NMOS閘極(112)
114	PMOS閘極
116	NMOS偏移間隔物
118	N型輕度摻雜汲極(NLDD)區域
122	PMOS偏移間隔物
124	P型輕度摻雜汲極(PLDD)區域
126	n型PMOS袋狀或暈圈狀區域
144	PSD空間電荷區域
146	NMOS閘極側壁間隔物
148	PMOS閘極側壁間隔物
162	NSD區域
164	NMOS閘極之部分
166	應力記憶技術(SMT)層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)