

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> H01L 29/78	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월18일 10-0517126 2005년09월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0025110 2003년04월21일	(65) 공개번호 (43) 공개일자	10-2004-0091309 2004년10월28일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자                   재단법인서울대학교산학협력재단  
  서울특별시 관악구 봉천동 산 4-2

(72) 발명자                   박병국  
  서울특별시 서초구 방배동 1015 임광아파트 7-1004

  이중덕  
  서울특별시 서초구 서초동 1682 서초래미안아파트 111-1002

  우동수  
  서울 관악구 봉천동 1706 봉천우성아파트 103-402

(74) 대리인                   조담  
  정태련

심사관 : 임동우

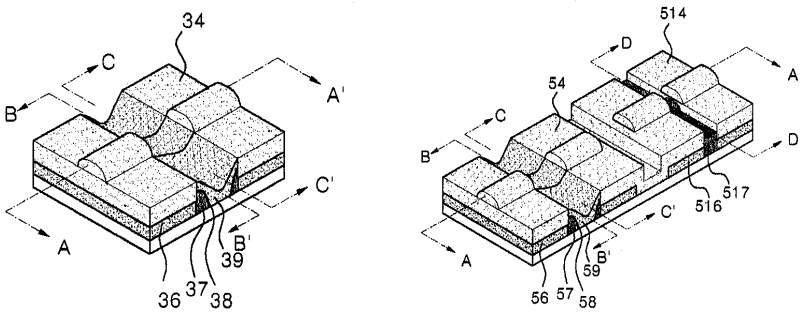
(54) 양자점 크기를 조절할 수 있는 단전자 트랜지스터와동일한 S O I 기판에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET과 그 각각의 제조방법

요약

본 발명은 반도체 공정상 양자점 크기를 조절할 수 있는 단전자 트랜지스터와 단전자 트랜지스터의 기능을 보완하기 위한 이중게이트 MOSFET을 동일한 공정을 통하여 같은 SOI 기판에 동시에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET과 그 각각의 제조방법에 관한 것이다.

발명에 의한, 단전자 트랜지스터는 기판 지지대의 상부에 적층된 절연체와; 상기 절연체의 상부에 단결정 실리콘으로 서로 이격되어 형성된 소스와 드레인 영역과; 상기 소스와 드레인을 서로 연결하며 단결정 실리콘으로 형성된 얇은 채널과; 상기 채널을 형성하기 위한 제 1 절연막과; 상기 채널의 양 측벽 중 대부분을 투과장벽으로 만들면서 소스와 드레인 영역을 전기적으로 분리하는 제 1 게이트 절연막과; 상기 제 1 게이트 절연막 상부에 적층되어 형성된 제 1 게이트와; 상기 채널의 양 측벽 중 제 1 게이트가 형성되지 않은 나머지 부분으로 양자점을 만드는 제 2 게이트 절연막과; 상기 제 2 게이트 절연막과 제 1 절연막 상부로 소스와 드레인 영역 사이에 적층된 제 2 게이트로 구성된 단전자 트랜지스터로서, 종래 기술에 비해, 실리콘 채널 아래 부분에서의 제 1 게이트에 의한 터널링 장벽의 약화를 막으면서 제 1 게이트 물질의 두께와 과도 식각 정도에 따라 양자점 크기를 조절할 수 있다. 이와 함께 단전자 트랜지스터의 신호 증폭을 키우기 위한 FinFET 형태의 이중게이트 MOSFET을 동일한 공정을 통하여 같은 SOI 기판에 동시에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET의 구조와 그 각각의 제조방법이 제공된다.

대표도



색인어

양자점, 단전자 트랜지스터, SOI 기판, FinFET

명세서

도면의 간단한 설명

도 1은 종래 단전자 트랜지스터 구조의 사시도이다.

도 2a는 종래 이중게이트 MOSFET의 레이아웃이다.

도 2b는 도 2a의 A-A'선 단면도이다.

도 2c는 도 2a의 B-B'선 단면도이다.

도 3a 내지 도 3i는 본 발명의 제 1 실시 예에 의한 단전자 트랜지스터의 제조공정을 도시한 사시도이다.

도 4a는 본 발명의 제 1 실시 예에 의한 단전자 트랜지스터가 최종 완성된 상태를 나타낸 도 3i의 A-A'선 단면도이다.

도 4b는 본 발명의 제 1 실시 예에 의한 단전자 트랜지스터가 최종 완성된 상태를 나타낸 도 3i의 B-B'선 단면도이다.

도 4c는 본 발명의 제 1 실시 예에 의한 단전자 트랜지스터가 최종 완성된 상태를 나타낸 도 3i의 C-C'선 단면도이다.

도 5a 내지 도 5i는 본 발명의 제 2 실시 예에 의한 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하기 위한 공정을 도시한 사시도이다.

도 6a는 본 발명의 제 2 실시 예에 의한 단전자 트랜지스터와 이중게이트 MOSFET이 최종 완성된 상태를 나타낸 도 5i의 A-A'선 단면도이다.

도 6b는 본 발명의 제 2 실시 예에 의한 단전자 트랜지스터와 이중게이트 MOSFET이 최종 완성된 상태를 나타낸 도 5i의 B-B'선 단면도이다.

도 6c는 본 발명의 제 2 실시 예에 의한 단전자 트랜지스터와 이중게이트 MOSFET이 최종 완성된 상태를 나타낸 도 5i의 C-C'선 단면도이다.

도 6d는 본 발명의 제 2 실시 예에 의한 단전자 트랜지스터와 이중게이트 MOSFET이 최종 완성된 상태를 나타낸 도 5i의 D-D'선 단면도이다.

도 7은 본 발명의 제 3 실시 예에 의한 제 1 절연막 미세 패턴을 적층된 물질로 하였을 경우의 사시도이다.

도 8은 본 발명의 제 5 실시 예에 의한 제 3 절연막에 형성된 굴곡(54', 514')을 CMP(Chemical Mechanical Polishing) 공정을 이용해 평탄화시킨 후의 사시도이다.

<도면의 주요부분에 대한 부호의 설명>

30, 50 : 매몰 산화막

31, 51, 511 : 단결정 실리콘

32, 52, 512 : 제 1 절연막의 미세 패턴

33, 53, 513 : 제 2 절연막

34, 54, 514 : 제 3 절연막

34', 54', 514' : 제 3 절연막의 굴곡 부분

35, 55, 515 : 게이트가 형성될 부분

35', 55', 515' : 게이트가 형성될 함몰 부분

36, 56, 516 : 제 1 게이트 절연막

57, 517 : 제 1 게이트

38, 58 : 제 2 게이트 절연막

59 : 제 2 게이트

32', 52' : 채널 중 제 1 게이트에 덮여 있지 않은 부분

37', 57' : 채널 중 제 1 게이트에 덮여진 부분

52", 512" : 적층 구조로 된 제 1 절연막의 상층으로 제 3 절연막에 대해 식각 선택비가 좋은 물질

524 : CMP공정에 의하여 평탄화된 제 3 절연막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 공정상 양자점 크기를 조절할 수 있는 단전자 트랜지스터와 단전자 트랜지스터의 기능을 보완하기 위한 이중게이트 MOSFET을 동일한 공정을 통하여 같은 SOI 기판에 동시에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET과 그 각각의 제조방법에 관한 것이다.

단전자 트랜지스터는 나노 미터 크기의 극미세 양자점을 이용한 새로운 개념의 트랜지스터로서, MOSFET 이후의 차세대 소자로 저전력 소비와 고집적에 유리하기 때문에 많은 연구가 이루어지고 있다. 단전자 트랜지스터는 양자점의 크기가 동작 온도를 결정하는 데 가장 큰 영향을 미치므로 동작온도를 높이기 위해 양자점의 크기를 줄이는 것이 필요한데, 그 양자점의 크기를 줄이는 것은 현재 리소그래피 기술의 한계를 넘어서기 때문에, 우연적인 효과에 의한 극미세 양자점을 이용한 소자들이 제조되어 실리콘 기반의 단전자 트랜지스터를 재현성 있게 제조하는 것이 어렵다는 문제점이 있었고, 이러한 문제점을 극복하기 위해 전기적으로 양자점을 형성하기 위하여 두개의 게이트를 이용하는 단전자 트랜지스터 구조(도 1)

가 보고 되었다. 그러나, 종래 발표된 단전자 트랜지스터는 기판 지지대(11) 위에 매몰 산화막(12)이 있고 소스(13)와 드레인(14) 사이에 얇은 실리콘 채널(15)이 길게 존재하며 그 위에 실리콘 산화막(17)과 실리콘 질화막(16)을 적층하고 실리콘 질화막을 패터닝한 후 식각하여 제 1 게이트(18)를 형성하는데, 실리콘 질화막(16)이 채널의 윗면에만 존재하여 채널의 상부에 전기적인 장벽을 형성해 주고, 그 위에 실리콘 산화막의 제 2 게이트 절연막(17) 및 제 2 게이트(19)가 형성되어 전기적인 양자점을 유도하는 역할을 하여, 제 1 게이트에 의한 터널링 장벽이 채널의 상부에만 형성되기 때문에 채널 아래 부분에선 터널링 장벽이 약해질 수 있는 문제가 있었다.

또한, 기존 두개의 게이트를 이용한 단전자 트랜지스터의 경우에도 그 이득이 매우 작고, 드레인 전압에 민감하게 반응하기 때문에 시스템으로의 응용이 어려운 문제점이 있었다. 이 문제를 극복하기 위한 방안으로 기존의 MOSFET을 버퍼로 이용하여 단전자 트랜지스터의 신호를 증폭시키기 위해 단전자 트랜지스터와 MOSFET의 집적 기술에 대한 필요성이 제기되어 왔다. 그러나, 기존의 Si 기판 혹은 SOI 기판 상에 제작되는 MOSFET의 경우 20-30nm 크기에서 단채널 효과를 적절히 억제하기 힘들었고, 안정적인 MOSFET 동작을 얻기 위해 긴 채널 길이의 MOSFET을 이용할 경우엔 단전자 트랜지스터의 장점인 고집적도에 부정적인 영향을 줄 수 있는 문제점이 있었다. 그래서, 수십 nm 크기의 채널에서도 단채널 효과에 강한 이중게이트 MOSFET 구조가 제안되어 왔다. 그 중에 리소그래피와 식각이라는 기존의 반도체 공정 기술을 이용하여 두 개의 게이트를 자기 정렬형태로 기판에 수직인 얇은 채널 양단에 형성할 수 있는 FinFET 구조의 이중게이트 MOSFET이 보고 되었다(도 2a 내지 도 2c 여기서 21은 소스, 22는 드레인, 23은 채널형성을 위한 절연막, 24는 게이트, 25는 채널, 26은 매몰 산화막, 그리고 27은 게이트 절연막 이다). 그러나, 이들은 단전자 트랜지스터와는 별개의 공정을 통하여 제조된 후에 하나의 칩 내에 집적되는 것으로 제조상 어려움이 많았다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 종래 단전자 트랜지스터(도 1)의 제 1 게이트에 의한 터널링 장벽이 약해지는 문제를 해소하고 반도체 공정상 양자점 크기를 줄일 수 있는 단전자 트랜지스터와, 단전자 트랜지스터의 기능을 보완하기 위한 FinFET 형태의 이중게이트 MOSFET을 동일한 공정을 통하여 같은 SOI 기판에 동시에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET, 그리고 각각의 제조방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위한 단전자 트랜지스터는 기판 지지대의 상부에 적층된 절연체와; 상기 절연체의 상부에 단결정 실리콘으로 서로 이격되어 형성된 소스와 드레인 영역과; 상기 소스와 드레인을 서로 연결하며 단결정 실리콘으로 형성된 얇은 채널과; 상기 채널을 형성하기 위한 제 1 절연막과; 상기 채널의 양 측벽 중 대부분을 투과장벽으로 만들면서 소스와 드레인 영역을 전기적으로 분리하는 제 1 게이트 절연막과; 상기 제 1 게이트 절연막 상부에 적층되어 형성된 제 1 게이트와; 상기 채널의 양 측벽 중 제 1 게이트가 형성되지 않은 나머지 부분으로 양자점을 만드는 제 2 게이트 절연막과; 상기 제 2 게이트 절연막과 제 1 절연막 상부로 소스와 드레인 영역 사이에 적층된 제 2 게이트로 구성됨을 특징으로 하고, 상기 단전자 트랜지스터와 동시에 제조되는 이중게이트 MOSFET는 기판 지지대의 상부에 적층된 절연체와; 상기 절연체의 상부에 단결정 실리콘으로 서로 이격되어 형성된 소스와 드레인 영역과; 상기 소스와 드레인을 서로 연결하며 단결정 실리콘으로 형성된 얇은 채널과; 상기 채널을 형성하기 위한 제 1 절연막과; 상기 채널의 양 측벽에 자기 정렬되어 형성된 제 1 게이트 절연막과; 상기 제 1 게이트 절연막과 제 1 절연막 상부로 채널을 감싸며 소스와 드레인 영역 사이에 적층되어 형성된 제 1 게이트로 구성된 FinFET 형태를 가지는 것을 특징으로 한다.

그리고, 본 발명의 단전자 트랜지스터 제조방법은 SOI 기판에 활성층으로 사용될 단결정 실리콘을 정의하고, 채널이 될 부분에 제 1 절연막의 미세 패턴을 형성하는 제 1 단계와; 상기 단결정 실리콘 및 제 1 절연막의 미세 패턴 위에 제 2 절연막으로 스페이서를 형성하고, 단결정 실리콘에 불순물을 주입하여 소스 및 드레인 도핑을 하는 제 2 단계와; 상기 제 1 절연막 미세 패턴과 제 2 절연막 스페이서를 형성한 단결정 실리콘위에 제 3 절연막을 증착하고 패터닝하는 제 3 단계와; 상기 제 3 절연막과 제 1 절연막의 미세 패턴을 마스크로 하여 제 1 게이트가 형성될 부분의 단결정 실리콘을 제거하여 채널을 형성하는 제 4 단계와; 상기 채널과 소스와 드레인의 측벽 부분에 제 1 게이트 절연막을 키우는 제 5 단계와; 상기 제 1 게이트 절연막 위에 제 1 게이트로 사용될 물질을 증착하고 식각하여 제 1 게이트를 형성하는 제 6 단계와; 상기 제 1 게이트 위 및 제 1 게이트가 덮혀 있지 않은 나머지 채널 부분위에 제 2 게이트 절연막을 형성하는 제 7 단계와; 상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 제 8 단계를 포함하여 구성되는 것을 특징으로 하고, 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법은 동일한 SOI 기판에 활성층으로 사용될 단결정 실리콘을 각각 정의하고, 채널이 될 부분에 제 1 절연막의 미세 패턴을 형성하는 제 1 단계와; 상기 단결정 실리콘 및 제 1 절연막의 미세 패턴 위에 제 2 절연막으로 스페이서를 형성하고, 각 단결정 실리콘에 불순물을 주입하여 소스 및 드레인 도핑을 하는 제 2 단계와; 상기 제 1 절연막 미세 패턴과 제 2 절연막 스페이서를 형성한 단결정 실리콘위에 제 3 절연막을 증착하고 각 소자의 채널 길이가 서로 다르게 형성되도록 제 3 절연막을 패터닝하는 제 3 단계와; 상기 제 3 절연막과 제 1 절연막의 미세 패턴을 마스크로 하여 제 1 게이트가 형성될 부분의 각 단결정 실리콘을 제거하여 채널을 형성하는 제 4 단계와; 상기 채널과 소스와 드레인의 단결정 실리콘 측벽 부분에 제 1 게이트 절연막을 키우는 제 5 단계와; 상기 제 1 게이트 절연막 위에 제 1 게이트

로 사용될 물질을 증착하고 식각하여 제 1 게이트를 형성하는 제 6 단계와; 상기 제 1 게이트 위 및 제 1 게이트가 덮여 있지 않은 나머지 채널 부분위에 제 2 게이트 절연막을 형성하는 제 7 단계와; 상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 제 8 단계를 포함하여 구성되는 것을 특징으로 한다.

**발명의 구성 및 작용**

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하면 다음과 같다.

**[제 1 실시 예]**

본 발명에서 제안하는 단전자 트랜지스터는 기판 지지대(도면에선 생략됨. 이하 같다)의 상부에 적층된 절연체와 그 절연체 상부에 길러진 단결정 실리콘으로 구성된 SOI(Silicon On Insulator) 기판에 형성되는데, 이를 위해 먼저, SOI 기판의 매몰 산화막(30) 위에 존재하는 단결정 실리콘을 사진공정과 식각공정으로 소자가 형성될 부분에만 단결정 실리콘(31)을 남기고, 나머지 부분은 제거한다(도 3a). 이 때 기판 지지대는 실리콘을, SOI 기판의 절연체인 매몰 산화막은 실리콘 산화막을 각각 사용할 수 있다(이하 같다).

그런 다음에, 차후 공정에서 식각 방지 막으로 사용될 제 1 절연막을 증착하고, 극미세 패터닝 공정을 사용하여 제 1 절연막의 미세 패턴(32)을 형성한다(도 3b). 이 때 제 1 절연막으로 실리콘 질화막이나 실리콘 산화막 혹은 이들 각각의 막과 비정질 실리콘막의 적층 구조를 사용할 수 있고, 제 1 절연막의 미세 패턴을 위해서는 전자빔 리소그래피나 측벽을 이용한 미세 패터닝 기술을 이용할 수 있다.

미세 패턴의 제 1 절연막 주변에 제 2 절연막을 증착하고 이방성 식각에 의해 스페이서(33)를 형성한 다음, 이온 주입 공정을 이용하여 소스 및 드레인 도핑을 수행 한다(도 3c). 이 때 전체 활성층의 SOI 중에서 채널이 될 제 1 절연막의 미세 패턴 아래만 도핑이 되지 않고 남아 있게 된다. 이렇게 소스 및 드레인의 도핑공정을 도 3c 상태의 초기 과정에서 하게 되면, 차후 제 1 게이트 절연막(36)에 고유전율 물질을 그리고 제 1 게이트(37)엔 금속을 각각 사용할 수 있는 장점이 있다.

도 3c의 상태에서 제 3 절연막(34)을 증착하고 패터닝 한다(도 3d). 이 때 제 3 절연막은 실리콘 및 제 1 절연막과 식각 선택비가 우수한 물질이어야 하고, 제 2 절연막과는 선택비가 거의 없거나 동일한 물질이어야 한다. 예를 들면, 제 2 절연막과 제 3 절연막으로 실리콘 산화막을 화학 기상 증착법으로 증착하여 사용할 수 있다. 그리고 제 3 절연막을 패터닝함에 있어 채널 길이가 제 1 게이트 물질 두께의 2배 보다 크게 되도록 전자빔 리소그래피나 측벽을 이용한 미세 패터닝 방법을 이용할 수 있다.

도 3d에서 제 3 절연막을 패터닝한 이후, 제조하려는 소자의 게이트 크기에 해당하는 부분(35) 만큼 제 2, 3 절연막을 식각하면, 제 1 절연막(32)과 단결정 실리콘(31)이 노출된다(도 3e).

이후 제 3 절연막과 제 1 절연막을 마스크로 하여 게이트가 만들어질 부분(35)의 단결정 실리콘을 식각하면 단결정 실리콘(31)은 소스와 드레인의 패드 부분과 채널을 제외한 나머지 부분은 모두 제거 된다(도 3f).

도 3f의 상태에서 제 1 게이트 절연막(36)을 성장시킨다(도 3g). 이 때 제 1 게이트 절연막을 성장시키기 위해 열 산화 공정을 이용 한다면, 선택적으로 수행된 소스와 드레인 도핑에 의해, 도 3g에서 소스와 드레인의 측벽에 자라는 제 1 게이트 산화막(절연막)의 두께는 채널 측벽에 자란 산화막의 두께에 비해 대략 3배 정도의 두께를 가지게 되므로, 소스 또는 드레인과의 제 1 게이트 사이에 터널링에 의한 누설 전류를 충분히 억제할 수 있다

제 1 게이트 절연막(36)을 성장시킨 이후, 제 1 게이트가 될 물질을 증착하고 식각하여 제 1 게이트(37)를 만든다(도 3h). 이 때 제 1 게이트 물질의 식각은 전면식각(etch-back)으로 하여 소스와 드레인의 측벽 부분과 채널 측벽 일부분에만 스페이서 형태로 제 1 게이트를 남기도록 할 수 있다. 특히, 채널 측벽 부분의 경우, 소스와 드레인의 측벽에 비해 낮은 단차를 가지므로, 제 1 게이트 물질을 과도 식각 하면 식각 정도에 따라 채널 측벽의 가운데 부분에서 제 1 게이트에 덮여 있는 부분(37')과 그렇지 않은 부분(32')이 생기게 된다. 따라서, 제 1 게이트 물질의 과도 식각 정도에 따라 채널 측벽에 남는 제 1 게이트의 높이를 조절할 수 있으며 이로써 양자점의 크기를 조절할 수 있게 된다.

마지막으로, 양자점을 형성하는 제 2 게이트를 만들기 위해 제 1 게이트(37) 위 및 제 1 게이트가 덮여 있지 않은 나머지 채널 부분(32')의 위에 제 2 게이트 절연막(38)을 형성하고 그 위에 제 2 게이트(39) 물질을 증착하면, 제 1 게이트(37)에 의해 전위가 조절되는 부분과 제 2 게이트(39)에 의해 전위가 조절되는 부분으로 나뉘어진 단전자 트랜지스터를 최종 형성하게 된다(도 3i). 도 4a 내지 도 4c에 상기 단전자 트랜지스터의 구성을 보여주는 단면도가 각각 도시되어 있다.

## [제 2 실시 예]

본 발명에서 제안하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하기 위해, 먼저 하나의 SOI(Silicon On Insulator) 기판을 준비하고, SOI 기판의 매몰 산화막(50) 위에 존재하는 단결정 실리콘을 사진공정과 식각공정으로 각 소자가 형성될 부분에만 단결정 실리콘(51, 511)을 남기고, 나머지 부분은 제거한다(도 5a).

그런 다음에, 차후 공정에서 식각 방지막으로 사용될 제 1 절연막을 증착하고, 극미세 패터닝 공정을 사용하여 제 1 절연막의 미세 패턴(52, 512)을 형성한다(도 5b). 이 때 제 1 절연막으로 실리콘 질화막이나 실리콘 산화막 혹은 이들 각각의 막과 비정질 실리콘막의 적층 구조를 사용할 수 있고, 제 1 절연막의 미세 패턴을 위해서는 전자빔 리소그래피나 측벽을 이용한 미세 패터닝 기술을 이용할 수 있다.

미세 패턴의 제 1 절연막 주변에 제 2 절연막을 증착하고 이방성 식각에 의해 스페이서(53, 513)를 형성한 다음, 이온 주입 공정을 이용하여 소스 및 드레인 도핑을 수행한다(도 5c). 이 때 전체 활성층의 SOI 중에서 채널이 될 제 1 절연막의 미세 패턴 아래만 도핑이 되지 않고 남아 있게 된다. 이렇게 소스 및 드레인의 도핑 공정을 도 5c의 초기 과정에서 하게 되면, 차후 제 1 게이트 절연막에 고유전율 물질을 그리고 제 1 게이트엔 금속을 각각 사용할 수 있는 장점이 있다.

도 5c의 상태에서 제 3 절연막(54, 514)을 증착하고 각 소자의 채널 길이가 서로 다르게 형성되도록 제 3 절연막을 패터닝한다(도 5d). 이 때 제 3 절연막은 실리콘 및 제 1 절연막과 식각 선택비가 우수한 물질이어야 하고, 제 2 절연막과는 선택비가 거의 없거나 동일한 물질이어야 한다. 예를 들면, 제 2 절연막과 제 3 절연막으로 실리콘 산화막을 화학 기상 증착법으로 증착하여 사용할 수 있다. 그리고 제 3 절연막을 패터닝함에 있어 단전자 트랜지스터가 제조될 위치에는 채널 길이가 제 1 게이트 물질 두께의 2배 보다 크게 되도록 하고, 이중게이트 MOSFET이 제조될 위치에는 채널 길이가 제 1 게이트 물질 두께의 2배 보다 작게 되도록 전자빔 리소그래피나 측벽을 이용한 미세 패터닝 방법을 이용할 수 있다.

도 5d에서 제 3 절연막을 패터닝한 이후, 제조하려는 각 소자의 게이트 크기에 해당하는 부분(55, 515) 만큼 제 2, 3 절연막을 식각하면, 제 1 절연막(52, 512)과 단결정 실리콘(51, 511)이 노출된다(도 5e).

이후 제 3 절연막과 제 1 절연막을 마스크로 하여 단결정 실리콘을 식각하면 단결정 실리콘(51, 511)은 소스와 드레인의 패드 부분과 채널을 제외한 나머지 부분에선 모두 제거된다(도 5f).

도 5f의 상태에서 제 1 게이트 절연막(56, 516)을 성장시킨다(도 5g). 이 때 제 1 게이트 절연막을 성장시키기 위해 열 산화 공정을 이용한다면, 선택적으로 수행된 소스와 드레인 도핑에 의해, 도 5g에서 소스와 드레인의 측벽에 자라는 제 1 게이트 산화막(절연막)의 두께는 채널 측벽에 자란 산화막의 두께에 비해 대략 3배 정도의 두께를 가지게 되므로, 소스 또는 드레인과의 제 1 게이트 사이에 터널링에 의한 누설 전류를 충분히 억제할 수 있다.

제 1 게이트 절연막을 성장시킨 이후 제 1 게이트가 될 물질을 증착하고 식각하여 제 1 게이트(57, 517)를 만든다(도 5h). 이 때 제 1 게이트 물질의 식각은 전면식각(etch-back)으로 하여 단전자 트랜지스터가 제조될 위치에는 소스와 드레인의 측벽 부분과 채널 측벽 일부분에만 제 1 게이트를 남기고, 이중게이트 MOSFET이 제조될 위치에는 채널을 감싸면서 소스와 드레인 사이에 제 1 게이트를 남기도록 할 수 있다. 이로써 이중게이트 MOSFET은 형성하게 된다. 또한, 단전자 트랜지스터의 채널 측벽 부분의 경우에는, 소스와 드레인의 측벽에 비해 낮은 단차를 가지므로, 제 1 게이트 물질을 과도 식각하면 식각 정도에 따라 채널 측벽의 가운데 부분에서 제 1 게이트에 덮여 있는 부분(57')과 그렇지 않은 부분(52')이 생기게 된다. 따라서, 제 1 게이트 물질의 과도 식각 정도에 따라, 이중게이트 MOSFET의 형성을 유지하며, 단전자 트랜지스터의 채널 측벽에 남는 제 1 게이트의 높이를 조절할 수 있어 단전자 트랜지스터의 양자점 크기를 조절할 수 있게 된다.

마지막으로, 단전자 트랜지스터의 양자점을 형성하는 제 2 게이트를 만들기 위해, 제 2 게이트를 정의하는 마스크를 단전자 트랜지스터(도 5h 좌측)에만 적용하여, 제 1 게이트(57) 위 및 제 1 게이트가 덮여있지 않은 나머지 채널 부분(52')의 위에만 제 2 게이트 절연막(58)을 형성하고 그 위에 제 2 게이트(59) 물질을 증착하여 제 2 게이트를 형성하면, 제 1 게이트(57)에 의해 전위가 조절되는 부분과 제 2 게이트(59)에 의해 전위가 조절되는 부분으로 나뉘어진 단전자 트랜지스터도 최종 형성하게 되어(도 5i), 이로써, 하나의 공정을 거치면서 단전자 트랜지스터와 FinFET 형태의 이중게이트 MOSFET이 동시에 만들어지게 된다. 도 6a 내지 도 6d에 상기 동시 제조되는 단전자 트랜지스터 및 이중게이트 MOSFET의 구성을 보여주는 단면도가 각각 도시되어 있다.

## [제 3 실시 예]

상기 제 1, 2 실시 예 중, 도 3e 및 도 5e의 제 3 절연막 미세 패턴 형성과정에서, 제 1 절연막과의 식각 선택비가 나쁘면 제 1 절연막이 과도 식각되어, 도 3f 및 도 5f의 실리콘 채널 형성 공정에서 충분한 마스크 역할을 하지 못하는 문제가 발생할 수 있다. 즉, 반도체 공정에서 도 3b 및 도 5b와 같이 제 1 절연막(32, 52, 512)으로 실리콘 질화막을 사용하고 제 3 절연막(34, 54, 514)으로 실리콘 산화막을 사용할 경우, 둘 사이의 선택비가 나쁘기 때문에 이와 같은 문제점이 생길 수 있다.

이러한 문제를 해결하기 위해 채널 마스크 역할을 하는 제 1 절연막(32, 52, 512)을 하나의 물질로 사용하는 것이 아니라, 도 7과 같이 실리콘에 대해 식각 선택비가 좋은 물질(52, 512)을 밑에 두고, 제 3 절연막에 대해 식각 선택비가 좋은 물질(52", 512")을 위에 두는 이중 적층 구조를 사용한다. 예를 들면, 실리콘 산화막이나 실리콘 질화막은 단결정, 다결정 그리고 비정질 실리콘에 대해 식각 선택비가 우수하므로, 도 3e 및 도 5e와 같은 제 3 절연막 식각시엔 실리콘이 마스크 역할을 하고, 도 3f 및 도 5f와 같은 실리콘 식각시엔 실리콘 산화막이나 실리콘 질화막이 마스크 역할을 하도록 다결정/비정질 실리콘(52", 512")과 실리콘 산화막 혹은 실리콘 질화막(52, 512)의 적층 구조로 사용할 수 있다.

**[제 4 실시 예]**

상기 제 1, 2, 3 실시 예 중, 도 3c 및 도 5c에서 소스/드레인 도핑을 수행하지 않고, 도 3i 및 도 5i에서 제 3 절연막(34, 34', 54, 54', 514, 514')과 제 3 절연막 밑에 있는 제 1 절연막(32, 52, 512)을 선택적으로 제거하고, 소스/드레인 도핑을 수행한다. 이 때 상기 소스/드레인의 불순물 도핑은 제 2 게이트 형성후 제 3 절연막(34, 34', 54, 54', 514, 514')과 그 밑의 제 1 절연막(32, 52, 512)을 선택적으로 제거하고 게이트 측벽에 제 4의 절연막을 이용해 스페이서를 형성함으로써 도핑을 보다 용이하게 할 수 있다.

**[제 5 실시 예]**

상기 제 1, 2, 3 실시 예 중, 도 3d 또는 도 5d에서 제 3 절연막에 미세 패턴을 형성함에 있어, 먼저 제 3 절연막에 형성된 굴곡(34', 54', 514')을 CMP(Chemical Mechanical Polishing) 공정을 이용해 도 8과 같이 평탄화시킨 후에 리소그래피 공정을 진행한다.

**발명의 효과**

본 발명에 의한 단전자 트랜지스터는 종래 제 1 게이트에 의한 터널링 장벽이 약해지는 문제를 제 1 게이트를 채널의 측벽에 형성함으로써 해소하고, 제 1 게이트 물질 식각시 과도 식각 정도에 따라 채널 측벽에 남는 제 1 게이트의 높이를 조절함으로써 단전자 트랜지스터의 양자점 크기도 조절할 수 있게 됨으로써 단전자 트랜지스터의 동작온도를 올릴 수 있게 됐다.

또한, 저전력 고집적 단전자 트랜지스터 시스템을 구현하려면, MOSFET이 동시에 집적 되어야 하는데, 본 발명에서는 단전자 트랜지스터의 제조 공정에 따르면서 하나의 SOI 기판에 FinFET 형태의 MOSFET을 동시에 집적할 수 있는 단전자 트랜지스터 및 이중게이트 MOSFET 구조와 그 제조방법을 제시하였다.

**(57) 청구의 범위**

**청구항 1.**

- 기판 지지대의 상부에 적층된 절연체와;
- 상기 절연체의 상부에 단결정 실리콘으로 서로 이격되어 형성된 소스와 드레인 영역과;
- 상기 소스와 드레인을 서로 연결하며 단결정 실리콘으로 형성된 얇은 채널과;
- 상기 채널을 형성하기 위한 제 1 절연막과;
- 상기 채널의 양 측벽 중 대부분을 투과장벽으로 만들면서 소스와 드레인 영역을 전기적으로 분리하는 제 1 게이트 절연막(36)과;

상기 제 1 게이트 절연막 상부에 적층되며, 소스와 드레인의 측벽 부분 및 채널 측벽의 일부분에만 스페이서 형태로 형성된 제 1 게이트(37)와;

상기 채널의 양 측벽 중 제 1 게이트가 형성되지 않은 나머지 부분으로 양자점을 만드는 제 2 게이트 절연막(38)과;

상기 제 2 게이트 절연막과 제 1 절연막 상부로 소스와 드레인 영역 사이에 적층된 제 2 게이트(39)를 포함하는 단전자 트랜지스터.

## 청구항 2.

제 1 항에 있어서, 상기 채널에 형성되는 제 2 게이트는 제 1 게이트 물질의 두께와 과도 식각 정도에 따라 조절할 수 있는 크기를 갖는 것을 특징으로 하는 단전자 트랜지스터.

## 청구항 3.

제 1 항 또는 제 2 항에 있어서, 제 1 게이트 절연막은 실리콘 산화막, 실리콘 질화막과 고유전을 절연막 중 선택된 어느 하나인 것을 특징으로 하는 단전자 트랜지스터.

## 청구항 4.

제 1 항 또는 제 2 항에 있어서, 제 1 게이트 물질은 다결정 실리콘, 비정질 실리콘과 금속 중 선택된 어느 하나인 것을 특징으로 하는 단전자 트랜지스터

## 청구항 5.

제 1 항 또는 제 2 항에 있어서, 상기 절연체는 실리콘 산화막인 것을 특징으로 하는 단전자 트랜지스터.

## 청구항 6.

기판 지지대의 상부에 적층된 절연체와;

상기 절연체의 상부에 서로 이격되어 형성된 상기 제1항의 단전자 트랜지스터와

상기 절연체의 상부에 서로 이격되어 단결정 실리콘으로 형성된 소스와 드레인 영역과;

상기 소스와 드레인 영역을 연결하며, 상기 절연체의 상부에 단결정 실리콘으로 형성된 얇은 채널과;

상기 채널의 상부에 그리고, 상기 채널과 일직선으로 소스와 드레인 상부의 일부분에 일체로 증착된 제1 절연막과;

상기 채널의 양 측벽과 소스와 드레인의 측벽 부분에 증착된 제1 게이트 절연막과;

상기 제1 게이트 절연막과 제1 절연막 상부로 상기 채널을 감싸며 상기 소스와 드레인 영역 사이에 적층되어 형성된 제1 게이트를 포함하는 이중 게이트 MOSFET으로 구성된 것을 특징으로 하는 단전자 트랜지스터 및 이중 게이트 MOSFET.

## 청구항 7.



삭제

**청구항 8.**

제 6 항에 있어서, 상기 단전자 트랜지스터는 채널의 길이가 제 1 게이트 물질 두께의 2배 보다 큰 것을 특징으로 하고, 상기 이중게이트 MOSFET는 채널의 길이가 제 1 게이트 물질 두께의 2배 보다 작은 것을 특징으로 하는 단전자 트랜지스터 및 이중게이트 MOSFET.

**청구항 9.**

제 6 항에 있어서, 상기 제 1 게이트 절연막은 실리콘 산화막, 실리콘 질화막과 고유전율 절연막 중 선택된 어느 하나인 것을 특징으로 하는 단전자 트랜지스터 및 이중게이트 MOSFET.

**청구항 10.**

제 6 항에 있어서, 상기 제 1 게이트는 다결정 실리콘, 비정질 실리콘과 금속 중 선택된 어느 하나로 된 것을 특징으로 하는 단전자 트랜지스터 및 이중게이트 MOSFET.

**청구항 11.**

제 6 항에 있어서, 상기 절연체는 실리콘 산화막인 것을 특징으로 하는 단전자 트랜지스터 및 이중게이트 MOSFET.

**청구항 12.**

SOI 기판에 활성층으로 사용될 단결정 실리콘을 정의하고, 채널이 될 부분에 제 1 절연막의 미세 패턴을 형성하는 제 1 단계와;

상기 단결정 실리콘 및 제 1 절연막의 미세 패턴 위에 제 2 절연막으로 스페이서를 형성하고, 단결정 실리콘에 불순물을 주입하여 소스 및 드레인 도핑을 하는 제 2 단계와;

상기 제 1 절연막 미세 패턴과 제 2 절연막 스페이서가 형성된 단결정 실리콘위에 제 3 절연막을 증착하고 패터닝하는 제 3 단계와;

상기 제 3 절연막과 제 1 절연막의 미세 패턴을 마스크로 하여 제 1 게이트가 형성될 부분의 단결정 실리콘을 제거하여 채널을 형성하는 제 4 단계와;

상기 채널과 소스와 드레인의 측벽 부분에 제 1 게이트 절연막을 키우는 제 5 단계와;

상기 제 1 게이트 절연막 위에 제 1 게이트로 사용될 물질을 증착하고 식각하여 제 1 게이트를 형성하는 제 6 단계와;

상기 제 1 게이트 위 및 제 1 게이트가 덮여 있지 않은 나머지 채널부분 위에 제 2 게이트 절연막을 형성하는 제 7 단계와;

상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 제 8 단계를 포함하여 구성되는 단전자 트랜지스터의 제조방법.

**청구항 13.**

제 12 항에 있어서, 상기 제 1 절연막은 두 가지 이상의 물질로 구성된 적층 구조인 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 14.**

제 13 항에 있어서, 상기 제 1 절연막의 적층 구조는 하층을 실리콘 산화막 또는 실리콘 질화막으로 하고 상층을 다결정 실리콘 또는 비정질 실리콘으로 한 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 15.**

제 12 항에 있어서, 상기 소스 및 드레인 도핑은 제 2 게이트를 형성한 이후에 제 3 절연막 및 제 1 절연막을 제거하고, 불순물로 도핑하는 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 16.**

제 15 항에 있어서, 상기 불순물 도핑은 제 3 절연막 및 제 1 절연막을 제거하고 게이트 측벽에 제 4 의 절연막을 이용해 스페이서를 형성한 이후에 하는 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 17.**

제 12 항에 있어서, 상기 제 3 절연막 패터닝은 채널 길이가 제 1 게이트 물질 두께의 2배 보다 크게 되도록 하는 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 18.**

제 12 항 또는 제 17 항에 있어서, 상기 제 3 절연막의 패터닝은 제 3 절연막을 증착한 다음 CMP 공정을 한 이후에 하는 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 19.**

제 12 항 또는 제 17 항에 있어서, 상기 제 1 게이트 물질의 식각은 전면식각으로 하여 소스와 드레인의 측벽 부분과 채널 측벽 일부분에만 제 1 게이트를 남기는 것을 특징으로 하는 단전자 트랜지스터의 제조방법.

**청구항 20.**

SOI 기판에 활성층으로 사용될 단결정 실리콘을 각각 정의하고, 채널이 될 부분에 제 1 절연막의 미세 패턴을 형성하는 제 1 단계와;

상기 단결정 실리콘 및 제 1 절연막의 미세 패턴 위에 제 2 절연막으로 스페이서를 형성하고, 각 단결정 실리콘에 불순물을 주입하여 소스 및 드레인 도핑을 하는 제 2 단계와;

상기 제 1 절연막 미세 패턴과 제 2 절연막 스페이서를 형성한 단결정 실리콘위에 제 3 절연막을 증착하고 각 소자의 채널 길이가 서로 다르게 형성되도록 제 3 절연막을 패터닝하는 제 3 단계와;

상기 제 3 절연막과 제 1 절연막의 미세 패턴을 마스크로 하여 제 1 게이트가 형성될 부분의 각 단결정 실리콘을 제거하여 채널을 형성하는 제 4 단계와;

상기 채널과 소스와 드레인의 측벽 부분에 제 1 게이트 절연막을 키우는 제 5 단계와;

상기 제 1 게이트 절연막 위에 제 1 게이트로 사용될 물질을 증착하고 식각하여 제 1 게이트를 형성하는 제 6 단계와;

상기 제 1 게이트 위 및 제 1 게이트가 덮여 있지 않은 채널부분 위에 제 2 게이트 절연막을 형성하는 제 7 단계와;

상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 제 8 단계를 포함하여 구성되는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 21.

제 20 항에 있어서, 상기 제 1 절연막은 두 가지 이상의 물질로 구성된 적층 구조인 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 22.

제 21 항에 있어서, 상기 제 1 절연막의 적층 구조는 하층을 실리콘 산화막 또는 실리콘 질화막으로 하고 상층을 다결정 실리콘 또는 비정질 실리콘으로 한 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 23.

제 20 항에 있어서, 상기 소스 및 드레인 도핑은 제 2 게이트를 형성한 이후에 제 3 절연막 및 제 1 절연막을 각각 제거하고, 불순물로 도핑하는 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 24.

제 23 항에 있어서, 상기 불순물 도핑은 제 3 절연막 및 제 1 절연막을 각각 제거하고 각 게이트 측벽에 제 4 의 절연막을 이용해 스페이서를 형성한 이후에 하는 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 25.

제 20 항에 있어서, 상기 제 3 절연막 패터닝은, 단전자 트랜지스터가 제조될 위치에는 채널 길이가 제 1 게이트 물질 두께의 2배 보다 크게 되도록 하고, 이중게이트 MOSFET이 제조될 위치에는 채널 길이가 제 1 게이트 물질 두께의 2배 보다 작게 되도록 하는 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

## 청구항 26.

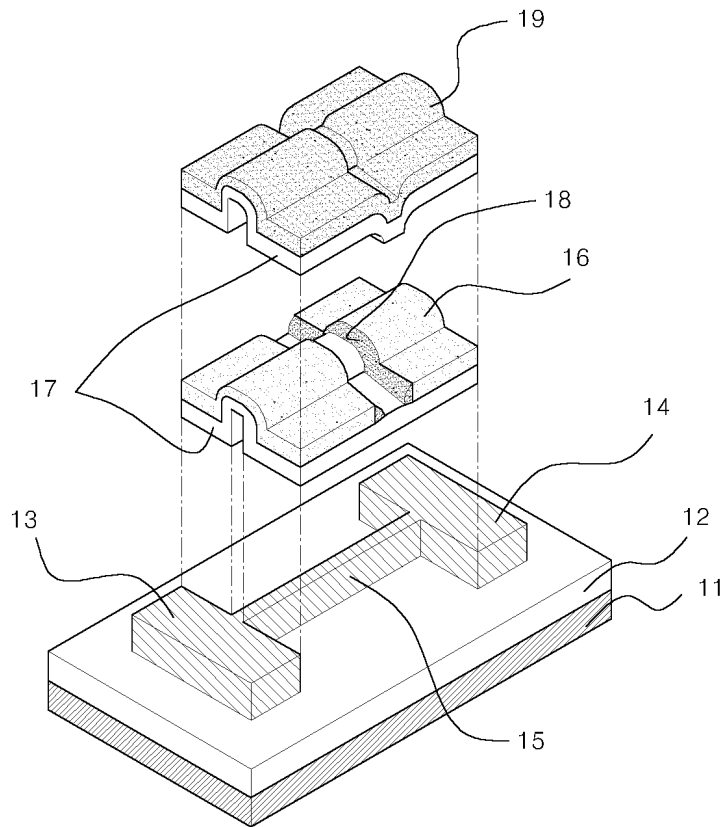
제 20 항 또는 제 25 항에 있어서, 상기 제 3 절연막 패터닝은, 제 3 절연막을 증착한 다음 CMP 공정을 한 이후에 하는 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

청구항 27.

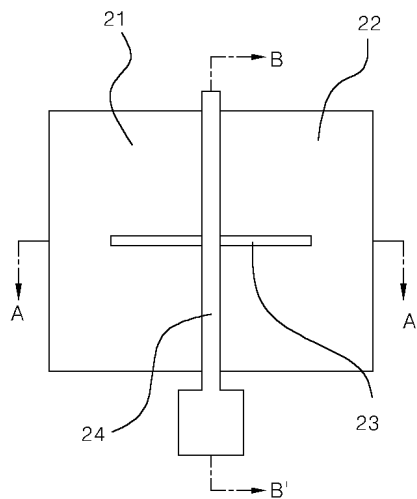
제 20 항 또는 제 25 항에 있어서, 상기 제 1 게이트 물질의 식각은 전면식각으로 하여, 단전자 트랜지스터가 제조될 위치에는 소스와 드레인의 측벽 부분과 채널 측벽 일부분에만 제 1 게이트를 남기고, 이중게이트 MOSFET이 제조될 위치에는 채널을 감싸면서 소스와 드레인 사이에 제 1 게이트를 남기는 것을 특징으로 하는 단전자 트랜지스터와 이중게이트 MOSFET을 동시에 제조하는 방법.

도면

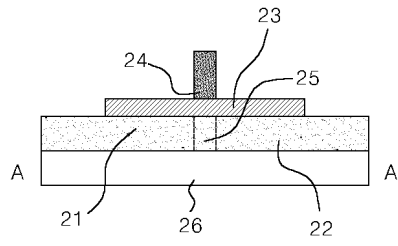
도면1



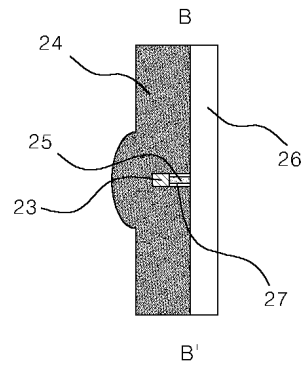
도면2a



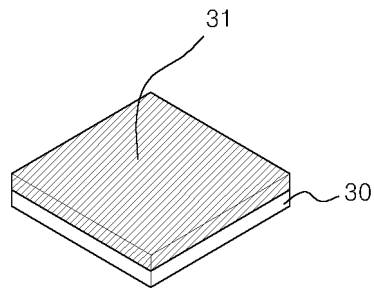
도면2b



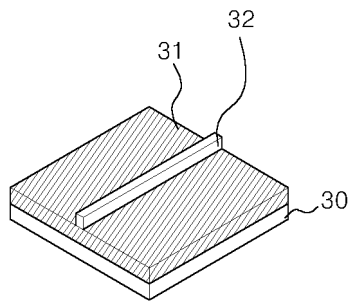
도면2c



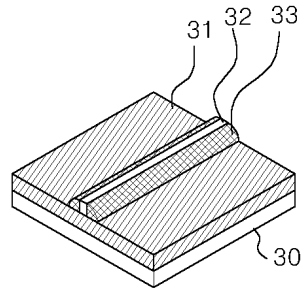
도면3a



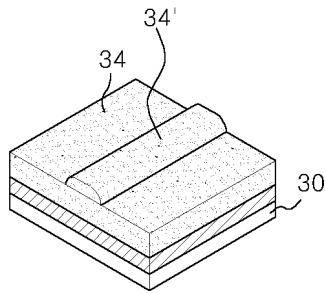
도면3b



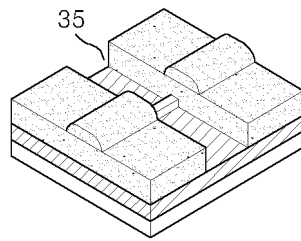
도면3c



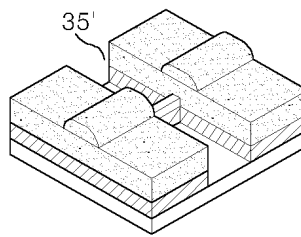
도면3d



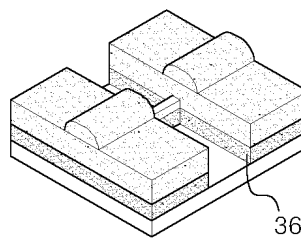
도면3e



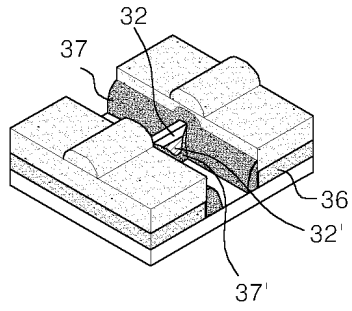
도면3f



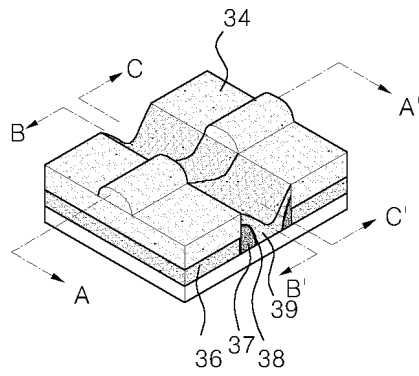
도면3g



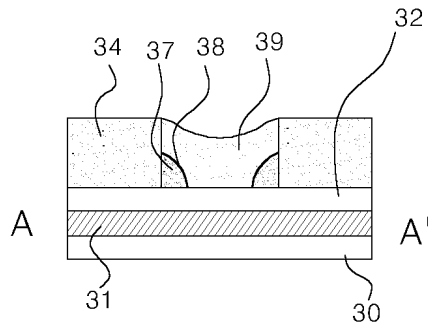
도면3h



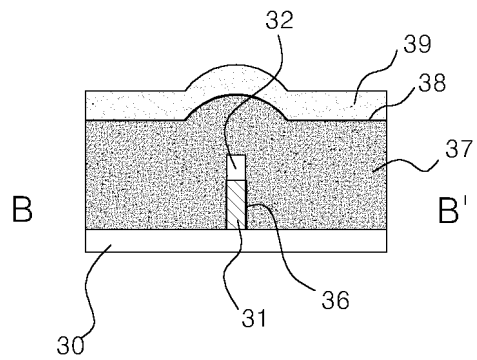
도면3i



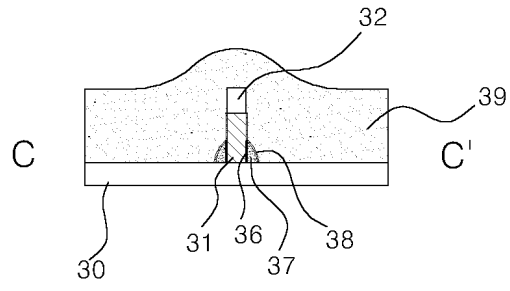
도면4a



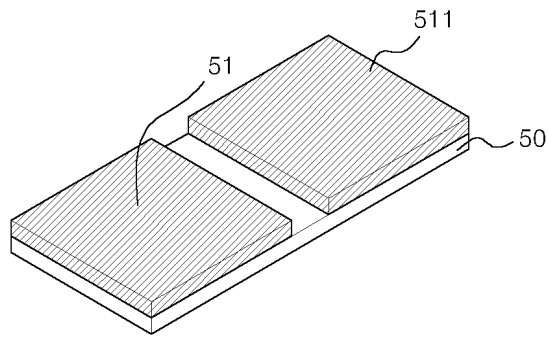
도면4b



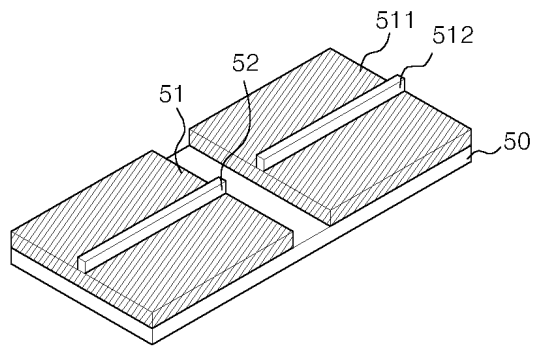
도면4c



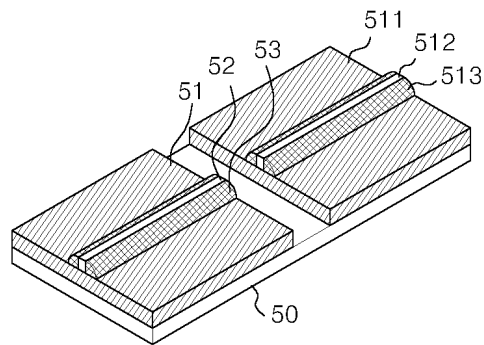
도면5a



도면5b

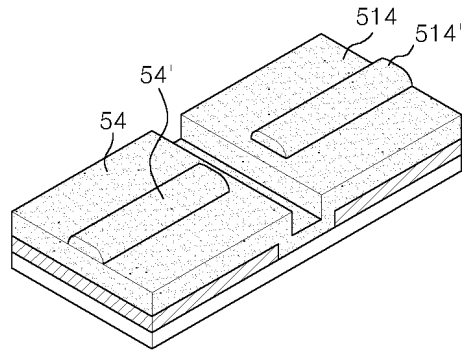


도면5c

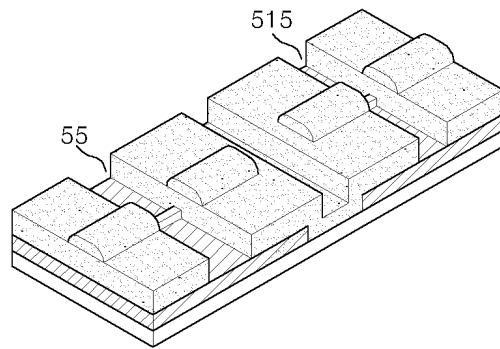




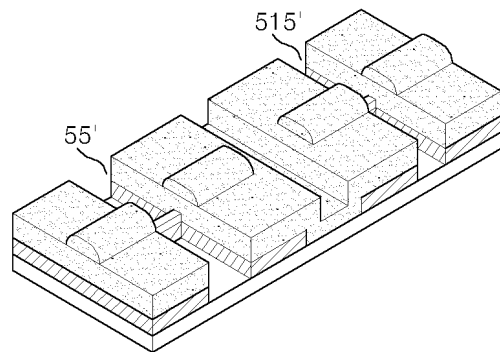
도면5d



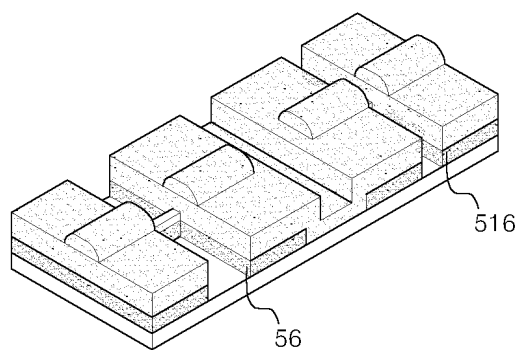
도면5e



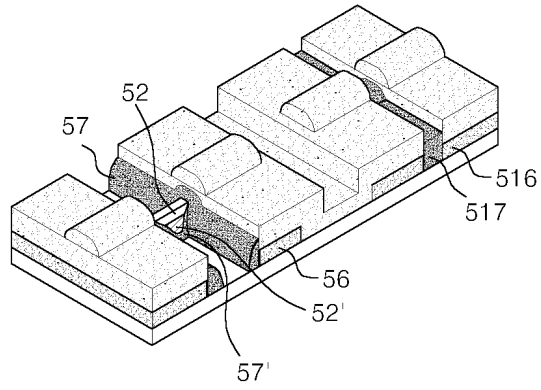
도면5f



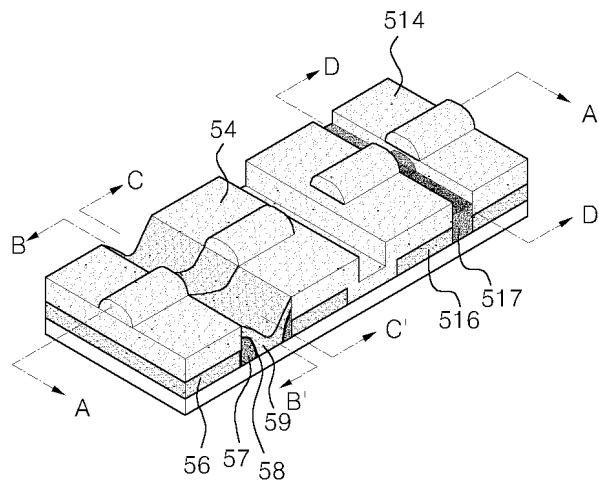
도면5g



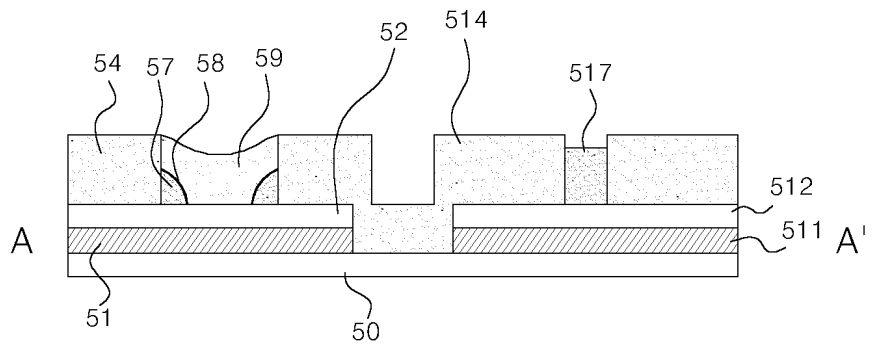
도면5h



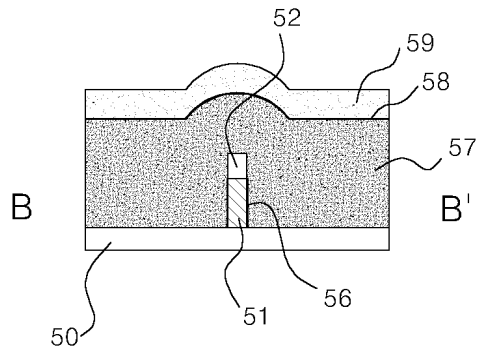
도면5i



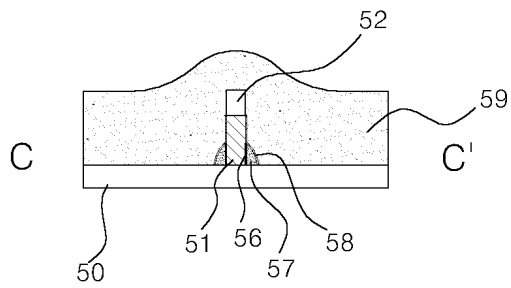
도면6a



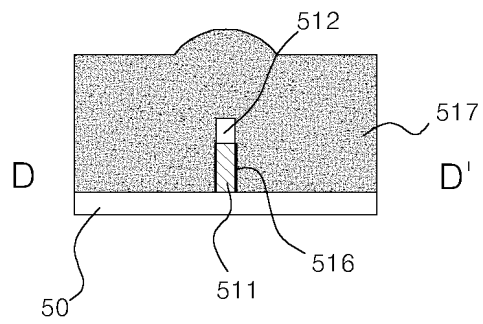
도면6b



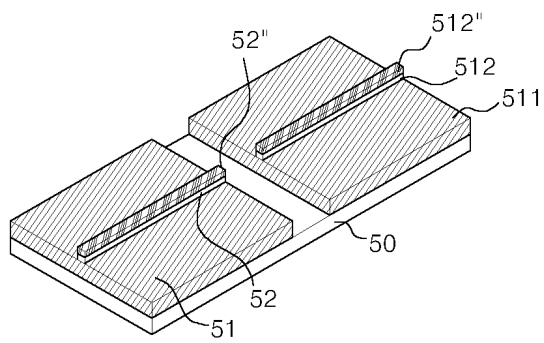
도면6c



도면6d



도면7



도면8

