

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4380693号
(P4380693)

(45) 発行日 平成21年12月9日(2009.12.9)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl.		F I	
HO 1 L 43/08 (2006.01)		HO 1 L 43/08	Z
HO 1 L 21/8246 (2006.01)		HO 1 L 27/10	4 4 7
HO 1 L 27/105 (2006.01)		HO 1 L 29/82	Z
HO 1 L 29/82 (2006.01)			

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2006-335016 (P2006-335016)	(73) 特許権者	000002185
(22) 出願日	平成18年12月12日(2006.12.12)		ソニー株式会社
(65) 公開番号	特開2008-147522 (P2008-147522A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年6月26日(2008.6.26)	(74) 代理人	100122884
審査請求日	平成19年10月17日(2007.10.17)		弁理士 角田 芳末
		(74) 代理人	100133824
			弁理士 伊藤 仁恭
		(72) 発明者	肥後 豊
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	細見 政功
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 記憶素子、メモリ

(57) 【特許請求の範囲】

【請求項1】

情報を磁性体の磁化状態により保持する記憶層を有し、
前記記憶層に対して、トンネル絶縁層を介して、磁化固定層が設けられ、
積層方向に電流を流して、スピン偏極した電子を注入することにより、前記記憶層の磁化の向きが変化して、前記記憶層に対して情報の記録が行われる記憶素子であって、
前記記憶層の前記磁化固定層とは反対側に、スピン偏極した電子の拡散を抑制するスピンバリア層が設けられ、
前記スピンバリア層の前記記憶層とは反対側に、スピンポンピング現象を起こす非磁性金属層からなるスピン吸収層が設けられ、
前記スピンバリア層が、酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成され、
前記スピン吸収層の厚さが、前記スピン吸収層を構成する材料のスピン拡散長よりも大きい

記憶素子。

【請求項2】

前記記憶層が、非磁性層を介して積層された複数層の強磁性層から成る請求項1に記載の記憶素子。

【請求項3】

前記記憶層を構成する強磁性層の主成分がC o F e Bからなり、前記記憶層を構成する

非磁性層が Ti , Ta , Nb , Cr のうち少なくとも一種の非磁性元素からなり、前記記憶層内の前記非磁性元素の含有量が 1 原子% 以上 20 原子% 以下である請求項 2 に記載の記憶素子。

【請求項 4】

前記トンネル絶縁層が酸化マグネシウムから成る請求項 1 に記載の記憶素子。

【請求項 5】

前記トンネル絶縁層及び前記スピンバリア層が酸化マグネシウムから成る請求項 1 に記載の記憶素子。

【請求項 6】

前記スピン吸収層が、 Pt , Ru , Pd , Au のうちの少なくとも 1 つを含む請求項 1 に記載の記憶素子。

10

【請求項 7】

情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、互いに交差する 2 種類の配線とを備え、

前記記憶素子は、前記記憶層に対して、トンネル絶縁層を介して、磁化固定層が設けられ、積層方向に電流を流して、スピン偏極した電子を注入することにより、前記記憶層の磁化の向きが変化して、前記記憶層に対して情報の記録が行われるものであり、前記記憶層の前記磁化固定層とは反対側に、スピン偏極した電子の拡散を抑制するスピンバリア層が設けられ、前記スピンバリア層の前記記憶層とは反対側に、スピンポンピング現象を起こす非磁性金属層からなるスピン吸収層が設けられ、前記スピンバリア層が、酸化物、窒化物、フッ化物から選ばれる 1 種以上の材料から構成されており、

20

前記 2 種類の配線の交点付近かつ前記 2 種類の配線の間、前記記憶素子が配置され、前記 2 種類の配線を通じて、前記記憶素子に前記積層方向の電流が流れ、スピン偏極した電子が注入され、

前記スピン吸収層の厚さが、前記スピン吸収層を構成する材料のスピン拡散長よりも大きい

メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、強磁性層の磁化状態を情報として記憶する記憶層と、磁化の向きが固定された磁化固定層とから成り、膜面に垂直な方向に電流を流して、スピン偏極した電子を注入することにより記憶層の磁化の向きを変化させる記憶素子及びこの記憶素子を備えたメモリに係わり、不揮発メモリに適用して好適なものである。

【背景技術】

【0002】

コンピュータ等の情報機器では、ランダム・アクセス・メモリとして、動作が高速で、高密度な DRAM が広く使われている。

しかし、DRAM は電源を切ると情報が消えてしまう揮発性メモリであるため、情報が消えない不揮発のメモリが望まれている。

40

【0003】

そして、不揮発メモリの候補として、磁性体の磁化で情報を記録する磁気ランダム・アクセス・メモリ (MRAM) が注目され、開発が進められている。

【0004】

MRAM は、ほぼ直交する 2 種類のアドレス配線 (ワード線、ビット線) にそれぞれ電流を流して、各アドレス配線から発生する電流磁場によって、アドレス配線の交点にある磁気記憶素子の磁性層の磁化を反転して情報の記録を行うものである。

また、情報の読出には、磁気記憶素子の記憶層の磁化の向きに応じて抵抗が変化する、いわゆる磁気抵抗効果 (MR 効果) を用いる。

【0005】

50

一般的なM R A Mの模式図(斜視図)を、図9に示す。

シリコン基板等の半導体基体110の素子分離層102により分離された部分に、各メモリセルを選択するための選択用トランジスタを構成する、ドレイン領域108、ソース領域107、並びにゲート電極101が、それぞれ形成されている。

また、ゲート電極101の上方には、図中前後方向に延びるワード線105が設けられている。

ドレイン領域108は、図中左右の選択用トランジスタに共通して形成されており、このドレイン領域108には、配線109が接続されている。

そして、ワード線105と、上方に配置された、図中左右方向に延びるビット線106との間に、磁化の向きが反転する記憶層を有する磁気記憶素子103が配置されている。この磁気記憶素子103は、例えば磁気トンネル接合素子(M T J素子)により構成される。

さらに、磁気記憶素子103は、水平方向のバイパス線111及び上下方向のコンタクト層104を介して、ソース領域107に電氣的に接続されている。

ワード線105及びビット線106にそれぞれ電流を流すことにより、電流磁界を磁気記憶素子103に印加して、これにより磁気記憶素子103の記憶層の磁化の向きを反転させて、情報の記録を行うことができる。

【0006】

そして、M R A M等の磁気メモリにおいて、記録した情報を安定に保持するためには、情報を記録する磁性層(記憶層)が、一定の保磁力を有していることが必要である。

一方、記録された情報を書き換えるためには、アドレス配線にある程度の電流を流さなければならない。

ところが、M R A Mを構成する素子の微細化に従い、アドレス配線も細くなるため、十分な電流が流せなくなってくる。

【0007】

そこで、より少ない電流で磁化反転が可能な構成として、スピン注入による磁化反転を利用する構成のメモリが注目されている(例えば、特許文献1参照)。

スピン注入による磁化反転とは、磁性体の中を通過してスピン偏極した電子を、他の磁性体に注入することにより、他の磁性体にトルクを生じ、磁化反転を起こさせるものである。

【0008】

例えば、巨大磁気抵抗効果素子(G M R素子)や磁気トンネル接合素子(M T J素子)に対して、その膜面に垂直な方向に電流を流すことにより、これらの素子の少なくとも一部の磁性層の磁化の向きを反転させることができる。

【0009】

そして、スピン注入による磁化反転は、素子が微細化されても、電流を増やさずに磁化反転を実現することができる利点を有している。

【0010】

上述したスピン注入による磁化反転を利用する構成のメモリの模式図を図7及び図8に示す。図7は斜視図、図8は断面図である。

シリコン基板等の半導体基体60の素子分離層52により分離された部分に、各メモリセルを選択するための選択用トランジスタを構成する、ドレイン領域58、ソース領域57、並びにゲート電極51が、それぞれ形成されている。このうち、ゲート電極51は、図7中前後方向に延びるワード線を兼ねている。

ドレイン領域58は、図7中左右の選択用トランジスタに共通して形成されており、このドレイン領域58には、配線59が接続されている。

そして、ソース領域57と、上方に配置された、図7中左右方向に延びるビット線56との間に、スピン注入により磁化の向きが反転する記憶層を有する記憶素子53が配置されている。

この記憶素子53は、例えば磁気トンネル接合素子(M T J素子)により構成される。

図中 6 1 及び 6 2 は磁性層を示しており、2 層の磁性層 6 1 , 6 2 のうち、一方の磁性層を磁化の向きが固定された磁化固定層として、他方の磁性層を磁化の向きが変化する磁化自由層即ち記憶層とする。

また、記憶素子 5 3 は、ビット線 5 6 と、ソース領域 5 7 とに、それぞれ上下のコンタクト層 5 4 を介して接続されている。これにより、記憶素子 5 3 に電流を流して、スピン注入により記憶層の磁化の向きを反転させることができる。

【 0 0 1 1 】

このようなスピン注入による磁化反転を利用する構成のメモリの場合、図 9 に示した一般的な M R A M と比較して、デバイス構造を単純化することができる、という特徴も有している。

また、スピン注入による磁化反転を利用することにより、外部磁界により磁化反転を行う一般的な M R A M と比較して、素子の微細化が進んでも、書き込みの電流が増大しないという利点がある。

【 0 0 1 2 】

ところで、M R A M の場合は、記憶素子とは別に書き込み配線（ワード線やビット線）を設けて、書き込み配線に電流を流して発生する電流磁界により、情報の書き込み（記録）を行っている。そのため、書き込み配線に、書き込みに必要となる電流量を十分に流すことができる。

【 0 0 1 3 】

一方、スピン注入による磁化反転を利用する構成のメモリにおいては、記憶素子に流す電流によりスピン注入を行って、記憶層の磁化の向きを反転させる必要がある。

そして、このように記憶素子に直接電流を流して情報の書き込み（記録）を行うことから、書き込みを行うメモリセルを選択するために、記憶素子を選択トランジスタと接続してメモリセルを構成する。この場合、記憶素子に流れる電流は、選択トランジスタに流すことが可能な電流（選択トランジスタの飽和電流）の大きさに制限される。

このため、選択トランジスタの飽和電流以下の電流で書き込みを行う必要があり、スピン注入の効率を改善して、記憶素子に流す電流を低減する必要がある。

【 0 0 1 4 】

また、読み出し信号を大きくするためには、大きな磁気抵抗変化率を確保する必要があり、そのためには記憶層の両側に接している中間層をトンネル絶縁層（トンネルバリア層）とした記憶素子の構成にすることが効果的である。

このように中間層としてトンネル絶縁層を用いた場合には、トンネル絶縁層が絶縁破壊することを防ぐために、記憶素子に流す電流量に制限が生じる。この観点からも、スピン注入時の電流を抑制する必要がある。

【 0 0 1 5 】

従って、スピン注入により記憶層の磁化の向きを反転させる構成の記憶素子では、スピン注入効率を改善して、必要とする電流を減らす必要がある。

【 0 0 1 6 】

【特許文献 1】特開 2 0 0 3 - 1 7 7 8 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 7 】

強磁性体の磁化の向きが時間的に変化する場合には、その動きを妨げようとする作用が強磁性体の磁化に働く。

この作用の大きさは、ギルバートのダンピング定数で表される。

【 0 0 1 8 】

スピン注入によって記憶層の磁化の向きを反転させる場合には、この作用を上回るような大きなトルクを記憶層に加える必要がある。

即ち、ギルバートのダンピング定数が大きい場合には、それだけ大きな電流を記憶層に流す必要が生じる。

10

20

30

40

50

【0019】

ところで、ギルバートのダンピング定数は、強磁性材料によって決まった値を持つだけでなく、隣接する層によってその値が増加する場合がある。

強磁性体から隣接する金属層に電流が流れる場合や、強磁性体の磁化が運動をしている場合には、隣接する金属層にスピン流が流れる。

【0020】

そして、このスピン流が金属層内でのスピン散乱によって消失する場合、その反作用として、強磁性体の磁化運動が抑制され、即ちギルバートのダンピング定数が増加する。

これは、スピンプンピングとよばれる現象である。

このスピンプンピング現象は、例えば、Phys.Rev.B,66,104413,(2002)や、Jpn.J.Appl. Phys,40,580,(2001)において、詳しく実験的な実証がなされている。

10

【0021】

このように、スピン注入によって記憶層の磁化の向きを反転させる記憶素子において、記憶層に隣接する金属層によっては、ギルバートのダンピング定数が増加し、その結果、磁化反転に必要な電流（反転電流）が増大してしまう、という問題点があった。

さらに、反転電流を減少させるためには、記憶層の素子サイズ及び飽和磁化を、できる限り小さくすることが望ましい。

【0022】

ところが、記憶層の素子サイズ及び飽和磁化を小さくすると、記憶素子の熱安定性が減少し、動作が不安定になるという問題点があった。

20

【0023】

上述した問題の解決のために、本発明においては、スピンプンピング現象の発生を抑制することができると共に、十分な熱安定性を有する記憶素子、並びにこの記憶素子を有するメモリを提供するものである。

【課題を解決するための手段】

【0024】

本発明の記憶素子は、情報を磁性体の磁化状態により保持する記憶層を有し、この記憶層に対して、トンネル絶縁層を介して磁化固定層が設けられ、積層方向に電流を流してスピン偏極した電子を注入することにより、記憶層の磁化の向きが変化して、記憶層に対して情報の記録が行われ、記憶層の磁化固定層とは反対側に、スピン偏極した電子の拡散を抑制するスピンバリア層が設けられ、このスピンバリア層の記憶層とは反対側に、スピンプンピング現象を起こす非磁性金属層からなるスピン吸収層が設けられ、スピンバリア層が、酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成され、スピン吸収層の厚さが、このスピン吸収層を構成する材料のスピン拡散長よりも大きいものである。

30

本発明のメモリは、情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、互いに交差する2種類の配線とを備え、記憶素子は上記本発明の記憶素子の構成であり、2種類の配線の交点付近かつ2種類の配線の間記憶素子が配置され、これら2種類の配線を通じて記憶素子に積層方向の電流が流れ、スピン偏極した電子が注入されるものである。

【0025】

40

上述の本発明の記憶素子の構成によれば、情報を磁性体の磁化状態により保持する記憶層を有し、この記憶層に対して、トンネル絶縁層を介して磁化固定層が設けられ、積層方向に電流を流してスピン偏極した電子を注入することにより、記憶層の磁化の向きが変化して、記憶層に対して情報の記録が行われるので、積層方向に電流を流してスピン偏極した電子を注入することによって情報の記録を行うことができる。

また、記憶層の磁化固定層とは反対側に、スピンプンピング現象を抑制するスピンバリア層が設けられ、このスピンバリア層が、酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成されていることにより、スピンバリア層によってスピンプンピング現象の発生を抑制することができる。これにより、記憶層の磁化を反転させるために必要な電流を低減し、スピン注入効率を向上させることが可能になる。

50

さらに、スピンバリア層を設けることにより、記憶層の熱安定性を向上させることができるため、記憶層に記録された情報を安定して保持することができる。

また、スピンバリア層の記憶層とは反対側に、スピンポンピング現象を起こす非磁性金属層からなるスピン吸収層が設けられていることにより、スピンバリア層のみの構成と比較して、さらに、記憶層の磁化を反転させるために必要な電流を低減し、スピン注入効率を向上させることが可能になる。

【0026】

上述の本発明のメモリの構成によれば、情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、互いに交差する2種類の配線とを備え、記憶素子は上記本発明の記憶素子の構成であり、2種類の配線の交点付近かつ2種類の配線の間記憶素子が配置され、これら2種類の配線を通じて記憶素子に積層方向の電流が流れ、スピン偏極した電子が注入されるものであることにより、2種類の配線を通じて記憶素子の積層方向に電流を流してスピン注入による情報の記録を行うことができる。

10

また、スピン注入により記憶素子の記憶層の磁化の向きを反転させるために必要な電流量（閾値電流）を低減することができる。

さらに、記憶素子の記憶層に記録された情報を安定して保持することができる。

【発明の効果】

【0027】

上述の本発明によれば、スピン注入効率を向上することにより、情報の記録に必要な電流量を低減することができる。

20

これにより、メモリ全体の消費電力を低減することができる。

従って、従来にない低消費電力のメモリを実現することが可能になる。

【0028】

また、記憶素子の記憶層が十分な熱安定性を有するため、記憶素子が情報の保持特性に優れている。

さらに、情報の記録に必要な電流量を低減することができることから、電流を流して情報を記録する動作領域を拡大することが可能となり、動作マージンを広く確保することが可能になる。

従って、安定して動作する、信頼性の高いメモリを実現することができる。

【発明を実施するための最良の形態】

30

【0029】

まず、本発明の具体的な実施の形態の説明に先立ち、本発明の概要について説明する。

本発明は、前述したスピン注入により、記憶素子の記憶層の磁化の向きを反転させて、情報の記録を行うものである。記憶層は、強磁性層等の磁性体により構成され、情報を磁性体の磁化状態（磁化の向き）により保持するものである。

【0030】

スピン注入により磁性層の磁化の向きを反転させる基本的な動作は、巨大磁気抵抗効果素子（GMR素子）もしくは磁気トンネル接合素子（MTJ素子）から成る記憶素子に対して、その膜面に垂直な方向に、ある閾値以上の電流を流すものである。このとき、電流の極性（向き）は、反転させる磁化の向きに依存する。

40

この閾値よりも絶対値が小さい電流を流した場合には、磁化反転を生じない。

【0031】

また、本発明では、前述した選択トランジスタの飽和電流値を考慮して、記憶層と磁化固定層との間の非磁性の中間層として、絶縁体から成るトンネル絶縁層を用いて磁気トンネル接合（MTJ）素子を構成する。

トンネル絶縁層を用いて磁気トンネル接合（MTJ）素子を構成することにより、非磁性導電層を用いて巨大磁気抵抗効果（GMR）素子を構成した場合と比較して、磁気抵抗変化率（MR比）を大きくすることができ、読み出し信号強度を大きくすることができる。

【0032】

50

ところで、スピン注入によって、磁性層の磁化の向きを反転させるときに、必要となる電流は、数1により特徴づけられる。(例えば、F.J.Albert他著、Appl.Phys.Lett.,77,p.3809,2000年、等を参照)。

【0033】

【数1】

$$\frac{\eta I_{c0} \tau_1}{e} = \frac{M_s V}{\mu_B}$$

$$\tau_1 = 1/\alpha \gamma \left(H_c + \frac{1}{2} H_d \right)$$

10

【0034】

数1にある I_{c0} は、絶対ゼロ度において、記憶層の磁化がスピン注入により歳差運動を始める電流値に相当し、実際の反転電流の大きさを相対的に決めるものである。

【0035】

記憶素子の動作のマージンを広く確保し、記憶素子を安定して動作させるためには、この I_{c0} を小さくすることが必要になる。

I_{c0} を小さくすることにより、記憶素子及びメモリ全体の消費電力を低減することが可能になる。

20

また、 I_{c0} を小さくすることにより、飽和電流値の小さい、即ちゲート幅の小さい選択トランジスタを使用することが可能になるため、メモリセルの微細化を図り、メモリの集積度を高めることができる。これにより、メモリの小型化や記憶容量の増大を図ることができる。

【0036】

前述した数1において、ギルバートのダンピング定数 α と I_{c0} とは、比例の関係にあることがわかる。

即ち、前述したスピンプンピング現象によってギルバートのダンピング定数 α が増加してしまった場合には、同時に I_{c0} も増大してしまうことを示している。

30

これは、動作マージンを広く確保することに反しているために、実際の記憶素子においては、スピンプンピング現象を抑制し、 I_{c0} の増大が起きないようにすることが肝要である。この他に I_{c0} を低減する手段としては、数1から記憶層の飽和磁化 M_s 及び体積 V を下げる事が挙げられる。

【0037】

ところで、記憶素子に記録された情報を保持するためには、記憶層の熱安定性の指標(パラメータ) τ_1 を、ある一定値以上に制御することが必要である。一般に、この熱安定性の指標 τ_1 は、60以上、より好ましくは、70以上が必要であるといわれている。

この熱安定性の指標 τ_1 は、次式で表される。

$$\tau_1 = M_s \cdot V \cdot H_c \cdot (1/2kT) \quad (1)$$

40

ここで、 k はボルツマン定数、 T は温度である。

【0038】

上記式(1)からわかるように、飽和磁化 M_s 、体積 V を下げると、熱安定性の指標 τ_1 が低下してしまう。

このように、 I_{c0} の低減と τ_1 の向上とはトレードオフの関係にあるため、両方が要求される特性を満たすように、記憶素子を構成する必要がある。

【0039】

MTJ素子やGMR素子等の磁気抵抗効果素子によって記憶素子を構成する場合には、通常、記憶層の磁化固定層の反対側には、記憶素子に電流を流すための電極層等の非磁性金属層が接続されている。

50

このような非磁性金属層としては、下部電極層、上部電極層、下地金属層や、所謂キャップ層等が挙げられる。

【0040】

このような非磁性金属層が記憶層と直接接していると、界面拡散により、非磁性金属層の構成元素が記憶層の強磁性体に拡散して、記憶層の強磁性体が本来持っている特性が劣化した、特性劣化領域を生じることがある。特に、上述した下部電極層、上部電極層、下地金属層や、所謂キャップ層等は、記憶層と比較して厚く（膜厚にして2倍～数倍程度）形成しているため、拡散する非磁性金属元素の量が多くなっている。

このように記憶層に特性劣化領域を生じると、記憶層の磁性材料としての特性が損なわれて、MR比やMs等が劣化する。

そして、このようにMR比やMs値等が劣化すると、記憶素子に記録された情報を読み出すことが難しくなったり、記憶層の熱安定性の指標が低下して、記憶素子が熱的に不安定になったりするため、記憶素子として望ましくない。

【0041】

従って、記憶層と非磁性金属層との間の拡散による特性劣化領域が、記憶層内に生じていないことが望ましい。

【0042】

種々の検討を行った結果、記憶層に対して、磁化固定層とは反対側に、スピン偏極した電子の拡散を抑制するスピンバリア層を設けて、記憶層と非磁性金属層との間をスピンバリア層で隔てることにより、前述したスピンプンピング現象を抑制させて、スピン注入効率を向上させることが可能になると共に、上述の特性劣化領域の発生を抑制して、記憶層の強磁性体の本来の特性が発揮されることを見出した。

さらには、スピンバリア層に対して、記憶層とは反対側に、スピンプンピング現象を起こす非磁性金属層からなるスピン吸収層を設けることにより、さらにIc0が減少することを見出した。

【0043】

そこで、本発明においては、記憶層に対して、磁化固定層とは反対側に、スピン偏極した電子の拡散を抑制するスピンバリア層を設け、このスピンバリア層に対して、記憶層とは反対側に、スピンプンピング現象を起こす非磁性金属層からなるスピン吸収層を設けて、記憶素子を構成する。

【0044】

また、本発明において、スピンバリア層は、酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成する。

即ち、スピンバリア層を、酸化物、窒化物、フッ化物から選ばれる1種以上の材料、もしくは、酸化物、窒化物、フッ化物から選ばれる1種以上の材料を主成分として、少量の他の元素（例えば、金属元素等）が添加された材料、によって構成する。

このように、スピンバリア層が酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成されることにより、スピンバリア層が基本的に絶縁性となっている。

【0045】

具体的には、例えば、マグネシウムやアルミニウム等の酸素や窒素との親和力が強い元素を用いた、酸化マグネシウム、酸化アルミニウム、窒化アルミニウム等が挙げられる。

また、その他にも、SiO₂、Bi₂O₃、MgF₂、ZnO、Ta₂O₅、CaF₂、SrTiO₂、AlLaO₃、Al-N-O等の各種の材料を用いることもできる。

なお、記憶層と磁化固定層との間のトンネル絶縁層と同じ材料を使用して、スピンバリア層を形成してもよい。

【0046】

このように、記憶層に対して、磁化固定層とは反対側に接するように、スピン偏極した電子の拡散を抑制するスピンバリア層を設けることにより、前述したスピンプンピング現象を抑制させて、スピン注入効率を向上させることが可能になる。

【0047】

10

20

30

40

50

さらに、基本的に絶縁性であるスピンバリア層によって、記憶層と非磁性金属層との間の拡散による特性劣化領域の発生を抑制することができるため、記憶層の強磁性体が本来持っている特性を発揮させることが可能になる。

これにより、特性劣化領域によるMR比の劣化を抑制して、読み出し出力を改善することができるので、例えば、スピン注入効率が極大値を示すような薄い記憶層を設定することも可能になる。即ち、MR比等の特性の劣化を伴わずに、スピン注入の効率を高めて、Ic0を小さくすることができる。

また、特性劣化領域の発生を抑制できることから、その分、記憶層の膜厚を薄くすることが可能になる。

【0048】

また、トンネル絶縁層の材料として、特に、酸化マグネシウム(MgO)を用いることにより、これまで一般的に用いられてきた酸化アルミニウムを用いた場合よりも、磁気抵抗変化率(MR比)を大きくすることができる。

一般に、スピン注入効率はMR比に依存し、MR比が大きいほど、スピン注入効率が向上し、磁化反転電流密度を低減することができる。

従って、中間層であるトンネル絶縁層の材料として酸化マグネシウムを用いることにより、スピン注入による書き込み閾値電流を低減することができ、少ない電流で情報の書き込み(記録)を行うことができる。また、読み出し信号強度を大きくすることができる。

これにより、MR比(TM R比)を確保して、スピン注入による書き込み閾値電流を低減することができ、少ない電流で情報の書き込み(記録)を行うことができる。また、読み出し信号強度を大きくすることができる。

【0049】

トンネル絶縁層を酸化マグネシウム(MgO)膜により形成する場合には、MgO膜が結晶化していて、001方向に結晶配向性を維持していることが望ましい。

【0050】

トンネル絶縁層に酸化マグネシウムを用いた場合に、優れたMR特性を得るためには、一般に、アニール温度を300以上、望ましくは340~380の高い温度とすることが要求される。これは、従来中間層に用いられている酸化アルミニウムの場合のアニール温度の範囲(250~280)と比較して、高温になっている。

これは、酸化マグネシウムの適正な内部構造や結晶構造を形成するためには、高い温度が必要になるからであると考えられる。

【0051】

このため、記憶素子の強磁性層にも、この高い温度のアニールに耐性を有するように、耐熱性のある強磁性材料を用いないと、優れたMR特性を得ることができないが、本発明によれば、スピンバリア層を設けることによって、記憶層を構成する強磁性層への拡散が抑制されて、記憶層の耐熱性が向上するので、340~400のアニールにも記憶層の磁気特性が劣化することがなく耐えうるようになる。

【0052】

また、記憶素子に十分な書き込み電流を流すためには、トンネル絶縁層(トンネルバリア層)の面積抵抗値を小さくする必要がある。

トンネル絶縁層の面積抵抗値は、スピン注入により記憶層の磁化の向きを反転させるために必要な電流密度を得る観点から、数十 μm^2 程度以下に制御する必要がある。

そして、MgO膜から成るトンネル絶縁層では、面積抵抗値を上述の範囲とするために、MgO膜の膜厚を1.5nm以下に設定する必要がある。

【0053】

記憶層と磁化固定層との間のトンネル絶縁層の材料には、酸化マグネシウムを用いる他にも、例えば酸化アルミニウム、窒化アルミニウム、 SiO_2 、 Bi_2O_3 、 MgF_2 、 CaF_2 、 SrTiO_2 、 AlLaO_3 、Al-N-O等の各種の絶縁体、誘電体、半導体を用いて構成することもできる。

【0054】

10

20

30

40

50

また、記憶層の磁化の向きを、小さい電流で容易に反転できるように、記憶素子を小さくすることが望ましい。好ましくは、記憶素子の面積を $0.04 \mu\text{m}^2$ 以下とする。

【0055】

記憶層は、通常、主として、Co, Fe, Ni等の強磁性材料から構成され、これら2種以上の合金を一つの層として、一層以上の積層状態で記憶層が形成される。

各強磁性層には、飽和磁化量等の磁気特性や、結晶構造（結晶質、微結晶構造、アモルファス構造）の制御のために合金元素が添加される。例えば、CoFe合金、CoFeB合金、Fe合金或いはNiFe合金を主成分として、Gd等の磁性元素や、他の元素として、B, C, N, Si, P, Al, Ta, Mo, Cr, Nb, Cu, Zr, W, V, Hf, Gd, Mn, Pdが1種或いは複数添加された材料を用いることができる。また、例えば、CoにZr, Hf, Nb, Ta, Tiから選ばれる1種類以上の元素を添加したアモルファス材料、CoMnSi, CoMnAlやCoCrFeAl等のホイスラー材料を用いることができる。

10

【0056】

なお、記憶層を構成する強磁性層にCoFeB合金を用いる場合には、磁化量と軟磁気特性の確保の観点から、記憶層の強磁性成分であるCoとFeの合計の含有比率は、60原子%以上であることが好ましい。

CoとFeの合計の含有比率が60原子%以下になると、強磁性層としての飽和磁化量、及び保磁力が得られなくなってしまう。また、一般的にCoFeの比率はCo:Feが90:10から40:60の範囲にあるときに磁気異方性分散が適当に抑制された、良好な軟磁気特性を示す。

20

【0057】

また、材料又は組成範囲の異なる複数の強磁性層を直接積層させて記憶層を構成することも可能である。また、強磁性層と軟磁性層とを積層させたり、軟磁性層を介して複数の強磁性層を積層させたりすることも可能である。このように積層させた場合でも、本発明の効果が得られる。

【0058】

さらに、本発明において、記憶層を、非磁性層を介して2層以上の強磁性層を積層した構成とすることにより、記憶層の飽和磁化Msを低減させることができ、これにより電流の閾値Ic0を低減することができる。

30

この非磁性層の材料としては、好ましくはTi, Ta, Nb, Crが挙げられ、これらの元素単体又は合金を用いることができる。

なお、同様の効果が得られるものであれば、その他どのような非磁性元素を用いても良い。例えば、Ru, Os, Re, Ir, Au, Ag, Cu, Al, Bi, Si, B, C, Pd, Pt, Zr, Hf, W, Mo等も考えられる。

【0059】

例えば、記憶層の強磁性層の主成分がCoFeBであり、非磁性層にTi, Ta, Nb, Crのうち少なくとも一種の非磁性元素を用いる場合には、好ましくは、記憶層全体に占める非磁性元素の含有量が1原子%以上20原子%以下となるように、非磁性層の膜厚を設定する。

40

含有量が少ない（非磁性層が薄い）と、飽和磁化を低減する効果が小さくなると共に、非磁性層上に強磁性層を良好な状態で成膜することが困難になる。

含有量が多い（非磁性層が厚い）と、飽和磁化は小さくなるが、記憶素子のMR比も小さくなるため読み出しが困難になる。

【0060】

これらの場合には、主として記憶層の飽和磁化Msを低下させる目的で、記憶層に非磁性元素を含有させたが、さらには、熱安定性の指標を向上させる目的で、MgO, Ta₂O₅, Al₂O₃などの酸化物を記憶層の積層構造の中に挿入することもできる。

このとき、記憶層の抵抗値が大きくなり過ぎないように、各酸化物層の厚さは、0.5nm以下であることが望ましい。

50

もちろん、飽和磁化 M_s を低下させる非磁性元素添加と、熱安定性の指標 を向上させる酸化物添加とを、同時に行うことも可能である。

【0061】

なお、非磁性層を介して2層以上の強磁性層を積層した構成とする代わりに、記憶層の強磁性体に非磁性元素を含有させる構成としても、同様に記憶層の飽和磁化 M_s を低減させることができ、これにより電流の閾値 I_{c0} を低減することができる。

このような構成の記憶層は、例えば強磁性材料と非磁性元素とを含有するターゲットを使用したり、非磁性元素をコ・スパッタにより強磁性材料に混入させたりすることにより、形成することが可能である。

この場合の非磁性元素の含有量も、積層する場合と同様に設定する。

10

【0062】

記憶層の強磁性体に非磁性元素を含有させる構成とした場合には、トンネル絶縁層と記憶層との界面付近にも非磁性元素が分布するため、これがMR比を下げる要因となる。

即ち、MR比の観点からすると、同じ含有量であれば、強磁性層と非磁性層との積層構造の方が有利である。

【0063】

スピンバリア層に対して、記憶層とは反対側に設けられるスピン吸収層には、非磁性金属材料を用いる。

仮に、このスピン吸収層が直接記憶層に接していた場合に、スピンポンピング現象によって、記憶層のギルバードのダンピング定数を増大させてしまうような材料を選んで、スピン吸収層を構成することが、本発明の特徴である。

20

スピン吸収層が記憶層と直接接している場合には、スピンポンピング現象を生ずるのであるが、 MgO 等から成るスピンバリア層によって記憶層から隔てられた場合には、スピンポンピング現象が消滅し、さらには、理由は明らかではないが、スピン吸収層を設けない場合に比べて I_{c0} が減少する。

このような材料としては、代表的なものとしてPt, Pd, Ru, Auが挙げられるが、同じ効果をもつ材料ならどのようなものを用いてもかまわない。前述した材料は、短いスピン拡散長を有するが、同様にスピン拡散長の短い材料を使用することが可能である。

【0064】

また、好ましくは、スピン吸収層の厚さを、スピン吸収層を構成する材料のスピン拡散長よりも大きくする。スピン吸収層の厚さがスピン拡散長よりも小さいと、スピンを十分に吸収しきれないため、スピン吸収層を設ける効果が小さくなる。

30

【0065】

本発明の記憶素子において、磁化固定層は、一方向の異方性を有していることが望ましく、記憶層は一軸異方性を有していることが望ましい。

【0066】

また、磁化固定層及び記憶層の膜厚は、各々1nm~40nm、及び1nm~10nmであることが好ましい。

【0067】

記憶素子のその他の構成は、スピン注入により情報を記録する記憶素子の従来公知の構成と同様とすることができる。

40

【0068】

磁化固定層は、強磁性層のみにより、或いは反強磁性層と強磁性層の反強磁性結合を利用することにより、その磁化の向きが固定された構成とする。

また、磁化固定層は、単層の強磁性層から成る構成、或いは複数層の強磁性層が非磁性層を介して積層した積層フェリ構造とする。磁化固定層を積層フェリ構造としたときには、磁化固定層の外部磁界に対する感度を低下させることができるため、外部磁界による磁化固定層の不要な磁化変動を抑制して、記憶素子を安定して動作させることができる。さらに、各強磁性層の膜厚を調整することができ、磁化固定層からの漏洩磁界を抑えることができる。

50

積層フェリ構造の磁化固定層を構成する強磁性層の材料としては、Co, CoFe, CoFeB等を用いることができる。また、非磁性層の材料としては、Ru, Re, Ir, Os等を用いることができる。

【0069】

反強磁性層の材料としては、FeMn合金、PtMn合金、PtCrMn合金、NiMn合金、IrMn合金、NiO, Fe₂O₃等の磁性体を挙げることができる。

また、これらの磁性体に、Ag, Cu, Au, Al, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Hf, Ir, W, Mo, Nb等の非磁性元素を添加して、磁気特性を調整したり、その他の結晶構造や結晶性や物質の安定性等の各種物性を調整したりすることができる。

10

【0070】

また、記憶素子の膜構成は、記憶層が磁化固定層の上側に配置される構成でも、下側に配置される構成でも全く問題はない。

【0071】

なお、記憶素子の記憶層に記録された情報を読み出す方法としては、記憶素子の記憶層に薄い絶縁膜を介して、情報の基準となる磁性層を設けて、絶縁層を介して流れる強磁性トンネル電流によって読み出してもよいし、磁気抵抗効果により読み出してもよい。

【0072】

続いて、本発明の具体的な実施の形態について説明する。

【0073】

本発明の一実施の形態として、メモリの概略構成図（斜視図）を図1に示す。

このメモリは、互いに直交する2種類のアドレス配線（例えばワード線とビット線）の交点付近に、磁化状態で情報を保持することができる記憶素子が配置されて成る。

即ち、シリコン基板等の半導体基体10の素子分離層2により分離された部分に、各メモリセルを選択するための選択用トランジスタを構成する、ドレイン領域8、ソース領域7、並びにゲート電極1が、それぞれ形成されている。このうち、ゲート電極1は、図中前後方向に延びる一方のアドレス配線（例えばワード線）を兼ねている。

ドレイン領域8は、図中左右の選択用トランジスタに共通して形成されており、このドレイン領域8には、配線9が接続されている。

20

【0074】

そして、ソース領域7と、上方に配置された、図中左右方向に延びる他方のアドレス配線（例えばビット線）6との間に、記憶素子3が配置されている。この記憶素子3は、スピン注入により磁化の向きが反転する強磁性層から成る記憶層を有する。

また、この記憶素子3は、2種類のアドレス配線1, 6の交点付近に配置されている。

この記憶素子3は、ビット線6と、ソース領域7とに、それぞれ上下のコンタクト層4を介して接続されている。

これにより、2種類のアドレス配線1, 6を通じて、記憶素子3に上下方向の電流を流して、スピン注入により記憶層の磁化の向きを反転させることができる。

30

【0075】

また、本実施の形態のメモリの記憶素子3の断面図を図2に示す。

図2に示すように、この記憶素子3は、スピン注入により磁化M1の向きが反転する強磁性層17から成る記憶層32に対して、下層に磁化固定層31を設けている。

記憶層32と磁化固定層31との間には、トンネルバリア層（トンネル絶縁層）となる絶縁層16が設けられ、記憶層32と磁化固定層31とにより、MTJ素子が構成されている。

また、磁化固定層31の下には下地層11が形成され、最上層にはキャップ層20が形成されている。

40

【0076】

さらに、磁化固定層31は、交換バイアス積層フェリ構造となっている。

具体的には、2層の強磁性層13, 15が非磁性層14を介して積層されて反強磁性結

50

合しており、強磁性層 1 3 の下に隣接して反強磁性層 1 2 が配置されて、磁化固定層 3 1 が構成されている。強磁性層 1 3 は、反強磁性層 1 2 により磁化 M 1 3 の向きが固定される。

2 層の強磁性層 1 3 , 1 5 が反強磁性結合していることにより、強磁性層 1 3 の磁化 M 1 3 が右向き、強磁性層 1 5 の磁化 M 1 5 が左向きとなっており、互いに反対向きになっている。

これにより、磁化固定層 3 1 の各強磁性層 1 3 , 1 5 から漏れる磁束が、互いに打ち消し合う。

【 0 0 7 7 】

記憶層 3 2 の強磁性層 1 7 の材料としては、特に限定はないが、鉄、ニッケル、コバルトの 1 種もしくは 2 種以上からなる合金材料を用いることができる。さらに Nb , Zr , Gd , Ta , Ti , Mo , Mn , Cu 等の遷移金属元素や Si , B , C 等の軽元素を含有させることもできる。また、例えば CoFeB / Ta / CoFeB の積層膜といったように、材料が異なる複数の膜を直接積層して、記憶層 3 2 を構成してもよい。

10

【 0 0 7 8 】

磁化固定層 3 1 の強磁性層 1 3 , 1 5 の材料としては、特に限定はないが、鉄、ニッケル、コバルトの 1 種もしくは 2 種以上からなる合金材料を用いることができる。さらに Nb , Zr , Gd , Ta , Ti , Mo , Mn , Cu 等の遷移金属元素や Si , B , C 等の軽元素を含有させることもできる。また、例えば CoFe / NiFe / CoFe の積層膜といったように、材料が異なる複数の膜を直接（非磁性層を介さずに）積層して、強磁性層 1 3 , 1 5 を構成してもよい。

20

磁化固定層 3 1 の積層フェリを構成する非磁性層 1 4 の材料としては、ルテニウム、銅、クロム、金、銀等が使用できる。

非磁性層 1 4 の膜厚は、材料によって変動するが、好ましくは、ほぼ 0 . 5 nm から 2 . 5 nm の範囲で使用する。

【 0 0 7 9 】

磁化固定層 3 1 の強磁性層 1 3 , 1 5 と記憶層 3 2 の強磁性層 1 7 の膜厚は、適宜調整することが可能であり、1 nm 以上 5 nm 以下が適当である。

【 0 0 8 0 】

本実施の形態においては、特に、記憶素子 3 の記憶層 3 2 に対して、磁化固定層 3 1 とは反対側、即ち記憶層 3 2 の上層に、スピン偏極した電子の拡散を抑制するスピンバリア層 1 8、さらにその上層にスピン吸収層 1 9 が設けられている。

30

【 0 0 8 1 】

スピンバリア層 1 8 は、酸化物、窒化物、フッ化物から選ばれる 1 種以上の材料から構成されている。

即ち、スピンバリア層 1 8 が、酸化物、窒化物、フッ化物から選ばれる 1 種以上の材料、もしくは、酸化物、窒化物、フッ化物から選ばれる 1 種以上の材料を主成分として、少量の他の元素（例えば、金属元素等）が添加された材料、によって構成されている。

【 0 0 8 2 】

このようにスピンバリア層 1 8 が設けられていることにより、記憶層 3 2 の磁化 M 1 の向きが反転する際のスピンプンピング現象が抑制される。

40

また、スピン吸収層 1 9 もしくはキャップ層 2 0 から記憶層 3 2 への金属元素の拡散が抑制される。このことにより、記憶層 3 2 の強磁性体が本来持っている特性を発揮させることができるため、記憶層 3 2 の熱安定性の指標 を大きくすることが可能になる。これにより、記憶層 3 2 の熱安定性も向上する。

【 0 0 8 3 】

また、スピンバリア層 1 8 とキャップ層 2 0 の間にスピン吸収層 1 9 が設けられていることによって、さらにスピン注入の効率が向上し、I c 0 を低減することができる。

【 0 0 8 4 】

さらに、本実施の形態において、中間層である絶縁層 1 6 を、酸化マグネシウム層とし

50

た場合には、磁気抵抗変化率（MR比）を高くすることができる。

このようにMR比を高くすることによっても、スピン注入の効率を向上して、記憶層17の磁化M1の向きを反転させるために必要な電流密度を低減することができる。

【0085】

本実施の形態の記憶素子3は、下地層11からキャップ層20までを真空装置内で連続的に形成して、その後エッチング等の加工により記憶素子3のパターンを形成することにより、製造することができる。

【0086】

上述の本実施の形態によれば、記憶層32の磁化固定層31とは反対側に、酸化物、窒化物、フッ化物から選ばれる1種以上の材料から構成された、スピンバリア層18が設けられているので、このスピンバリア層18によって、スピン偏極された電子の拡散が抑制される。これにより、記憶層32においてスピン蓄積が起こり、記憶層32の強磁性層17の磁化M1の向きが反転する際のスピンプンピング現象が抑制される。

従って、スピンプンピング現象に起因する、スピン注入効率の悪化を防いで、スピン注入効率を向上させることが可能になる。

【0087】

また、スピンバリア層18によって、キャップ層20から記憶層32への金属元素の拡散を抑制して、記憶層32の強磁性体が本来持っている特性を発揮させることができるため、記憶層32の熱安定性の指標を大きくすることが可能になる。これにより、記憶層32の熱安定性も向上する。

【0088】

記憶層32の熱安定性が向上することにより、記憶素子3に対して電流を流して情報を記録する、動作領域を拡大することが可能になり、動作のマージンを広く確保し、記憶素子3を安定して動作させることができる。

従って、安定して動作する信頼性の高いメモリを実現することができる。

【0089】

さらに、スピンバリア層18の記憶層32とは反対側にスピン吸収層19が設けられていることにより、さらにスピン注入の効率が向上し、Ic0を低減することができる。

【0090】

本実施の形態の記憶素子3によれば、スピン注入効率を向上させることが可能になるため、スピン注入によって記憶層32の磁化M1の向きを反転させるために必要な電流量を低減することができる。

従って、記憶素子3を備えたメモリにおいて、消費電力を低減することができる。

【0091】

また、図2に示した記憶素子3を備え、図1に示した構成のメモリは、メモリを製造する際に、一般の半導体MOS形成プロセスを適用できるという利点を有している。

従って、本実施の形態のメモリを、汎用メモリとして適用することが可能になる。

特に、図2に示した記憶素子3は、スピンバリア層18により記憶層32の耐熱性が向上しているため、340～400のアニールにも記憶層32の磁気特性が劣化することがなく、一般の半導体MOS形成プロセスを容易に適用することができる。

【0092】

ここで、本発明の記憶素子の構成において、具体的に各層の材料や膜厚等を選定して、特性を調べた。

実際のメモリには、図1に示したように、記憶素子以外にもスイッチング用の半導体回路等が存在するが、ここでは、記憶層の磁化反転特性を調べる目的で、記憶素子のみを形成したウェハにより検討を行った。

【0093】

(実施例)

厚さ0.575mmのシリコン基板上に、厚さ2μmの熱酸化膜を形成し、その上に図2に示した構成の記憶素子3を形成した。

10

20

30

40

50

具体的には、図2に示した構成の記憶素子3において、各層の材料及び膜厚を、下地層11を膜厚3nmのTa膜、反強磁性層12を膜厚30nmのPtMn膜、磁化固定層31を構成する強磁性層13を膜厚2.2nmのCoFe膜、強磁性層15を膜厚2nmのCoFeB膜、積層フェリ構造の磁化固定層31を構成する非磁性層14を膜厚0.8nmのRu膜、トンネル絶縁層16を膜厚0.8nmのMgO膜、記憶層32をCoFeB(1nm)/Ta(0.2nm)/CoFeB(1nm)の積層膜、スピンバリア層18を膜厚1.1nmのMgO膜、スピン吸収層19を膜厚3nmのPtもしくはPd膜、キャップ層20を膜厚5nmのTa膜と選定した。

なお、記憶層32は、CoFeB/Ta/CoFeBの積層膜であり、図1に示した1層の強磁性層17とは若干構成が異なっているが、2層のCoFeBの間に挟んだTa膜が0.2nmと薄いため、2層のCoFeBは反強磁性結合することなく、同じ向きの磁化となる。このため、図2に示した1層の強磁性層17と同様の構成とみなすことができる。

上記膜構成で、CoFeB膜の組成はCo48Fe32B20(原子%)、CoFe膜の組成はCo90Fe10(原子%)、PtMn膜の組成はPt38Mn62(原子%)とした。

【0094】

MgO膜から成るトンネル絶縁層16及びスピンバリア層18以外の各層は、DCマグネトロンスパッタ法を用いて成膜した。

MgO膜から成るトンネル絶縁層16及びスピンバリア層18は、RFマグネトロンスパッタ法を用いて成膜した。

さらに、記憶素子3の各層を成膜した後に、磁場中熱処理炉で、10kOe・340・2時間の熱処理を行い、反強磁性層12のPtMn膜の規則化熱処理を行った。

【0095】

次に、ワード線部分をフォトリソグラフィによってマスクした後に、ワード線以外の部分の積層膜に対してArプラズマにより選択エッチングを行うことにより、ワード線(下部電極)を形成した。この際に、ワード線部分以外は、基板の深さ5nmまでエッチングされた。

【0096】

その後、電子ビーム描画装置により記憶素子3のパターンのマスクを形成し、積層膜に対して選択エッチングを行い、記憶素子3を形成した。記憶素子3部分以外は、反強磁性層12の深さ10nmまでエッチングされた。

記憶素子3のパターンは、短軸70nm×長軸250nmの楕円形状とした。

【0097】

次に、記憶素子3部分以外を、厚さ100nm程度のAl₂O₃のスパッタリングによって絶縁した。

その後、フォトリソグラフィを用いて、上部電極となるビット線及び測定用のパッドを形成して、記憶素子3の試料を作製した。

【0098】

そして、上述の製造方法により、記憶素子3において、スピン吸収層19をPt膜とした試料と、スピン吸収層19をPd膜とした試料とを作製し、それぞれ、実施例1の試料と実施例2の試料とした。

【0099】

(比較例)

比較例1として、図3に断面図を示すように、図2に示した記憶素子3に対して、スピンバリア層18及びスピン吸収層19を設けない構成(記憶層32/キャップ層20)の記憶素子70の試料を、同様の製造方法によって作製した。

また、比較例2として、図4に断面図を示すように、図2に示した記憶素子3に対して、スピンバリア層18を設けない構成(記憶層32/スピン吸収層19/キャップ層20)の記憶素子80の試料を、同様の製造方法によって作製した。なお、比較例2において

10

20

30

40

50

、スピン吸収層 19 は Pt 膜とした。

さらに、比較例 3 として、図 5 に断面図を示すように、図 2 に示した記憶素子 3 に対してスピン吸収層 19 を設けない構成（記憶層 32 / スピンバリア層 18 / キャップ層 20）の記憶素子 90 の試料を、同様の製造方法によって作製した。

【0100】

（反転電流 I_{c0} と熱安定性の指標 の測定）

実施例及び比較例の各試料の記憶素子に対して、反転電流 I_{c0} と熱安定性の指標 を、以下のように測定した。

【0101】

有限温度において、スピン注入による磁化反転が起きる電流 I_c は、実は I_{c0} とは異なる。これは、記憶素子の大きさが小さくなるために、熱揺らぎの影響を無視できないからである。

一般に、電流の印加時間が 100 ns 程度以上の場合は、 $I_c < I_{c0}$ となり、 I_c が I_{c0} に比べてどの程度小さいかによって、熱安定性の指標 が決定される。

具体的には、 I_c の電流印加時間依存性を測定し、 I_c と電流印加時間の対数の関係をプロットした場合、その傾きの逆数が となる。即ち、 I_c が電流印加時間に依存しないほど、熱安定性に優れていることを示している。

【0102】

そして、 I_c の電流印加時間依存性を測定して、図 6 に模式的に示すように、 I_c と電流印加時間の対数の関係をプロットして、電流印加時間を 1 ns に外挿したときの I_c を、 I_{c0} として求めた。

実際の測定では、電流印加時間を 10 μ s から 100 ms の間で変えていき、同じ電流印加時間での測定を 3 回繰り返した。

そして、記憶素子間のばらつきを考慮するために、同一構成の記憶素子を 30 個程度作製して、 I_{c0} と の測定を行い、その平均値を算出した。

さらに、記憶素子のパターンばらつきを考慮するために、 I_{c0} を記憶層 32 の面積で割って、反転電流密度 J_{c0} を求めた。

【0103】

熱安定性の指標 及び反転電流密度 J_{c0} の測定結果を、表 1 に示す。

【0104】

【表 1】

	スピンバリア層	スピン吸収層	キャップ層	Δ	J_{c0} [MA/cm ²]
比較例1			Ta(5)	35	6.0
比較例2		Pt(3)	Ta(5)	51	13.3
比較例3	MgO(1.1)		Ta(5)	45	4.2
実施例1	MgO(1.1)	Pt(3)	Ta(5)	47	3.3
実施例2	MgO(1.1)	Pd(3)	Ta(5)	46	3.3

【0105】

まず、表 1 において、最も標準的な、スピンバリア層 18 もスピン吸収層 19 も持たない構成の比較例 1 においては、 $\Delta = 35$ 、 $J_{c0} = 6.0 \text{ MA/cm}^2$ であった。

次に、スピンバリア層 18 のみをもつ構成の比較例 3 においては、 $\Delta = 45$ 、 $J_{c0} = 4.2 \text{ MA/cm}^2$ であった。このように、スピンバリア層 18 を設けることによって、熱安定性が向上し、かつ反転電流が減少しているために、記憶素子として好適な構成であることが分かる。

逆に、スピンバリア層 18 を設けずに、Pt からなるスピン吸収層 19 を直接記憶層 32 の上層に設置した構成の比較例 2 によると、 $\Delta = 51$ 、 $J_{c0} = 13.3 \text{ MA/cm}^2$

10

20

30

40

50

であった。はさらに向上しているものの、反転電流が、標準的な構成である比較例 1 の場合の約 2 倍、スピンバリア層 1 8 を設けた構成である比較例 3 の約 3 倍まで増加してしまっている。これは、スピンプンピング現象を起こす Pt が記憶層 3 2 に直接接しているために、記憶層 3 2 のギルバートのダンピング定数が増加した結果だと考えられる。このような構成では、 I_{c0} が増大してしまうために、記憶素子に用いるには不都合である。

【0106】

一方、本発明の実施例のスピンバリア層 1 8 とスピン吸収層 1 9 の両方を備えた場合を見ると、スピン吸収層 2 1 が 3 nm の Pt 膜の実施例 1 の場合、 $\alpha = 47$ 、 $J_{c0} = 3.3 \text{ MA/cm}^2$ であり、スピン吸収層 2 1 が 3 nm の Pd 膜の実施例 2 の場合、 $\alpha = 46$ 、 $J_{c0} = 3.3 \text{ MA/cm}^2$ であった。

10

即ち、いずれの実施例においても、 α はスピンバリア層 1 8 のみが設けられている比較例 3 の場合と同等でありながら、 J_{c0} の方は約 20% の減少を達成している。実施例 1 と実施例 2 とは、有意差がなく、スピン吸収層 1 9 を Pt 膜としても Pd 膜としても同様の結果が得られた。

【0107】

以上の結果より、記憶層 3 2 に対して、スピンバリア層 1 8 及びスピン吸収層 1 9 を設けることにより、反転電流密度を低減することが可能であること、並びに、熱安定性を向上させることが可能であることが明らかになった。

【0108】

本発明では、上述の実施の形態で示した記憶素子 3 の膜構成に限らず、様々な膜構成を採用することが可能である。

20

【0109】

上述の各実施の形態では、記憶素子の磁化固定層 3 1 を交換バイアス積層フェリ構造としているが、磁化の固定が十分であるなら、単層の強磁性層でもよいし、反強磁性層 / 強磁性層の積層構造、或いは反強磁性層のない積層フェリ構造としても問題ない。

磁化固定層の各強磁性層は、単層に限らず、材料の異なる層を積層した積層膜であってもよい。

【0110】

また、各層の積層順序を、上述の各実施の形態とは逆にして、記憶素子を構成しても構わない。

30

【0111】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【図面の簡単な説明】

【0112】

【図 1】本発明の一実施の形態のメモリの概略構成図（斜視図）である。

【図 2】図 1 の記憶素子の断面図である。

【図 3】本発明に対する比較例である記憶素子の概略構成図である。

【図 4】本発明に対する別の比較例である記憶素子の概略構成図である。

【図 5】本発明に対するさらに別の比較例である記憶素子の概略構成図である。

40

【図 6】反転電流 I_{c0} と熱安定性の指標 α の測定方法を示した図である。

【図 7】スピン注入による磁化反転を利用したメモリの概略構成図（斜視図）である。

【図 8】図 7 のメモリの断面図である。

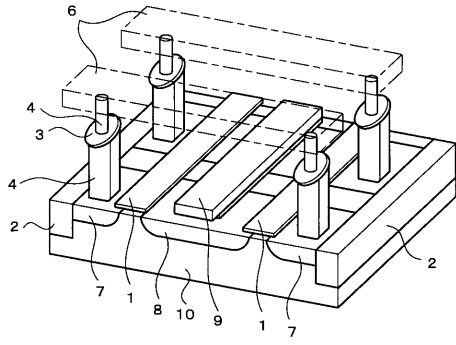
【図 9】従来の MRAM の構成を模式的に示した斜視図である。

【符号の説明】

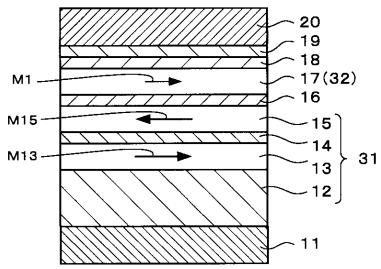
【0113】

3 記憶素子、1 1 下地層、1 2 反強磁性層、1 3, 1 5, 1 7 強磁性層、1 4 非磁性層、1 6 絶縁層（トンネル絶縁層）、1 8 スピンバリア層、1 9 スピン吸収層、2 0 キャップ層、3 1 磁化固定層、3 2 記憶層

【図1】

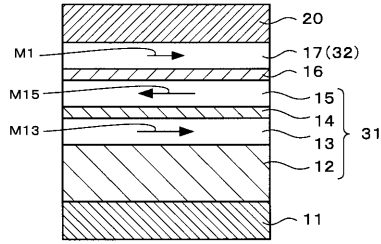


【図2】



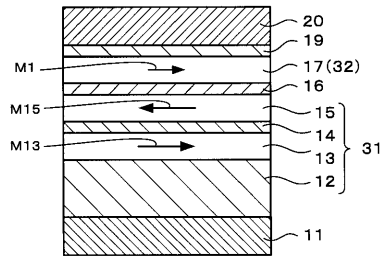
3

【図3】



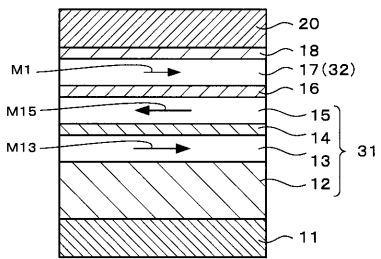
70

【図4】



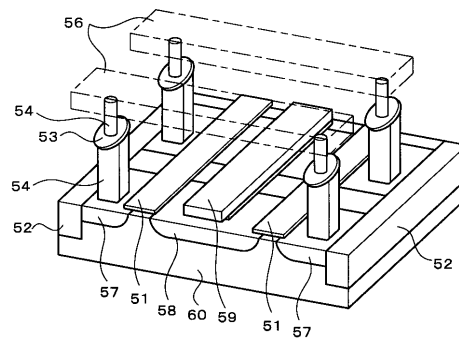
80

【図5】

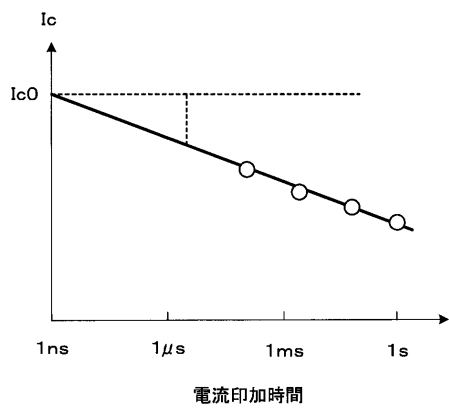


90

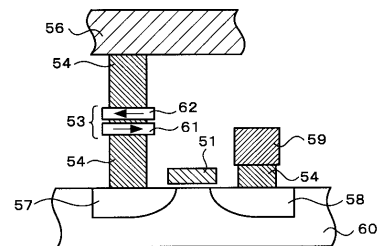
【図7】



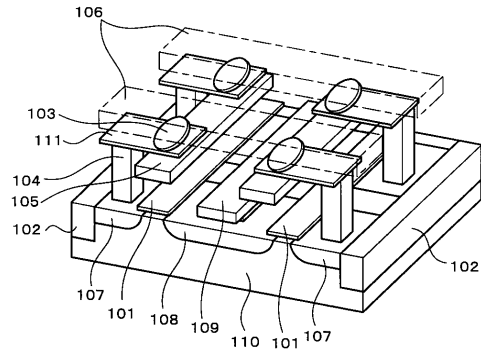
【図6】



【図8】



【 図 9 】



フロントページの続き

- (72)発明者 大森 広之
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 山元 哲也
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 山根 一陽
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 大石 雄紀
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 鹿野 博司
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 川村 裕二

- (56)参考文献 特開2001-202604(JP,A)
特開2003-281705(JP,A)
特開2006-108316(JP,A)
特開2007-281247(JP,A)
特開2006-237154(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 43/08
H01L 21/8246
H01L 27/105
H01L 29/82