

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4715801号
(P4715801)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int. Cl. F 1
G 0 6 F 1 2 / 0 6 (2 0 0 6 . 0 1) G 0 6 F 1 2 / 0 6 5 5 0 A

請求項の数 16 (全 13 頁)

<p>(21) 出願番号 特願2007-117318 (P2007-117318) (22) 出願日 平成19年4月26日 (2007.4.26) (65) 公開番号 特開2008-276391 (P2008-276391A) (43) 公開日 平成20年11月13日 (2008.11.13) 審査請求日 平成19年4月26日 (2007.4.26)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100080816 弁理士 加藤 朝道 (72) 発明者 滝澤 哲郎 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 堀江 義隆</p>
--	--

最終頁に続く

(54) 【発明の名称】 メモリアクセス制御装置

(57) 【特許請求の範囲】

【請求項1】

それぞれがメモリへのアクセス要求を行う複数のメモリマスタと、
 前記複数のメモリマスタからのアクセス要求を受けアクセス要求の調停を行うアービタと、

前記複数のメモリマスタの少なくとも一部のメモリマスタからのアクセス要求を受けアクセス要求の調停を行うサブアービタと、

前記アービタと前記サブアービタからのアクセス要求を受け、接続されるメモリへのメモリアクセスを行うメモリコントローラと、

を備え、

前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してメモリマスタが行おうとするアクセスの種類が同一の場合に、前記アービタによるメモリアクセスを中断し、前記サブアービタによるメモリアクセスを割り込ませる、ことを特徴とするメモリアクセス制御装置。

【請求項2】

それぞれがメモリへのアクセス要求を行う複数のメモリマスタと、

前記複数のメモリマスタからのアクセス要求を受けアクセス要求の調停を行うアービタと、

前記複数のメモリマスタの少なくとも一部のメモリマスタからのアクセス要求を受けアクセス要求の調停を行うサブアービタと、

前記アービタと前記サブアービタからのアクセス要求を受け、接続されるメモリへのメモリアクセスを行うメモリコントローラと、

を備え、

前記アービタにより許可され現在実行中のアクセス要求で使用するメモリのバンクと、前記サブアービタを介してメモリマスタがアクセスしようとするメモリのバンクとが異なり、且つ、

前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してメモリマスタが行おうとするアクセスの種類が同一の場合に、前記アービタによるメモリアクセスを中断し、前記サブアービタによるメモリアクセスを割り込ませる、ことを特徴とするメモリアクセス制御装置。

10

【請求項 3】

前記サブアービタは、前記複数のメモリマスタのうちメモリアクセスレイテンシを短くしたい所定のメモリマスタによるメモリアクセス要求を監視し、

前記アービタからアクセス要求よりも、前記サブアービタからのアクセス要求が優先して実行される、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

【請求項 4】

前記アービタは、前記アービタがアクセス要求を受け付けた前記メモリマスタからの 1 つのアクセス要求を複数のアクセス要求に分割し、分割後のアクセス要求のアドレスを生成するアクセス分割部を備えている、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

20

【請求項 5】

前記メモリは、単一バンク構成である、ことを特徴とする請求項 1 記載のメモリアクセス制御装置。

【請求項 6】

前記メモリは、複数バンク構成である、ことを特徴とする請求項 2 記載のメモリアクセス制御装置。

【請求項 7】

前記アービタは、前記メモリマスタからメモリアクセス要求が出ており、メモリアクセスを実行中でなければ、前記メモリマスタからのアクセス要求を実行し、

複数の前記メモリマスタからアクセス要求が出ていた場合には、予め定められた基準に従って、複数の前記メモリマスタの中から、アクセス要求を実行する前記メモリマスタを選択し、

30

前記メモリコントローラは、前記アービタが選択したアクセス要求を実行する、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

【請求項 8】

前記サブアービタは、前記アービタからのメモリアクセス要求を監視し、前記メモリが複数のバンクを有し、前記アービタが実行中のメモリアクセスが使用中の前記メモリのバンクと、前記サブアービタがアクセスしようとする前記メモリのバンクが異なり、且つ、

前記アービタが実行中のメモリアクセスの種類と、前記サブアービタが行おうとするメモリアクセスの種類が同一である、という条件を満たさない場合には、前記サブアービタはメモリアクセス要求を発行しないように制御する、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

40

【請求項 9】

前記メモリコントローラは、前記アービタ及び前記サブアービタからのアクセス要求に従って前記メモリの制御信号を生成してメモリアクセスを実行し、

前記アービタと前記サブアービタの両方からメモリアクセス要求が出ていた場合には、前記メモリコントローラは、前記サブアービタのメモリアクセス要求を優先して実行する、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

【請求項 10】

前記メモリマスタから出されたアクセス要求を前記アービタから受けた前記メモリコン

50

トローラがメモリアクセスを実行中に、前記サブアービタが複数の前記メモリマスタからのアクセス要求を受け付けたときに、前記アービタで許可されたアクセス要求であって現在実行中のメモリアクセスと、前記サブアービタが受け付けたメモリアクセスが連続して実行されてもメモリアクセス効率が低下しない条件を満たす前記メモリマスタが複数あった場合には、

前記サブアービタは、前記条件を満たす複数の前記メモリマスタの中から、予め定められた基準に従って、アクセス要求を実行する前記メモリマスタを選択し、

前記メモリコントローラは、前記サブアービタが選択したアクセス要求を実行し、

前記メモリアクセス効率が低下しない前記条件は、

前記メモリが複数のバンクを有し、前記アービタが実行中のメモリアクセスが使用中のメモリのバンクと、前記サブアービタがアクセスしようとするメモリのバンクが異なり、且つ、前記アービタが実行中のメモリアクセスの種類と、前記サブアービタが行おうとするメモリアクセスの種類が同一である、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

10

【請求項 1 1】

前記サブアービタは、

接続される 1 又は複数のメモリマスタにそれぞれ対応して、前記アービタが現在実行中のメモリマスタのアクセス内容と、前記メモリマスタが要求しているアクセス内容と比較する 1 又は複数のアクセス比較部と、

前記複数のメモリマスタから 1 つのメモリマスタを選択する調停部と、

を備え、

前記サブアービタは、前記複数のメモリマスタのうちメモリアクセスレイテンシを短くしたいメモリマスタからのアクセス要求を監視し、

1 つ以上のメモリマスタから、メモリアクセス要求が出ており、前記アービタがメモリアクセスを実行中であり、前記アービタが実行中のメモリアクセスと、前記サブアービタでアクセス要求を受け付けようとしているメモリアクセスが連続して実行されても、メモリアクセス効率が低下しない条件を満たしているか否かを、前記メモリマスタに接続されている前記アクセス比較部にて判定し、前記アクセス比較部での判定結果が真であるメモリマスタが 1 つ以上ある場合にはアクセス要求を受け付け、

20

前記メモリアクセス効率が低下しない前記条件は、

前記メモリが複数のバンクを有し、前記アービタが実行中のメモリアクセスが使用中の前記メモリのバンクと、前記サブアービタがアクセスしようとする前記メモリのバンクが異なり、且つ、前記アービタが実行中のメモリアクセスの種類と、前記サブアービタが行おうとするメモリアクセスの種類が同一である、ことを特徴とする請求項 1 又は 2 記載のメモリアクセス制御装置。

30

【請求項 1 2】

複数のマスタ装置からのアクセス要求を受けアクセス要求の調停を行うアービタと、

前記複数のマスタ装置の少なくとも一部のマスタ装置からのアクセス要求を受けアクセス要求の調停を行うサブアービタと、

前記アービタと前記サブアービタからのアクセス要求を受け、接続されるデバイスへのアクセスを行うコントローラと、

を備え、

前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してマスタ装置が行おうとするアクセスの種類が同一の場合に、前記アービタによるアクセスを中断し、前記サブアービタによるアクセスを割り込ませる、ことを特徴とするアクセス制御装置。

40

【請求項 1 3】

前記アービタにより許可され現在実行中のアクセス要求で使用されるデバイスのアクセス先と、前記サブアービタを介してマスタ装置がアクセスしようとするデバイスのアクセス先とが異なり、且つ、

50

前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してマスタ装置が行おうとするアクセスの種類が同一の場合に、前記アービタによるアクセスを中断し、前記サブアービタによるアクセスを割り込ませる、ことを特徴とする請求項 1 2 記載のアクセス制御装置。

【請求項 1 4】

前記デバイスがメモリを内蔵し、前記アクセス要求が前記メモリへのアクセス要求である、ことを特徴とする請求項 1 2 又は 1 3 記載のアクセス制御装置。

【請求項 1 5】

前記サブアービタは、前記複数のマスタ装置のうちアクセス時間を短くしたいマスタ装置によるアクセス要求を監視し、前記アービタからのアクセス要求よりも、前記サブアービタからのアクセス要求が優先して実行される、ことを特徴とする請求項 1 2 乃至 1 4 のいずれか一記載のアクセス制御装置。

10

【請求項 1 6】

前記サブアービタは、前記アービタからのメモリアクセス要求を監視し、前記メモリが複数のバンクを有し、前記アービタが実行中のメモリアクセスが使用中のメモリのバンクと、前記サブアービタがアクセスしようとするメモリのバンクが異なり、且つ、前記アービタが実行中のメモリアクセスの種類と、前記サブアービタが行おうとするメモリアクセスの種類が同一である、という条件を満たさない場合には、前記サブアービタはメモリアクセス要求を発行しないように制御する、ことを特徴とする請求項 1 4 記載のアクセス制御装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリアクセス制御装置に関し、特に、ユニファイドメモリアーキテクチャやマルチプロセッサのシステムにおいて特定のメモリマスタのメモリアクセスレイテンシを低減するメモリアクセス制御に適用して好適な装置に関する。

【背景技術】

【0002】

ユニファイドメモリアーキテクチャやマルチプロセッサのシステムでは、複数のメモリマスタが単一のメモリを共有して時分割で使用する。

30

【0003】

図 5 は、従来のメモリアクセス制御装置の構成の一例を示す図である。図 5 を参照すると、このメモリアクセス制御装置 10' において、複数のメモリマスタ 11 ~ 14 からのアクセス要求は、アービタ 20' により調停され、許可されたメモリマスタのアクセス要求がメモリコントローラ 40' を介してメモリ 50 に行われる。

【0004】

アービタ 20' による調停のタイミングは、メモリマスタからの複数のバースト長からなるアクセス要求が完了するときに行われる。このため、あるメモリマスタがメモリ 50 を使用中はそのアクセスが完了するまで他のメモリマスタはメモリ 50 を使用できない。

【0005】

40

図 6 は、従来のメモリアクセス制御装置 10' の動作の一例を説明する図である。T0 の時点で、メモリマスタ A からのメモリ 50 のバンク 0 への 8 バーストのリードアクセス要求が出され、T1 の時点でアービタ 20' からメモリコントローラ 40' に 8 バーストのメモリアクセス要求が出力される。

【0006】

T4 の時点でメモリマスタ C がメモリ 50 のバンク 1 に対して 4 バーストのリードのメモリアクセス要求を出力しても、メモリコントローラ 40' はメモリマスタ A からのメモリアクセス要求を実行中であり、メモリマスタ C からのメモリアクセス要求は処理されない。T9 の時点でメモリマスタ A からのメモリアクセスが終了し、メモリマスタ C からのメモリアクセス要求が実行される。

50

【 0 0 0 7 】

図 6 に示す例では、タイミング T 0 からメモリマスタ A のアクセス要求を処理中、タイミング T 4 でメモリマスタ C からアクセス要求があった場合、メモリマスタ C からのアクセス要求をウエイトさせ、メモリマスタ A のアクセス要求の処理（バンク 0 8 バイトバースト・リード）が終了したのち、メモリマスタ C のアクセス要求の処理（バンク 1 4 バイトバースト・リード）が行われる。

【 0 0 0 8 】

なお、特許文献 1 には、任意のバースト長のアクセス要求に対してバースト長の設定を最適化し、バースト長の更新を可及的に減少させる構成のメモリアクセス装置が開示されている。この特許文献 1 の発明は、モードレジスタの設定頻度を減少させるものである。

10

【 0 0 0 9 】

特許文献 2 には、調停手段によって調停されたメモリアクセス要求を一定長のデータをアクセスする複数のメモリアクセス命令に分割し、メモリアクセス手段に対してメモリアクセス命令を発行するアクセス分割手段を備えた構成のメモリアクセス装置が開示されている。この発明は、調停手段に入力されるメモリアクセス手段のメモリアクセス要求をアクセス分割手段で分割し、分割したメモリアクセス命令の間に CPU からのメモリアクセス要求を割り込ませるといったものである。

【 0 0 1 0 】

複数の調停回路を備えた構成としては、例えば特許文献 3 の記載が参照される。

【 0 0 1 1 】

特許文献 4 には、高優先度のポート部からのデータ転送要求が主記憶ビジーで待たされることが明らかな場合、低優先度のポート部からデータ転送要求であっても主記憶ビジーでない主記憶バンクへの要求を選択して主記憶へ送出し、入出力装置の待ち状態を回避し、効率良くデータ転送可能とした入出力制御装置が開示されている。

20

【 0 0 1 2 】

【特許文献 1】特開 2 0 0 1 - 1 3 5 0 7 9 号公報

【特許文献 2】特開 2 0 0 2 - 1 2 3 4 2 0 号公報

【特許文献 3】特開 2 0 0 5 - 3 1 6 6 0 9 号公報

【特許文献 4】特開昭 5 9 - 2 2 5 4 2 6 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【 0 0 1 3 】

図 5 及び図 6 を参照して説明したように、複数のメモリアクセス要求はアービタ 2 0 ' により調停されるが、調停のタイミングは、メモリアクセス要求の複数のバースト長からなるアクセス要求が完了するときに行われるだけであることから、あるメモリアクセス要求がメモリアクセス装置を使用中は、そのアクセスが完了するまでは、他のメモリアクセス要求はメモリアクセス装置を使用することはできない。

【 0 0 1 4 】

ユニファイドメモリアーキテクチャやマルチプロセッサのシステムでは、メモリアクセス要求がメモリアクセス装置に出してもすぐにメモリアクセスを開始できない場合があるため、メモリアクセスレイテンシを短くすることが困難である。

40

【 0 0 1 5 】

また、ユニファイドメモリアーキテクチャやマルチプロセッサのシステムでは、複数のメモリアクセス要求からのメモリアクセスが競合するため、メモリ帯域を高くすることが求められるが、そのためにはメモリアクセス効率を高くすることが必要となる。

【 0 0 1 6 】

メモリアクセス効率を高くするには、メモリアクセスの 1 回あたりのメモリアクセスのバースト長を長くすることが効果的ではあるが、これは、メモリアクセスレイテンシをさらに長くすることにつながる。

【 0 0 1 7 】

50

CPUは、メモリアクセスレイテンシが性能に大きな影響を与えるため、ユニファイドメモリアーキテクチャやマルチプロセッサのシステムでは、CPU性能を高くすることが難しい、という問題がある。

【0018】

したがって、本発明の目的は、特定のメモリスタからのアクセスのメモリアクセスレイテンシを低減することが可能なメモリアクセス制御装置を提供することにある。

【課題を解決するための手段】

【0019】

本願で開示される発明は、前記課題を解決するため概略以下の構成とされる。

【0020】

本発明における第1のAspect(側面)に係るメモリアクセス制御装置は、それぞれがメモリへのアクセス要求を行う複数のメモリスタと、複数のメモリスタからのアクセス要求を受けアクセス要求の調停を行うアービタと、前記複数のメモリスタの少なくとも一部のメモリスタからのアクセス要求を受けアクセス要求の調停を行うサブアービタと、前記アービタと前記サブアービタからのアクセス要求を受け、接続されるメモリへのメモリアクセスを行うメモリコントローラと、を備え、前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してメモリスタが行おうとするアクセスの種類が同一の場合に、前記アービタによるメモリアクセスを中断し、前記サブアービタによるメモリアクセスを割り込ませる。本発明の第1の側面において、前記メモリは単一バンク構成である。

【0021】

本発明における第2のAspect(側面)に係るメモリアクセス制御装置は、それぞれがメモリへのアクセス要求を行う複数のメモリスタと、複数のメモリスタからのアクセス要求を受けアクセス要求の調停を行うアービタと、前記複数のメモリスタの少なくとも一部のメモリスタからのアクセス要求を受けアクセス要求の調停を行うサブアービタと、前記アービタと前記サブアービタからのアクセス要求を受け、接続されるメモリへのメモリアクセスを行うメモリコントローラと、を備え、前記アービタにより許可され現在実行中のアクセス要求で使用されるメモリのバンクと、前記サブアービタを介してメモリスタがアクセスしようとするメモリのバンクとが異なり、且つ、前記アービタにより許可され現在実行中のアクセス要求の種類と、前記サブアービタを介してメモリスタが行おうとするアクセスの種類が同一の場合に、前記アービタによるメモリアクセスを中断し、前記サブアービタによるメモリアクセスを割り込ませる。

【0022】

本発明において、前記サブアービタは、メモリアクセスレイテンシを短くしたい特定のメモリスタによるメモリアクセス要求を監視し、前記アービタからのアクセス要求よりも、前記サブアービタからのアクセス要求が優先される。

【0023】

本発明において、前記アービタがアクセス要求を受け付けた前記メモリスタからの2つのアクセス要求を複数のアクセス要求に分割し、分割後のアクセス要求のアドレスを生成するアクセス分割部を備えている。

【0024】

本発明の第2の側面において、前記メモリは複数バンク構成である。

【0025】

本発明において、前記アービタは、前記メモリスタからメモリアクセス要求が出ており、メモリアクセスを実行中でなければ、前記メモリスタからのアクセス要求を実行し、複数の前記メモリスタからアクセス要求が出ていた場合には、あらかじめ定められた基準に従って、それらの中から、アクセス要求を実行する前記メモリスタを選択し、前記メモリコントローラが前記アービタが選択したアクセス要求を実行する。

【0026】

本発明において、前記メモリコントローラは、前記アービタおよび前記サブアービタか

10

20

30

40

50

らのアクセス要求に従ってメモリの制御信号を生成しメモリアクセスを実行し、前記アービタと前記サブアービタの両方からメモリアクセス要求が出ていた場合には、前記メモリコントローラは前記サブアービタのメモリアクセス要求を優先して実行する。

【0027】

本発明において、前記メモリマスタから出されたアクセス要求を前記アービタから受けた前記メモリコントローラがメモリアクセスを実行中に、前記サブアービタが複数の前記メモリマスタからのアクセス要求を受け付けたときに、前記アービタで許可されたアクセス要求であって現在実行中のメモリアクセスと、前記サブアービタが受け付けたメモリアクセスが連続して実行されてもメモリアクセス効率が低下しない条件を満たす前記メモリマスタが2つ以上あった場合には、前記サブアービタはあらかじめ定められた基準に従って、それらの中からアクセス要求を実行する前記メモリマスタを選択し、前記メモリコントローラは、前記サブアービタが選択したアクセス要求を実行する。

10

【発明の効果】

【0028】

本発明によれば、特定のメモリマスタからのアクセスのメモリアクセスレイテンシを低減することが可能なメモリアクセス制御装置を提供することができる。

【発明を実施するための最良の形態】

【0029】

上記した本発明についてさらに詳細に説述すべく添付図面を参照して説明する。本発明は、あるメモリマスタがメモリを使用中でも、メモリアクセスレイテンシを短くしたい特定のメモリマスタからメモリアクセス要求があった場合には、メモリを使用中のメモリマスタによるメモリアクセスを中断し、メモリアクセスレイテンシを短くしたい特定のメモリマスタによるメモリアクセスを割り込ませるようにする。その際、無条件に割り込みを行うとメモリアクセス効率が著しく低下するため、メモリアクセス効率を低下させない条件が整っている場合のみ、割り込みを許可するようにする。

20

【0030】

本発明においては、アービタ(20)の他に、メモリアクセスレイテンシを短くしたい特定のメモリマスタによるメモリアクセス要求を監視し、調停するサブアービタ(30)を設ける。

【0031】

アービタ(20)は、メモリマスタからの複数バースト長からなるメモリアクセスを短いアクセス単位に分割し、メモリコントローラにその短いアクセス単位毎にメモリアクセス要求を発行するアクセス分割部(22)を備えている。

30

【0032】

サブアービタ(30)は、メモリアクセスレイテンシを短くしたい特定のメモリマスタからのアクセス要求があったら、直ちにメモリコントローラ(40)に対してアクセス要求を発行する。ただし、サブアービタ(30)は、アービタ(20)からのメモリアクセス要求を監視しており、サブアービタ(30)がメモリアクセス要求を発行するとメモリアクセス効率を低下させるような場合には、メモリアクセス要求を発行しないようにする。サブアービタ(30)からのメモリアクセス要求を、アービタ(20)からのメモリアクセス要求よりも優先しておけば、アービタ(20)からのメモリアクセス要求は短い単位に分割されているため、サブアービタ(30)からのメモリアクセス要求は、すぐに(少ない待ち時間で)実行されることになる。これにより、特定のメモリマスタによるメモリアクセスレイテンシを短くすることができる。以下、具体的な実施例に即して説明する。

40

【実施例】

【0033】

図1は、本発明の第1の実施例の構成を示す図である。メモリアクセス制御装置10と、複数のバンクを持つメモリ50を備え、メモリアクセス制御装置10は、メモリマスタA(11)、B(12)と、メモリアクセスレイテンシを短くしたいメモリマスタC(1

50

3)、D(14)と、アービタ20とサブアービタ30とメモリコントローラ40と、を備えている。

【0034】

図2は、図1のアービタ20の構成の一例を示す図である。図2を参照すると、本実施例において、アービタ20は、複数のメモリマスタ11~14から一つのメモリマスタを選択する調停部21と、メモリマスタからのアクセス要求が複数のバースト長からなる場合に、短いバースト長に分割するアクセス分割部22と、を備えている。

【0035】

図3は、図1のサブアービタ30の構成の一例を示す図である。図3を参照すると、本実施例において、サブアービタ30は、接続されるメモリマスタ毎に、アービタ20が現在実行中のメモリマスタのアクセス内容と、該メモリマスタが要求しているアクセス内容を比較するアクセス比較部31、32、33、34と、複数のメモリマスタから一つのメモリマスタを選択する調停部35と、メモリマスタからのアクセス要求が複数のバースト長からなる場合に短いバースト長に分割するアクセス分割部36と、を備えている。

10

【0036】

本実施例の動作を以下に説明する。メモリマスタ11~14は、それぞれメモリアクセス要求を、アービタ20に対して発行する。

【0037】

アービタ20は、複数のメモリマスタ11~14からのアクセス要求を監視し、1つ以上のメモリマスタからメモリアクセス要求が出ており、メモリアクセスを実行中でなければ、メモリマスタからのアクセス要求を受け付ける。その際、複数のメモリマスタからアクセス要求が出ていた場合は、調停部21は、ある一定の条件に従って、アクセス要求を発行している複数のメモリマスタのうちの1つのメモリマスタからのアクセス要求を受け付ける。ここで、一定の条件とは、例えば、固定の優先順位やラウンドロビン方式などがある。

20

【0038】

アービタ20は、さらに、要求を受け付けたメモリマスタから複数のバースト長からなるアクセス要求が出ていた場合には、アクセス分割部22により、複数の短いアクセス単位に分割する。本発明において、短い単位は、任意の長さであるが、メモリの最低アクセス単位が望ましい。

30

【0039】

例えば、アクセス分割部22が、2バースト単位に分割するとした場合、メモリマスタからの8バーストのアクセス要求は、4つの2バーストのアクセス要求に分割される。この場合、メモリマスタは、4回の2バーストのアクセス要求を、メモリコントローラ40に対して発行する。その際、分割後の個々のアクセス要求のアドレスは、アクセス分割部22が生成する。

【0040】

サブアービタ30は、

(a) 複数のメモリアクセスレイテンシを短くしたいメモリマスタからの要求を監視し

40

(b) 1つ以上のメモリマスタから、メモリアクセス要求が出ており、

(c) アービタ20がメモリアクセスを実行中であり、

(d) アービタ20が実行中のメモリアクセスと、サブアービタ30でアクセス要求を受け付けようとしているメモリアクセスが連続して実行されても、メモリアクセス効率が低下しない条件を満たしているか否かを、各メモリマスタに接続されているアクセス比較部31~34で判定し、

(e) アクセス比較部31~34での判定結果が真であるメモリマスタが1つ以上ある場合には、アクセス要求を受け付ける、

という一連の制御動作を行う。

【0041】

50

複数のメモリマスタからアクセス要求が出ており、複数のメモリマスタに接続されたアクセス比較部の出力結果が真であった場合は、調停部 35 がある一定の条件に従ってそれらのうちの 1 つのメモリマスタからのアクセス要求を受け付ける。一定の条件とは、例えば、固定の優先順位やラウンドロビン方式などがある。

【0042】

サブアービタ 30 は、アクセス要求を受け付けたら、ただちにメモリコントローラ 40 に対してアクセス要求を発行する。

【0043】

要求を受け付けたメモリマスタから複数のバースト長からなるアクセス要求が出ていた場合には、アクセス分割部 36 により、複数の短いアクセス単位に分割する。ただし、サブアービタ 30 のアクセス分割部 36 は省略してもよい。すなわち、サブアービタ 30 で受け付けたアクセス要求は短い単位に分割しなくてもよい。

10

【0044】

アクセス比較部 31 ~ 34 で判定するメモリアクセス効率が低下しない条件とは、

(A) 複数のバンクからなるメモリが接続されている場合は、アービタ 20 が実行中のメモリアクセスが使用中のメモリのバンクと、サブアービタ 30 がアクセスしようとするメモリのバンクが異なり、且つ、

(B) アービタ 20 が実行中のメモリアクセスの種類、リードまたはライトと、サブアービタ 30 が行おうとするメモリアクセスの種類が同一の場合である。

【0045】

20

例えばバンク 0、1、2、3 の 4 つのバンクからなるメモリが接続されているときに、アービタ 20 が実行中のメモリアクセスがメモリのバンク 0 に対するものであった場合、サブアービタ 30 は、メモリのバンク 0 に対するメモリアクセス要求は受け付けず、バンク 1、2、3 へのメモリアクセス要求のみを受け付ける。

【0046】

また、アービタ 20 が実行中のメモリアクセスがリードであった場合、サブアービタ 30 は、リードのアクセス要求のみを受け付け、ライトのメモリアクセス要求は受け付けない。

【0047】

単一のバンクからなるメモリが接続されている場合は、アービタ 20 が実行中のメモリアクセスの種類、リードまたはライトと、サブアービタ 30 が行おうとするメモリアクセスの種類が同一である場合が、メモリアクセス効率が低下しない条件となる。

30

【0048】

メモリコントローラ 40 は、アービタ 20 およびサブアービタ 30 からのアクセス要求を受け付け、それに従って、メモリ 50 の制御信号を生成し、メモリアクセスを実行する。

【0049】

メモリコントローラ 40 は、アービタ 20 とサブアービタ 30 の両方から、メモリアクセス要求が出ていた場合には、サブアービタ 30 のメモリアクセス要求を優先して実行する。

40

【0050】

次に、図 4 を用いて、本実施例の具体的な動作例を説明する。T0 の時点で、メモリマスタ A がメモリ 50 のバンク 0 に対して 8 バーストのリードのメモリアクセス要求を出した場合、アービタ 20 は、その時点でメモリアクセスを実行中ではないので、ただちに、メモリマスタ A からのメモリアクセス要求を受け付け、4 回の 2 バーストのリードアクセスに分割し、T1 の時点で、メモリコントローラ 40 に対して最初の 2 バーストのアクセス要求を出力する。

【0051】

T3 の時点で、最初の 2 バーストのリードアクセスが終了し、2 回目の 2 バーストのリードアクセス要求を出力する。

50

【 0 0 5 2 】

T 4 の時点で、メモリマスタ C がメモリのバンク 1 に対して、4 バーストのリードのメモリアクセス要求を出した場合、サブアービタ 3 0 は、アービタ 2 0 が現在実行中のアクセスと比較し、異なるバンクへのアクセスで同じ種類のアクセスであることから、T 5 の時点で、メモリコントローラ 4 0 に対して、4 バーストのリードアクセス要求を出力する。

【 0 0 5 3 】

本実施例では、サブアービタ 3 0 で受け付けたメモリアクセス要求は、短い単位に分割していない。

【 0 0 5 4 】

同時に、アービタ 2 0 からは 3 回目のアクセス要求が出ているが、メモリコントローラは、サブアービタ 3 0 からのメモリアクセス要求を優先して、バンク 1 への 4 バーストのリードアクセスを実行する。

【 0 0 5 5 】

T 9 の時点で、サブアービタ 3 0 からのメモリアクセスが終了し、アービタ 2 0 からの 3 回目のメモリアクセス要求を受け付け、実行する。

【 0 0 5 6 】

T 1 1 の時点で 3 回目のリードアクセスが終了し、最後のリードアクセス要求を出力する。T 1 3 の時点ですべてのアクセスは終了する。

【 0 0 5 7 】

本実施例によれば、図 4 に示すように、T 9 の時点でメモリマスタ C からのメモリアクセスが終了するのに対して、従来技術の説明で参照した図 6 では、T 1 3 の時点となっている。

【 0 0 5 8 】

本実施例のメモリアクセス制御装置では、メモリマスタ C のメモリアクセスレイテンシが削減されていることがわかる。

【 0 0 5 9 】

本発明によれば、ユニファイドメモリアーキテクチャやマルチプロセッサのシステムにおいて、特定のメモリマスタからのメモリアクセスレイテンシを短くすることができるとともに、システム全体のメモリアクセス効率を高く保つことが可能となる。

【 0 0 6 0 】

なお、上記の特許文献、非特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 本発明の一実施例の構成を示す図である。

【 図 2 】 本発明の一実施例のアービタの構成を示す図である。

【 図 3 】 本発明の一実施例のサブアービタの構成を示す図である。

【 図 4 】 本発明の一実施例におけるメモリアクセスシーケンスの一例を示す図である。

【 図 5 】 従来システムの構成を示す図である。

【 図 6 】 従来システムにおけるメモリアクセスシーケンスを示す図である。

【 符号の説明 】

【 0 0 6 2 】

1 0、1 0' メモリアクセス制御装置

1 1 メモリマスタ A

1 2 メモリマスタ B

10

20

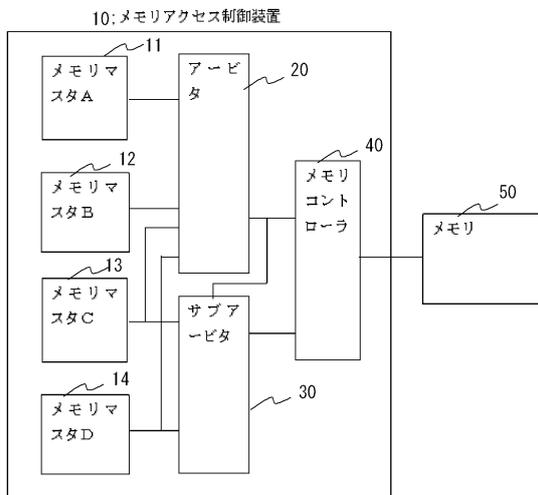
30

40

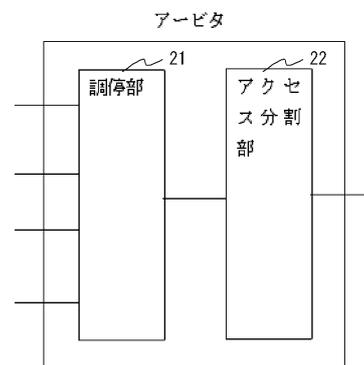
50

- 1 3 メモリマスタC
- 1 4 メモリマスタD
- 2 0、2 0' アービタ
- 2 1 調停部
- 2 2 アクセス分割部
- 3 0 サブアービタ
- 3 1 アクセス比較部
- 3 2 アクセス比較部
- 3 3 アクセス比較部
- 3 4 アクセス比較部
- 3 5 調停部
- 3 6 アクセス分割部
- 4 0、4 0' メモリコントローラ
- 5 0 メモリ

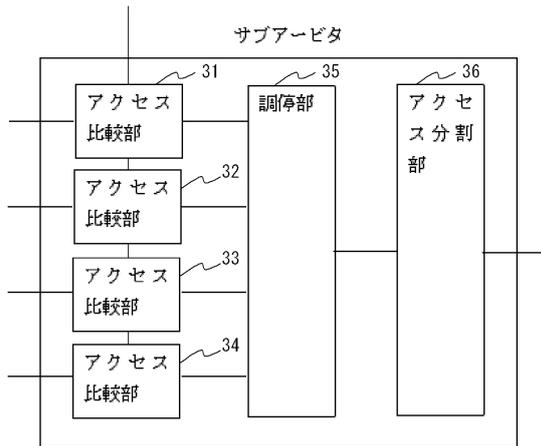
【図1】



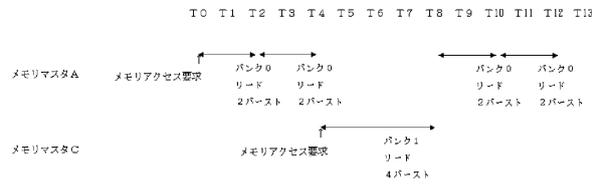
【図2】



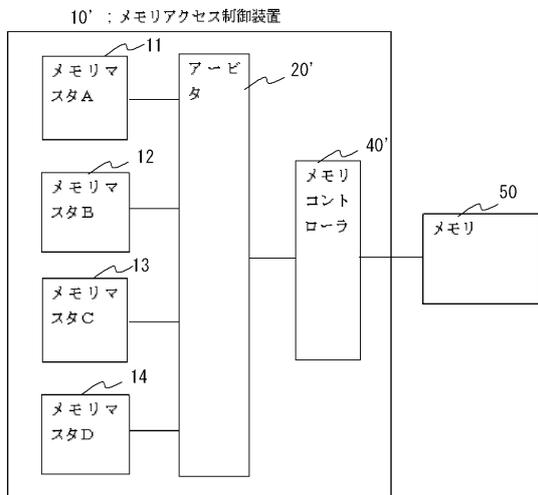
【図3】



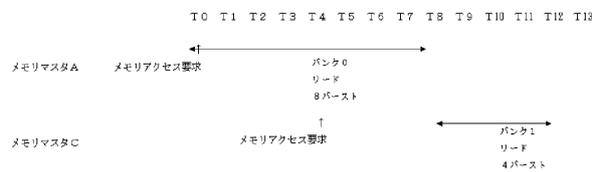
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2001-175530(JP,A)
特開2004-102452(JP,A)
特開2003-30042(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00
G06F 12/06
G06F 13/18
G06F 13/24
G06F 13/26
G06F 13/362