(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0022292
(43) 공개일자 2009년03월04일

(51) Int. Cl.
G11C 29/04 (2006.01)
(21) 출원번호 10-2007-0087518
(22) 출원일자 2007년08월30일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
박복규
경기 화성시 진안동 869-1 405호
이상재
경기 성남시 분당구 정자동 한솔마을청구아파트 103-1901
윤재윤
서울 종로구 무악동 45번지 무악현대아파트 110-503
(74) 대리인
박상수

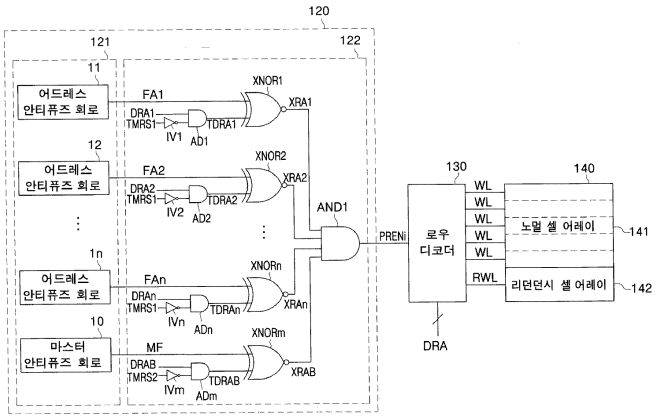
전체 청구항 수 : 총 13 항

(54) 안티퓨즈를 구비하는 반도체 메모리 장치

(57) 요 약

본 발명은 안티퓨즈를 구비하는 반도체 메모리 장치를 공개한다. 본 발명에 따른 반도체 메모리 장치는 안티퓨즈의 프로그램 상태에 따라 각각 어드레스 퓨즈 신호를 출력하는 n개의 어드레스 안티퓨즈 회로를 각각 구비하는 퓨즈 박스, 상기 안티퓨즈의 초기 결함을 확인하기 위한 제1 테스트 신호와 외부에서 인가되는 어드레스 신호의 1 비트를 조합하여 테스트 어드레스를 각각 생성하고, 상기 테스트 어드레스와 n개의 어드레스 안티퓨즈 회로 중 대응하는 어드레스 안티퓨즈 회로에서 인가되는 상기 어드레스 퓨즈 신호를 비교하여 어드레스 비교 신호를 각각 생성하는 n개의 어드레스 비교 신호 생성부를 구비하는 어드레스 비교부, 및 상기 n개의 어드레스 비교 신호에 응답하여 리던던시 인에이블 신호를 활성화하는 리던던시 인에이블 신호 생성부를 구비하는 적어도 하나의 리페어 회로를 구비하는 것을 특징으로 한다. 따라서, 안티퓨즈의 초기 결함 여부를 확인 할 수 있을 뿐만 아니라 프로그래밍이 정상적으로 수행되었는지를 디지털 값으로 확인할 수 있으므로, 불량 안티퓨즈 판별이 용이하며 테스트 시간을 줄일 수 있다.

대 표 도



특허청구의 범위

청구항 1

안티퓨즈의 프로그램 상태에 따라 각각 어드레스 퓨즈 신호를 출력하는 n개의 어드레스 안티퓨즈 회로를 각각 구비하는 퓨즈 박스;

상기 안티퓨즈의 초기 결함을 확인하기 위한 제1 테스트 신호와 외부에서 인가되는 어드레스 신호의 1 비트를 조합하여 테스트 어드레스를 각각 생성하고, 상기 테스트 어드레스와 n개의 어드레스 안티퓨즈 회로 중 대응하는 어드레스 안티퓨즈 회로에서 인가되는 상기 어드레스 퓨즈 신호를 비교하여 어드레스 비교 신호를 각각 생성하는 n개의 어드레스 비교 신호 생성부를 구비하는 어드레스 비교부; 및

상기 n개의 어드레스 비교 신호에 응답하여 리던던시 인에이블 신호를 활성화하는 리던던시 인에이블 신호 생성부를 구비하는

적어도 하나의 리페어 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1 항에 있어서, 상기 퓨즈 박스는

안티퓨즈의 프로그램 상태에 따라 상기 퓨즈 박스의 사용 여부를 결정하는 마스터 퓨즈 신호를 출력하는 마스터 안티퓨즈 회로를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2 항에 있어서, 상기 어드레스 비교부는

상기 어드레스 안티퓨즈 회로가 정상적으로 프로그래밍 되었는지를 확인하기 위한 제2 테스트 신호와 상기 퓨즈 박스가 대응하는 블록 어드레스를 조합하여 테스트 블록 어드레스를 생성하고, 상기 테스트 블록 어드레스와 상기 마스터 퓨즈 신호를 비교하여 블록 어드레스 비교 신호를 생성하는 블록 어드레스 비교 신호 생성부를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제3 항에 있어서, 상기 리던던시 인에이블 신호 생성부는

상기 n개의 어드레스 비교 신호와 상기 블록 어드레스 비교 신호에 응답하여 상기 리던던시 인에이블 신호를 활성화하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4 항에 있어서, 상기 어드레스 비교 신호 생성부는

상기 제1 테스트 신호를 반전하는 제1 인버터;

상기 제1 인버터의 출력 신호와 상기 어드레스 신호의 1 비트를 논리곱하여 상기 테스트 어드레스를 출력하는 제1 AND 게이트; 및

상기 테스트 어드레스와 상기 어드레스 퓨즈 신호를 배타적 부정 논리합하여 상기 어드레스 비교 신호를 출력하는 제1 XNOR 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제5 항에 있어서, 상기 블록 어드레스 비교 신호 생성부는

상기 제2 테스트 신호를 반전하는 제2 인버터;

상기 제2 인버터의 출력 신호와 상기 블록 어드레스 신호를 논리곱하여 상기 테스트 블록 어드레스를 출력하는 제2 AND 게이트; 및

상기 테스트 블록 어드레스와 상기 블록 어드레스 퓨즈 신호를 배타적 부정 논리합하여 상기 블록 어드레스 비교 신호를 출력하는 제2 XNOR 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제4 항에 있어서, 상기 제1 및 제2 테스트 신호는

모드 레지스터 셋 신호에 응답하여 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제4 항에 있어서, 상기 반도체 메모리 장치는

상기 리던던시 인에이블 신호를 데이터 핀 또는 별도의 테스트 핀을 통해 외부로 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제4 항에 있어서, 상기 반도체 메모리 장치는

복수개의 상기 리던던시 인에이블 신호 중 하나라도 활성화되면, 노멀 어드레스 디스에이블 신호를 활성화하는 노멀 어드레스 디스에이블 신호 발생 회로를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제9 항에 있어서, 상기 노멀 어드레스 디스에이블 신호 발생 회로는

제1 전원과 제1 노드 사이에 연결되고, 액티브 명령을 게이트로 인가받는 제1 PMOS 트랜지스터;

제2 전원과 상기 제1 노드 사이에 병렬로 연결되고, 게이트로 복수개의 리던던시 인에이블 신호 중 대응하는 리던던시 인에이블 신호를 인가받는 복수개의 제2 NMOS 트랜지스터; 및

상기 제1 노드의 신호를 반전하고, 래치하여 상기 노멀 어드레스 디스에이블 신호를 출력하는 래치부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

제9 항에 있어서, 상기 반도체 메모리 장치는

복수개의 워드 라인과 복수개의 비트 라인 사이에 각각 연결된 복수개의 메모리 셀을 구비하는 복수개의 블록을 구비하는 노멀 셀 어레이와 복수개의 리던던시 워드 라인과 복수개의 리던던시 비트 라인 사이에 각각 연결되는 리던던시 메모리 셀을 구비하는 리던던시 셀 어레이를 구비하는 메모리 셀 어레이;

상기 노멀 어드레스 디스에이블 신호에 응답하여 상기 노멀 셀 어레이 또는 상기 리던던시 셀 어레이를 선택하며, 상기 어드레스와 상기 블록 어드레스에 응답하여 상기 메모리 셀을 선택하거나, 상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 메모리 셀을 선택하는 디코더부;

상기 디코더부에 의해 선택되는 메모리 셀 또는 리던던시 메모리 셀의 데이터를 감지 증폭하여 출력하는 입출력 센스 앰프;

상기 제2 테스트 신호에 응답하여 상기 노멀 어드레스 디스에이블 신호 또는 상기 데이터를 선택하여 출력하는 멀티플렉서; 및

상기 멀티플렉서에서 출력되는 상기 노멀 어드레스 디스에이블 신호 또는 상기 데이터를 데이터 핀 또는 테스트 핀을 통해 외부로 출력하는 데이터 입출력부를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제11 항에 있어서, 상기 디코더부는

상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 워드 라인을 활성화하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제11 항에 있어서, 상기 디코더부는

상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 비트 라인을 활성화하는 것을 특징으로 하는 반도체 메모리 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 안티퓨즈를 구비하는 반도체 메모리 장치에 관한 것이다.

배 경 기 술

<2> 반도체 장치, 특히 메모리 장치는 제조 시에 수많은 메모리 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 메모리 셀에만 결함이 발생하였는데도 불구하고 메모리 장치 전체를 불량품으로 폐기하는 것은 생산성 측면에서 비효율적이다. 따라서 현재는 메모리 소자 내에 미리 제조해 둔 리던던시 셀(redundancy cell)을 이용하여 불량 메모리 셀을 대체함으로써, 전체 소자를 되살려 주는 방식으로 수율(yield)을 향상시키고 비용을 절감하고 있다.

<3> 리던던시 셀을 이용한 리페어 작업은 일정 메모리 셀 어레이(memory cell array)마다 리던던시 로우(redundancy Row)와 리던던시 칼럼(redundancy column)을 미리 제조해둠으로서, 결함이 발생된 불량 메모리 셀이 존재하는 메모리 셀의 로우 또는 칼럼을 리던던시 로우 또는 리던던시 칼럼으로 대체하는 방식이다. 예를 들어, 웨이퍼 가공 완료 후 테스트를 통해 불량 메모리 셀이 발견되면, 불량 메모리 셀에 대한 어드레스를 리던던시 셀의 어드레스로 바꾸어 주는 프로그램 동작을 내부회로에서 수행하게 된다. 따라서 반도체 메모리 장치의 실제 사용 시에 불량 라인에 해당하는 어드레스 신호가 입력되면 이 불량 라인을 액세스하는 대신에 리던던시 라인을 액세스하도록 하는 것이다.

<4> 통상적인 리페어 작업은 퓨즈(fuse)를 많이 이용한다. 그러나 퓨즈를 이용하여 반도체 소자를 리페어하는 방식은 웨이퍼 상태에서 리페어를 하기 때문에, 패키지까지 완료된 상태에서 불량 셀이 존재하는 것으로 판명된 경우에는 적용할 수 없는 한계가 존재한다. 따라서 이러한 한계를 극복할 필요가 있는데, 퓨즈 방식의 한계를 극복하기 위한 것으로 개발된 것이 안티퓨즈(Antifuse) 방식이다.

<5> 안티퓨즈는 패키지 단계에서도 간단하게 결함 구제를 위한 프로그램을 할 수 있다. 일반적으로 안티퓨즈 소자는 퓨즈 소자와 반대되는 전기적 특성을 갖는다. 즉, 안티퓨즈는 일반적으로 저항성 퓨즈 소자로써, 프로그램 되지 않은 상태에서는 높은 저항(예를 들면, 100MΩ)을 가지며 프로그램 동작 이후에는 낮은 저항(예를 들면, 100KΩ 이하)을 가지게 된다. 안티퓨즈 소자는 일반적으로 이산화규소(SiO2), 실리콘 나이트라이드(silicon nitride), 탄탈륨 옥사이드(tantalum oxide) 또는 ONO(silicon dioxide - silicon nitride - silicon dioxide)와 같은 유전체가 두 개의 도전체 사이에 끼어 있는 복합체 등과 같은 매우 얇은 유전체 물질로 구성된다. 안티퓨즈의 프로그램 동작은 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압(예를 들면 10V)을 인가하여 양 도전체 사이의 유전체를 파괴하는 방식으로 프로그래밍한다. 따라서, 안티퓨즈가 프로그램되면 안티퓨즈의 양 단의 도전체가 단락되어 저항은 작은 값이 된다. 따라서 안티퓨즈의 기본 상태는 전기적으로 오픈 상태이며, 고전압이 인가되어 프로그래밍 되면 전기적으로 단락 상태이다.

<6> 도1 은 안티퓨즈 회로(1)의 일예를 나타내는 도면이다. 안티퓨즈 회로(1)는 NMOS 트랜지스터(N1)를 스위치부로 하여 스위치부의 양단에서 퓨즈를 구비한 일단을 퓨즈부, 그리고 타단을 래치부로 구분할 수 있다.

<7> 스위치부의 NMOS 트랜지스터(N1)는 파워 업 신호(PRECH)에 응답하여 퓨즈 노드(Node1)와 래치 노드(Node2)사이를 스위칭 한다. 파워 업 신호(PRECH)는 전원 전압(Vcc)을 이용하여 생성되는 신호이다. 파워 업 신호(PRECH)는 전원인가 초기에 전원 전압(Vcc)이 상승함에 따라 상승하다가 전원 전압(Vcc)이 일정 레벨에 도달하여 유지되면 소정 시간 동안만 전원 전압(Vcc)과 동일하게 일정하게 유지된다. 따라서 전원 전압(Vcc)이 인가되면 파워 업 신호(PRECH)가 상승하여 일정 레벨로 소정 시간동안 유지됨에 따라 래치 노드(Node2)에서 퓨즈 노드(Node1)로 전류가 흐를 수 있게 된다.

<8> 퓨즈부에는 프로그램 모드 선택 신호(SEL)와 어드레스 신호(ADDR)가 인가된다. 반도체 메모리 장치는 테스트를 통하여 불량 메모리 셀이 확인한 후 리페어 작업을 하기 위하여 프로그램 모드 선택 신호(SEL)를 활성화 한다. 프로그램 모드 선택 신호(SEL)는 복수개의 안티퓨즈 회로(1)에 동시에 인가되어 복수개의 안티퓨즈 회로(1)가 프로그래밍 동작을 수행할 수 있도록 한다. 프로그램 모드 선택 신호(SEL)는 프로그래밍 동작을 수행하고자 하는 경우에 모드 레지스터 셋(MRS) 신호에 의해 설정될 수 있다. 한편으로 반도체 메모리 장치는 테스트에서 확인된 불량 메모리 셀에 대해 대체하고자 하는 안티퓨즈 회로(1)의 어드레스 신호(ADDR)를 활성화한다. 즉 프로그램 모드 선택 신호(SEL)는 프로그래밍 동작 시에 활성화되어 모든 안티퓨즈 회로(1)에 인가되고, 어드레스 신호(ADDR)는 복수개의 안티퓨즈 회로(1)중에서 프로그래밍 하고자하는 안티퓨즈 회로만이 선택될 수 있도록 선택적으로 활성화 된다. 여기서는 활성화되는 신호가 논리 "하이"레벨을 갖는 것으로 가정한다.

<9> 안티퓨즈 회로(1)를 프로그래밍 하는 경우, NAND 게이트(NAND1)는 "하이"레벨의 프로그래밍 모드 선택 신호(SEL)와 어드레스 신호(ADDR)에 응답하여 "로우"레벨의 신호를 출력하고, 이 신호는 다시 인버터(INV1)를 거쳐 "하이"레벨의 신호를 NMOS 트랜지스터(N2)의 게이트 단자로 인가한다. NMOS 트랜지스터(N2)는 "하이"레벨의 신호에 응답하여 턴-온(turn on)된다.

<10> 도1 에서는 고전압을 인가받는 패드(PAD)에 1개의 안티퓨즈 회로(1)가 연결되어 있는 것으로 도시되어 있으나, 일반적으로는 패드(PAD)에는 복수개의 안티퓨즈 회로(1)가 연결되어 있다. 패드(PAD)로 고전압이 인가되면, 패드(PAD)와 연결된 모든 안티퓨즈(AnFuse)의 일단에는 고전압이 인가된다. 그리고 프로그램모드 선택 신호(SEL)와 어드레스 신호(ADDR)에 의하여 NMOS 트랜지스터(N2)가 턴-온 되어있고, NMOS 트랜지스터(N3)는 승압 전압(Vpp)이 게이트 단자에 인가되어 항시 온 되어 있으므로, A노드(NodeA)가 접지 전압(Vss) 레벨로 된다. 그 결과, 안티퓨즈(AnFUSE)의 양단에 높은 전압이 가해져서 안티퓨즈(AnFUSE)가 프로그래밍 된다.

<11> 안티퓨즈 회로(1)를 프로그래밍 하지 않는 경우, NAND 게이트(NAND1)는 "하이"레벨의 프로그래밍 모드 선택 신호(SEL)와 "로우"레벨의 어드레스 신호(ADDR)에 응답하여 "하이"레벨의 신호를 출력하고, 이 신호는 다시 인버터(INV1)를 거쳐 "로우"레벨의 신호를 NMOS 트랜지스터(N2)의 게이트 단자로 인가한다. NMOS 트랜지스터(N2)는 "로우"레벨의 신호에 응답하여 턴-오프(turn off)된다.

<12> 안티퓨즈 회로(1)의 NMOS 트랜지스터(N2)가 오프 되어 있으므로 안티퓨즈(AnFUSE)의 양단에 가해지는 전압은 높지 않다. 따라서 안티퓨즈(AnFUSE)는 프로그래밍 되지 않는다.

<13> 그리고 패드(PAD)에는 프로그래밍 동작 시에 고전압이 인가되고, 프로그래밍 동작을 하지 않는 경우에는 접지 전압(Vss)이 인가된다. 여기서, 퓨즈 노드(Node1)와 A노드(NodeA) 사이에 연결된 NMOS 트랜지스터(N3)는 프로그래밍 시에 패드(PAD)로 고전압이 인가되더라도 각각의 안티퓨즈 회로(1)를 구성하는 트랜지스터들의 게이트 산화막이 손상되는 것을 방지하는 역할을 한다.

<14> 안티퓨즈(AnFUSE)가 프로그램 된 안티퓨즈 회로(1)의 동작을 설명하면, 래치부는 전원 전압(Vcc)을 이용하여 래치 노드(Node2)를 프리차지하고 래치 노드(Node2)의 전압을 래치한다. 래치부는 먼저 전원인가 초기에 전원 전압(Vcc)이 상승함에 따라 래치 노드(Node2)를 프리차지한다. 이 때 전원 안정화 신호(VCCH)는 전원 전압(Vcc)이 상승하는 동안 "로우"레벨로 유지되다가 전원 전압(Vcc)이 일정 레벨에 도달하여 유지되면 "하이"레벨로 천이한다. 전원 인가 초기에 전원 안정화 신호(VCCH)가 "로우"레벨이므로 PMOS 트랜지스터(P1) 및 PMOS 트랜지스터(P2)를 통하여 전류 경로가 형성된다. 또한, 스위칭신호(PRECH)가 전원 전압(Vcc)이 상승함에 따라 상승하므로 PMOS 트랜지스터(P1), PMOS 트랜지스터(P2) 및 NMOS 트랜지스터(N1)를 통하여 전류가 퓨즈 노드(Node1)로 흐르게 된다. NMOS 트랜지스터(N3)의 게이트단자가 승압 전압(Vpp)에 연결되므로 전류가 안티퓨즈(AnFUSE)로 흐르게 된다.

<15> 안티퓨즈(AnFUSE)가 프로그래밍 되어 있어 저항값이 작으므로, 퓨즈 노드(Node1)를 통한 전류는 안티퓨즈(AnFUSE)를 거쳐서 패드(PAD)로 흐르고 퓨즈 노드(Node1)의 전압은 소정의 레벨 이상으로 올라가지 않는다. NMOS 트랜지스터(N1)가 스위칭 신호(PRECH)에 의하여 퓨즈 노드(Node1)와 래치 노드(Node2)를 연결하므로 퓨즈 노드(Node1)의 전압에 따라 래치 노드(Node2)의 전압이 하강하게 된다. 전원 안정화 신호(VCCH)는 전원 전압(Vcc)이 안정되면 "하이"레벨이 되므로 PMOS 트랜지스터(P2)는 오프되고, NMOS 트랜지스터(N4)는 온이 된다. 래치 노드(Node2)의 전압이 하강하므로 인버터(INV2)는 "하이"레벨의 신호를 출력하게 되고, 따라서 NMOS 트랜지스터(N5)가 온 되고 PMOS 트랜지스터(P3)는 오프가 되어 래치 노드(Node2)의 전압을 "로우"레벨로 안정시킨다. 이때 NMOS 트랜지스터(N4)가 온 되어 있으므로 인버터(INV2)와 PMOS 트랜지스터(P3) 및 NMOS 트랜지스터(N5)가 래치 회로를 구성하는 것으로 볼 수 있다. 따라서 안티퓨즈(AnFUSE)가 프로그램 된 안티퓨즈 회로(1)는 "하이"

레벨의 퓨즈 신호(FA)를 출력한다.

<16> 안티퓨즈(AnFUSE)가 프로그램 되지 않은 경우, 안티퓨즈(AnFUSE)는 프로그래밍 되어 있지 않아 저항값이 크므로 퓨즈 노드(Node1)를 통한 전류가 안티퓨즈(AnFUSE)를 거쳐서 패드(PAD)로 흐르지 못한다. 따라서 퓨즈 노드(Node1)의 전압이 상승한다. NMOS 트랜지스터(N1)가 스위칭 신호(PRECH)에 의하여 퓨즈 노드(Node1)와 래치 노드(Node2)를 연결하므로 래치 노드(Node2)의 전압이 상승하게 된다. 전원 안정화 신호(VCCH)는 전원 전압(Vcc)이 안정되면 "하이"레벨이 되므로 PMOS 트랜지스터(P2)는 오프 되고 NMOS 트랜지스터(N4)는 온이 된다. 래치 노드(Node2)의 전압이 상승하므로 인버터(INV2)는 "로우"레벨의 신호를 출력하게 되고, 따라서 NMOS 트랜지스터(N5)가 오프 되고 PMOS 트랜지스터(P3)는 온 되어 래치 노드(Node2)의 전압을 "하이"레벨로 안정시킨다. 따라서 안티퓨즈(AnFUSE)가 프로그램 되지 않은 안티퓨즈 회로(1)는 "로우"레벨의 퓨즈 신호(FA)를 출력한다.

<17> 도2 는 종래의 리페어 회로를 나타내는 블록도이다. 리페어 회로(20)는 리던던시 셀 어레이(42)에 구비된 리던던시 로우에 각각 대응하는 복수개의 퓨즈 박스(21)와 복수개의 리던던시 활성화부(22)를 구비한다. 복수개의 퓨즈 박스(21)는 기본 셀 어레이(41)의 복수개의 블록에 각각 대응하며, 각각의 블록에 대응하는 퓨즈 박스(21)의 개수는 각 블록에서 불량 메모리 셀이 존재하는 메모리 셀의 로우 또는 칼럼을 대체할 수 있는 리던던시 로우 또는 리던던시 칼럼의 개수이다.

<18> 각각의 퓨즈 박스(21)는 마스터 안티퓨즈 회로(10)와 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)를 구비한다. 마스터 안티퓨즈 회로(10)는 퓨즈 박스(21)의 사용 여부를 결정하는 회로이다. 그리고 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)는 불량 메모리 셀에 대한 어드레스에 대응하여 안티퓨즈가 프로그램 되어, 불량 메모리 셀의 어드레스를 지정하는 회로이다.

<19> 마스터 안티퓨즈 회로(10)와 어드레스 안티퓨즈 회로(11 ~ 1n)는 모두 도1 의 안티퓨즈 회로(1)의 구성을 갖는다. 반도체 메모리 장치는 일반적으로 외부에서 인가되는 로우 어드레스를 디코딩하여, 디코딩된 로우 블록 어드레스(DRAB)와 디코딩된 로우 어드레스(DRA1 ~ DRAn)를 출력하는 로우 프리 디코더(미도시)를 구비한다. 마스터 안티퓨즈 회로(10)는 어드레스(ADDR)로서 디코딩된 로우 블록 어드레스(DRAB)를 인가받으며, 어드레스 안티퓨즈 회로(11 ~ 1n)는 어드레스(ADDR)로서 불량 메모리 셀에 대응하는 디코딩된 로우 어드레스(DRA1 ~ DRAn)의 1 비트를 인가받는다. 따라서 마스터 안티퓨즈 회로(10)는 불량 메모리 셀을 리던던시 메모리 셀로 대체하고자 하는 경우에 해당 퓨즈 박스(21)를 활성화하기 위해 사용되고, 퓨즈 박스(21)를 활성화할 때 마스터 안티퓨즈 회로(10)의 안티퓨즈가 프로그램 되어 '하이'레벨의 마스터 퓨즈 신호(MF)를 출력한다. 그리고 복수개의 안티퓨즈 회로(11 ~ 1n)는 불량 메모리 셀에 대한 디코딩된 로우 어드레스(DRA1 ~ DRAn)의 각 비트에 대응하여 안티퓨즈가 프로그램되며, 프로그램된 어드레스 안티퓨즈 회로(11 ~ 1n)는 '하이'레벨의 어드레스 퓨즈 신호(FA1 ~ FAn)를 출력하고, 프로그램 되지 않은 어드레스 안티퓨즈 회로(11 ~ 1n)는 '로우'레벨의 어드레스 퓨즈 신호(FA1 ~ FAn)를 출력한다. 따라서 마스터 퓨즈 신호(MF)는 대응하는 블록에 불량 메모리 셀이 존재하므로 불량 메모리 셀이 존재하는 메모리 셀의 로우를 리던던시 로우로 대체해야함을 나타내는 신호이며, 어드레스 퓨즈 신호(FA1 ~ FAn)는 불량 메모리 셀의 로우 어드레스를 나타내는 신호이다.

<20> 리던던시 활성화부(22)는 퓨즈 박스(21)에서 인가되는 어드레스 퓨즈 신호(FA1 ~ FAn) 각각을 디코딩된 로우 어드레스의 각 비트(DRA1 ~ DRAn)와 비교하여 일치하는지 판단한다. 어드레스 퓨즈 신호(FA1 ~ FAn) 각각과 대응하는 디코딩된 로우 어드레스의 각 비트(DRA1 ~ DRAn)가 일치하면 복수개의 XNOR 게이트(XNOR1 ~ XNORn)는 각각 '하이'레벨의 어드레스 비교 신호(PRA1 ~ PRAn)를 출력하게 되고, 일치하지 않으면 '로우'레벨의 어드레스 비교 신호(PRA1 ~ PRAn)를 출력한다. AND 게이트(AND1)는 복수개의 어드레스 비교 신호(PRA1 ~ PRAn)와 마스터 퓨즈 신호(MF)를 논리곱하여 리던던시 인에이블 신호(PRENi)를 출력한다. 따라서 마스터 퓨즈 신호(MF)가 '하이'레벨이고, 어드레스 퓨즈 신호(FA1 ~ FAn) 각각과 대응하는 디코딩된 로우 어드레스의 각 비트(RA1 ~ RAn)가 모두 일치하는 경우에만 리던던시 인에이블 신호(PRENi)가 '하이'레벨로 활성화 된다.

<21> 로우 디코더(30)는 리던던시 인에이블 신호(PRENi)가 활성화 되어 있지 않으면, 디코딩된 로우 어드레스(DRA)를 디코딩하여 메모리 셀 어레이(40)의 노멀 셀 어레이(41)의 로우를 선택하기 위한 워드 라인(WL)을 활성화한다. 그리고 리던던시 인에이블 신호(PRENi)가 활성화 되어 있으면, 리던던시 인에이블 신호(PRENi)를 디코딩하여 메모리 셀 어레이(40)의 리던던시 셀 어레이(42)의 리던던시 로우를 선택하기 위한 리던던시 워드 라인(RWL)을 활성화한다. 즉 불량 메모리 셀이 존재하는 로우를 리던던시 로우로 대체한다. 도2 에서는 불량 메모리 셀이 존재하는 로우를 리던던시 로우로 대체하는 것으로 설명하였으나, 불량 메모리 셀이 존재하는 칼럼을 리던던시 칼럼으로 대체할 수 있음은 자명하다.

<22> 상기한 바와 같이 안티퓨즈는 리페어 회로에 사용되며, 안티퓨즈는 웨이퍼 레벨뿐 만 아니라 패키지 레벨에서도

프로그래밍 가능하고, 프로그래밍 되지 않았을 때 오픈 상태를 유지하므로 안정성이 뛰어난 장점이 있다. 그러나 안티퓨즈가 제조상의 문제나 정전기나 이상 전원 전압 등으로 인한 초기 결함으로 프로그래밍 하지 않았음에도 단락이 될 수도 있다. 안티퓨즈가 단락되어 있는 상태에서 안티퓨즈를 프로그래밍하기 위하여 고전압을 인가하게 되면 반도체 메모리 장치의 내부 회로에 손상을 줄 수 있다. 또한 안티퓨즈에 결함이 있으면 리페어 작업을 수행 후에도 반도체 메모리 장치는 불량품으로 처리되므로, 비용과 시간적인 손실이 발생한다. 그리고 안티퓨즈가 초기 결함이 없더라도 리페어 작업이 정상적으로 수행되었는지 확인하기 위하여 안티퓨즈의 상태를 확인할 필요가 있다.

<23> 도1 에 도시된 안티퓨즈 회로(1)에서 안티퓨즈(AnFUSE)의 상태를 확인하기 위하여 종래에는 패드(PAD)로 전원전압(Vcc)을 인가하고 NMOS 트랜지스터(N2)를 통해 흐르는 전류량을 측정하였다. 즉 안티퓨즈(AnFUSE)가 단락되어 있으면 NMOS 트랜지스터(N2)를 통해 흐르는 전류량이 많고, 안티퓨즈(AnFUSE)가 오픈되어 있으면 전류량이 적으므로 안티퓨즈(AnFUSE)의 상태를 확인 할 수 있다. 그러나 상기한 안티퓨즈(AnFUSE)의 상태 확인 방법은 공정상의 문제로 인하여 NMOS 트랜지스터(N2)의 산포(dispersion)가 크거나 누설 전류(leakage current)가 많은 경우에 정확한 측정이 어렵다. 특히 반도체 메모리 장치가 많은 안티퓨즈 회로(1)를 구비하는 경우에는 더욱 측정하기 어려우며, 측정 시간이 많이 소요된다.

발명의 내용

해결 하고자하는 과제

<24> 본 발명의 목적은 초기 안티퓨즈의 결함 유무 및 정상적인 리페어 작업 수행 여부를 용이하게 판별할 수 있는 안티퓨즈를 구비하는 반도체 메모리 장치를 제공하는데 있다.

과제 해결수단

<25> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 안티퓨즈의 프로그램 상태에 따라 각각 어드레스 퓨즈 신호를 출력하는 n개의 어드레스 안티퓨즈 회로를 각각 구비하는 퓨즈 박스, 상기 안티퓨즈의 초기 결함을 확인하기 위한 제1 테스트 신호와 외부에서 인가되는 어드레스 신호의 1 비트를 조합하여 테스트 어드레스를 각각 생성하고, 상기 테스트 어드레스와 n개의 어드레스 안티퓨즈 회로 중 대응하는 어드레스 안티퓨즈 회로에서 인가되는 상기 어드레스 퓨즈 신호를 비교하여 어드레스 비교 신호를 각각 생성하는 n개의 어드레스 비교 신호 생성부를 구비하는 어드레스 비교부, 및 상기 n개의 어드레스 비교 신호에 응답하여 리던던시 인에이블 신호를 활성화하는 리던던시 인에이블 신호 생성부를 구비하는 적어도 하나의 리페어 회로를 구비하는 것을 특징으로 한다.

<26> 상기 목적을 달성하기 위한 본 발명의 퓨즈 박스는 안티퓨즈의 프로그램 상태에 따라 상기 퓨즈 박스의 사용 여부를 결정하는 마스터 퓨즈 신호를 출력하는 마스터 안티퓨즈 회로를 추가로 더 구비하는 것을 특징으로 한다.

<27> 상기 목적을 달성하기 위한 본 발명의 어드레스 비교부는 상기 어드레스 안티퓨즈 회로가 정상적으로 프로그래밍 되었는지를 확인하기 위한 제2 테스트 신호와 상기 퓨즈 박스가 대응하는 블록 어드레스를 조합하여 테스트 블록 어드레스를 생성하고, 상기 테스트 블록 어드레스와 상기 마스터 퓨즈 신호를 비교하여 블록 어드레스 비교 신호를 생성하는 블록 어드레스 비교 신호 생성부를 추가로 더 구비하는 것을 특징으로 한다.

<28> 상기 목적을 달성하기 위한 본 발명의 리던던시 인에이블 신호 생성부는 상기 n개의 어드레스 비교 신호와 상기 블록 어드레스 비교 신호에 응답하여 상기 리던던시 인에이블 신호를 활성화하는 것을 특징으로 한다.

<29> 상기 목적을 달성하기 위한 본 발명의 어드레스 비교 신호 생성부는

<30> 상기 제1 테스트 신호를 반전하는 제1 인버터, 상기 제1 인버터의 출력 신호와 상기 어드레스 신호의 1 비트를 논리곱하여 상기 테스트 어드레스를 출력하는 제1 AND 게이트, 및 상기 테스트 어드레스와 상기 어드레스 퓨즈 신호를 배타적 부정 논리합하여 상기 어드레스 비교 신호를 출력하는 제1 XNOR 게이트를 구비하는 것을 특징으로 한다.

<31> 상기 목적을 달성하기 위한 본 발명의 블록 어드레스 비교 신호 생성부는 상기 제2 테스트 신호를 반전하는 제2 인버터, 상기 제2 인버터의 출력 신호와 상기 블록 어드레스 신호를 논리곱하여 상기 테스트 블록 어드레스를 출력하는 제2 AND 게이트, 및 상기 테스트 블록 어드레스와 상기 블록 어드레스 퓨즈 신호를 배타적 부정 논리합하여 상기 블록 어드레스 비교 신호를 출력하는 제2 XNOR 게이트를 구비하는 것을 특징으로 한다.

<32> 상기 목적을 달성하기 위한 본 발명의 리던던시 인에이블 신호 생성부는 상기 n개의 어드레스 비교 신호와 상기 블록 어드레스 비교 신호를 논리곱하여 상기 리던던시 인에이블 신호를 출력하는 제3 AND 게이트를 구비하는 것을 특징으로 한다.

<33> 상기 목적을 달성하기 위한 본 발명의 제1 및 제2 테스트 신호는 모드 레지스터 셋 신호에 응답하여 활성화 되는 것을 특징으로 한다.

<34> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는

<35> 상기 리던던시 인에이블 신호를 데이터 핀 또는 별도의 테스트 핀을 통해 외부로 출력하는 것을 특징으로 한다.

<36> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 복수개의 상기 리던던시 인에이블 신호 중 하나라도 활성화되면, 노멀 어드레스 디스에이블 신호를 활성화하는 노멀 어드레스 디스에이블 신호 발생 회로를 추가로 더 구비하는 것을 특징으로 한다.

<37> 상기 목적을 달성하기 위한 본 발명의 노멀 어드레스 디스에이블 신호 발생 회로는 제1 전원과 제1 노드 사이에 연결되고, 액티브 명령을 게이트로 인가받는 제1 PMOS 트랜지스터, 제2 전원과 상기 제1 노드 사이에 병렬로 연결되고, 게이트로 복수개의 리던던시 인에이블 신호 중 대응하는 리던던시 인에이블 신호를 인가받는 복수개의 제2 NMOS 트랜지스터, 및 상기 제1 노드의 신호를 반전하고, 래치하여 상기 노멀 어드레스 디스에이블 신호를 출력하는 래치부를 구비하는 것을 특징으로 한다.

<38> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 복수개의 워드 라인과 복수개의 비트 라인 사이에 각각 연결된 복수개의 메모리 셀을 구비하는 복수개의 블록을 구비하는 노멀 셀 어레이와 복수개의 리던던시 워드 라인과 복수개의 리던던시 비트 라인 사이에 각각 연결되는 리던던시 메모리 셀을 구비하는 리던던시 셀 어레이를 구비하는 메모리 셀 어레이, 상기 노멀 어드레스 디스에이블 신호에 응답하여 상기 노멀 셀 어레이 또는 상기 리던던시 셀 어레이를 선택하며, 상기 어드레스와 상기 블록 어드레스에 응답하여 상기 메모리 셀을 선택하거나, 상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 메모리 셀을 선택하는 디코더부, 상기 디코더부에 의해 선택되는 메모리 셀 또는 리던던시 메모리 셀의 데이터를 감지 증폭하여 출력하는 입출력 센스 앰프, 상기 제2 테스트 신호에 응답하여 상기 노멀 어드레스 디스에이블 신호 또는 상기 데이터를 선택하여 출력하는 멀티플렉서, 및 상기 멀티플렉서에서 출력되는 상기 노멀 어드레스 디스에이블 신호 또는 상기 데이터를 데이터 핀 또는 테스트 핀을 통해 외부로 출력하는 데이터 입출력부를 추가로 더 구비하는 것을 특징으로 한다.

<39> 상기 목적을 달성하기 위한 본 발명의 디코더부는 상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 워드 라인을 활성화하는 것을 특징으로 한다.

<40> 상기 목적을 달성하기 위한 본 발명의 디코더부는 상기 리던던시 인에이블 신호에 응답하여 상기 리던던시 비트 라인을 활성화하는 것을 특징으로 한다.

효 과

<41> 따라서, 본 발명의 반도체 메모리 장치는 안티퓨즈의 초기 결함 여부를 확인 할 수 있을 뿐만 아니라 프로그래밍이 정상적으로 수행되었는지를 디지털 값으로 확인할 수 있으므로, 불량 안티퓨즈 판별이 용이하며 테스트 시간을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

<42> 이하, 첨부한 도면을 참고로 하여 안티퓨즈를 구비하는 반도체 메모리 장치를 설명하면 다음과 같다.

<43> 반도체 메모리 장치에서 안티퓨즈의 초기 결함 유무와 리페어 작업이 정상적으로 수행되었는지 판단하기 위해서는 안티퓨즈를 프로그래밍 하기 전에 안티퓨즈의 결함 유무를 검사해야한다. 안티퓨즈의 초기 결함이 없으면, 어드레스 안티퓨즈 회로를 프로그래밍하여 정상적으로 프로그래밍 되었는지 판단한다. 어드레스 안티퓨즈 회로가 정상적으로 프로그래밍 되었으면, 마스터 안티퓨즈 회로를 프로그래밍하고, 최종적으로 리페어 작업이 정상적으로 완료되었는지 확인한다. 반도체 메모리 장치의 수율을 높이고, 불필요한 작업을 줄이기 위해 어드레스 안티퓨즈가 정상적으로 프로그래밍 되지 않은 경우에 마스터 안티퓨즈를 프로그래밍하지 않아야 한다. 따라서 어드레스 안티퓨즈가 정상적으로 프로그래밍 되었는지 확인 후에 마스터 안티퓨즈를 프로그래밍한다.

<44> 도3 은 본 발명의 리페어 회로를 나타내는 블록도이다. 도3 의 리페어 회로(120)는 리던던시 셀 어레이(142)에 구비된 리던던시 로우에 각각 대응하는 복수개의 퓨즈 박스(121)와 복수개의 리던던시 활성화부(122)를 구비한

다. 그러나 설명의 편의를 위하여 도3 에서는 도2 에서와 같이 각각 1개씩의 퓨즈 박스(121)와 리던던시 활성화부(122)를 도시하였다.

<45> 퓨즈 박스(121)는 도2 의 퓨즈 박스(21)와 동일하다. 즉 복수개의 퓨즈 박스(121) 각각은 마스터 안티퓨즈 회로(10)와 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)를 구비한다. 마스터 안티퓨즈 회로(10)는 퓨즈 박스(21)의 사용 여부를 결정하며, 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)는 불량 메모리 셀에 대한 어드레스에 대응하여 안티퓨즈가 프로그램 되어 불량 메모리 셀의 어드레스를 지정한다.

<46> 마스터 안티퓨즈 회로(10)는 디코딩된 로우 블록 어드레스(DRAB)를 인가받고, 어드레스 안티퓨즈(11 ~ 1n)는 각각 불량 메모리 셀에 대응하는 디코딩된 로우 어드레스(DRA1 ~ DRAn)의 1비트를 인가받는다. 마스터 안티퓨즈 회로(10)는 노멀 셀 어레이(141)의 대응하는 블록에 존재하는 불량 메모리 셀을 리던던시 메모리 셀로 대체하고자 하는 경우에 안티퓨즈를 프로그램하여 해당 퓨즈 박스(121)의 사용 여부를 나타내는 마스터 퓨즈 신호(MF)를 출력한다. 그리고 복수개의 어드레스 안티퓨즈(11 ~ 1n)는 불량 메모리 셀에 대한 디코딩된 로우 어드레스의 1비트를 각각 지정하는 어드레스 퓨즈 신호(FA1 ~ FAn)를 출력한다.

<47> 도3 에서 리던던시 활성화부(122)는 도2 의 리던던시 활성화부(22)와 달리 복수개의 어드레스 퓨즈 신호(FA1 ~ FAn) 각각을 디코딩된 로우 어드레스의 각 비트(DRA1 ~ DRAn)와 직접 비교하지 않는다.

<48> 복수개의 인버터(IV1 ~ IVn)는 제1 테스트 신호(TMRS1)를 인가받아 반전하여 출력한다. 제1 테스트 신호(TMRS1)는 프로그램 모드 선택 신호(SEL)와 유사하게 모드 레지스터 셋(MRS) 신호에 의해 설정되는 신호로서 본 발명에서는 마스터 안티퓨즈 회로(10)와 어드레스 안티퓨즈 회로(11 ~ 1n)에 구비된 안티퓨즈의 초기 결함 유무를 판단하기 위한 테스트 신호이다. 복수개의 AND 게이트(AD1 ~ ADn)는 각각 디코딩된 로우 어드레스의 각 비트(DRA1 ~ DRAn)와 복수개의 인버터(IV1 ~ IVn)의 출력을 각각 논리곱하여 복수개의 테스트 어드레스(TDRA1 ~ TDRAn)를 출력한다. 그리고 복수개의 XNOR 게이트(XNOR1 ~ XNORn)는 복수개의 어드레스 퓨즈 신호(FA1 ~ FAn)와 복수개의 테스트 어드레스(TDRA1 ~ TDRAn)를 각각 비교하여 일치하는지 판단한다. 어드레스 퓨즈 신호(FA1 ~ FAn) 각각과 복수개의 테스트 어드레스(TDRA1 ~ TDRAn)가 각각이 일치하면 복수개의 XNOR 게이트(XNOR1 ~ XNORn)는 각각 '하이'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)를 출력하게 되고, 일치하지 않으면 '로우'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)를 출력한다.

<49> 인버터(IVm)는 제2 테스트 신호(TMRS2)를 인가받아 반전하여 출력한다. 제2 테스트 신호(TMRS2) 또한 모드 레지스터 셋(MRS) 신호에 의해 설정되는 신호이지만, 제1 테스트 신호(TMRS1)와는 달리 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 되었는지 여부를 판단하기 위한 테스트 신호이다. AND 게이트(ADm)는 디코딩된 로우 블록 어드레스(DRAB)와 인버터(IVm)의 출력을 논리곱하여, 테스트 블록 어드레스(TDRAB)를 출력한다. XNOR 게이트(XNORm)는 마스터 퓨즈 신호(MF)와 테스트 블록 어드레스(TDRAB)를 비교하여 일치하는지 판단한다. 마스터 퓨즈 신호(MF)와 테스트 블록 어드레스(TDRAB)가 일치하면 XNOR 게이트(XNORm)는 '하이'레벨의 블록 어드레스 비교 신호(XRAB)를 출력하게 되고, 일치하지 않으면 '로우'레벨의 블록 어드레스 비교 신호(XRAB)를 출력한다. AND 게이트(AND1)는 복수개의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)를 논리곱하여, 리던던시 인에이블 신호(PRENi)를 출력한다.

<50> 로우 디코더(130) 및 메모리 셀 어레이(140)는 도2 의 로우 디코더(30) 및 메모리 셀 어레이(40)와 동일하다.

<51> 도3 을 참고로 하여 본 발명의 리페어 회로의 동작을 설명하면, 먼저 마스터 안티퓨즈 회로(10) 및 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)에 구비된 안티퓨즈의 초기 결함 유무를 판단하기 위하여 제1 테스트 신호(TMRS1)와 제2 테스트 신호(TMRS2)를 '하이'레벨로 활성화 한다. 안티퓨즈의 초기 결함 유무를 판단하기 위한 테스트이므로 모든 안티퓨즈는 프로그래밍되어 있지 않으므로, 마스터 퓨즈 신호(MF) 및 어드레스 퓨즈 신호(FA1 ~ FAn)는 모두 '로우'레벨로 출력되어야 정상이다. 제1 테스트 신호(TMRS1)가 '하이'레벨이므로 복수개의 인버터(IV1 ~ IVn)는 각각 '로우'레벨의 신호를 출력하고, 복수개의 인버터(IV1 ~ IVn)의 출력 신호를 인가받는 복수개의 AND 게이트(AD1 ~ ADn)는 모두 '로우'레벨의 테스트 어드레스(TDRA1 ~ TDRAn)를 출력한다. 그리고 AND 게이트(ADm)도 '하이'레벨의 제2 테스트 신호(TMRS2)를 인버터(IVm)에서 반전한 '로우'레벨의 신호를 인가받으므로, '로우'레벨의 테스트 블록 어드레스(TDRAB)를 출력한다. 즉 복수개의 AND 게이트(AD1 ~ ADn, ADm)는 모두 '로우'레벨의 신호를 출력한다. 상기한 바와 같이 마스터 퓨즈 신호(MF) 및 어드레스 퓨즈 신호(FA1 ~ FAn)는 모두 '로우'레벨로 출력되어야 정상이며, 복수개의 AND 게이트(AD1 ~ ADn, ADm)가 모두 '로우'레벨의 신호를 출력하므로, 안티퓨즈의 초기 결함이 없는 경우에 복수개의 XNOR 게이트(XNOR1 ~ XNORn, XNORm)는 모두 '하이'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)를 출력한다. AND 게이트(AND1)는 복수개의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)에 응답하여 '하이'레벨의 리던던시 인

에이블 신호(PRENi)를 출력한다.

<52> 그러나 마스터 안티퓨즈 회로(10)와 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)에 초기 결함이 있는 안티퓨즈가 있으면, 초기 결함이 있는 안티퓨즈를 구비한 마스터 안티퓨즈 회로(10) 또는 어드레스 안티퓨즈 회로(11 ~ 1n)는 '하이'레벨의 마스터 퓨즈 신호(MF) 또는 어드레스 퓨즈 신호(FA1 ~ FAn)를 출력하게 되므로, '하이'레벨의 마스터 퓨즈 신호(MF) 또는 어드레스 퓨즈 신호(FA1 ~ FAn)를 인가받는 XNOR 게이트(XNOR1 ~ XNORn, XNORm)는 '로우'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)를 출력하게 된다. 따라서 AND 게이트(AND1)는 복수개의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)에 응답하여 '로우'레벨의 리던던시 인에이블 신호(PRENi)를 출력한다.

<53> 즉 퓨즈 박스(121)에 구비되는 복수개의 안티퓨즈에 결함이 없으면, 리던던시 인에이블 신호(PRENi)는 '하이'레벨로 활성화되고, 로우 디코더(130)는 리던던시 셀 어레이(142)에서 대응하는 리던던시 로우를 활성화한다. 그러나 퓨즈 박스(121)에 구비되는 복수개의 안티퓨즈 중에서 하나라도 결함이 있으면, 리던던시 인에이블 신호(PRENi)는 '로우'레벨로 비활성화되므로 로우 디코더(130)는 디코딩된 로우 어드레스(DRA)에 응답하여 노멀 셀 어레이(141)에서 대응하는 로우를 활성화한다.

<54> 테스트를 위하여 노멀 셀 어레이(141)의 모든 메모리 셀에는 1 또는 0 의 데이터를 저장하고, 리던던시 셀 어레이(142)의 모든 메모리 셀에는 노멀 셀 어레이(141)에 저장되는 데이터와 상반되는 데이터를 저장하면, 반도체 메모리 장치의 외부로 출력되는 데이터의 값으로서 현재 출력되는 데이터가 노멀 셀 어레이(141)의 메모리 셀에 저장된 데이터인지 리던던시 셀 어레이(142)의 메모리 셀에 저장된 데이터인지 판단할 수 있다. 따라서 노멀 셀 어레이(141)의 메모리 셀에 1 의 데이터가 저장되고, 리던던시 셀 어레이(142)의 메모리 셀에 0 의 데이터가 저장되어 있는 경우, 0 의 데이터가 출력되면 안티퓨즈에 결함이 없는 것이며, 1 의 데이터가 출력되면 현재 활성화된 퓨즈 박스(121)에 구비된 안티퓨즈에 결함이 있는 것임을 판단할 수 있다.

<55> 안티퓨즈의 초기 결함이 없으면, 각종 테스트를 통하여 반도체 메모리 장치의 불량 메모리 셀의 어드레스를 확인한다. 그리고 확인된 불량 메모리 셀이 있는 블록에 대응하는 퓨즈 박스의 어드레스 안티퓨즈 회로를 프로그래밍하여 정상적으로 프로그래밍 되었는지 판단해야한다. 어드레스 안티퓨즈 회로가 정상적으로 프로그래밍 되었는지 판단하기 위해서는 제1 테스트 신호(TMRS1)를 '로우'레벨로 비활성화하고, 제2 테스트 신호(TMRS2)를 '하이'레벨로 활성화 한다.

<56> 제1 테스트 신호(TMRS1)가 '로우'레벨로 비활성화되어 있으므로, 복수개의 인버터(IV1 ~ IVn)는 각각 '하이'레벨의 신호를 출력하고, AND 게이트(AD1 ~ ADn)는 각각 디코딩된 로우 어드레스(DRA1 ~ DRAn)와 동일한 레벨의 테스트 어드레스(TDRA1 ~ TDRAn)를 출력한다. 여기서 디코딩된 로우 어드레스(DRA1 ~ DRAn)는 테스트를 통하여 확인된 불량 메모레 셀에 대한 디코딩된 어드레스이며, 퓨즈부(121)의 복수개의 어드레스 안티퓨즈 회로(11 ~ 1n)에 프로그래밍 된 어드레스이다. 따라서 어드레스 퓨즈 신호(FA1 ~ FAn)는 디코딩된 로우 어드레스(DRA1 ~ DRAn)와 동일해야 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 된 것이다.

<57> 복수개의 XNOR 게이트(XNOR1 ~ XNORn)는 각각 어드레스 퓨즈 신호(FA1 ~ FAn)와 테스트 어드레스(TDRA1 ~ TDRAn)를 비교하고, 어드레스 퓨즈 신호(FA1 ~ FAn)와 테스트 어드레스(TDRA1 ~ TDRAn)가 모두 일치하면 '하이'레벨의 신호를 출력한다. 즉 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 되었다면 복수개의 XNOR 게이트(XNOR1 ~ XNORm)는 모두 '하이'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)를 출력한다.

<58> 제2 테스트 신호(TMRS2)는 '하이'레벨로 활성화되어 있으므로, 인버터(IVm)는 '로우'레벨의 신호를 출력하고, AND 게이트(ADm)는 '로우' 레벨의 테스트 블록 어드레스(TDRAB)를 출력한다. 그리고 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 되었는지 여부를 판단하는 테스트이므로 마스터 안티퓨즈 회로(10)는 프로그래밍 되어 있지 않으므로, 마스터 퓨즈 신호(MF)는 '로우'레벨을 갖는다. 따라서 XNOR 게이트(XNORm)는 '로우'레벨의 마스터 퓨즈 신호(MF)와 '로우'레벨의 테스트 블록 어드레스(TDRAB)에 응답하여 '하이'레벨의 블록 어드레스 비교 신호(XRAB)를 출력한다. AND 게이트(AND1)는 복수개의 어드레스 비교 신호(XRA1 ~ XRAn)와 블록 어드레스 비교 신호(XRAB)의 출력 신호에 응답하여 '하이'레벨의 리던던시 인에이블 신호(PRENi)를 출력한다.

<59> 안티퓨즈의 초기 결함 테스트와 마찬가지로, 리페어 회로(120)는 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 되었으면 '하이'레벨의 리던던시 인에이블 신호(PRENi)를 출력하고, 정상적으로 프로그래밍 되지 않았으면 '로우'레벨의 리던던시 인에이블 신호(PRENi)를 출력하게 된다.

<60> 어드레스 안티퓨즈 회로(11 ~ 1n)가 정상적으로 프로그래밍 된 경우에 마스터 안티퓨즈 회로(10)를 프로그래밍 한다. 마스터 안티퓨즈(10)를 포함한 퓨즈 박스(121)의 모든 안티퓨즈가 정상적으로 프로그래밍 되었는지 확인

하기 위해서는 제1 테스트 신호(TMRS1)와 제2 테스트 신호(TMRS2)를 '로우'레벨로 비활성화 한다.

<61> 복수개의 인버터(IV1 ~ IVn, IVm)는 '로우'레벨의 제1 테스트 신호(TMRS1)와 제2 테스트 신호(TMRS2)를 반전하여 각각 '하이'레벨의 신호를 출력한다. 복수개의 AND 게이트(AD1 ~ ADn)는 각각 인버터(IV1 ~ IVn)의 출력 신호와 디코딩된 로우 어드레스(DRA1 ~ DRAn)에 응답하여 각각 디코딩된 로우 어드레스(DRA1 ~ DRAn)와 동일한 레벨의 테스트 어드레스(TDRA1 ~ TDRAn)를 출력한다. 그리고 AND 게이트(ADm)도 인버터(IVm)의 출력 신호와 디코딩된 로우 블록 어드레스(DRAB)에 응답하여 디코딩된 로우 블록 어드레스(DRAB)와 동일한 레벨의 테스트 블록 어드레스(TDRAB)를 출력한다. 어드레스 안티퓨즈 회로(11 ~ 1n)의 프로그래밍 테스트가 수행된 이후이므로 복수개의 XNOR 게이트(XNOR1 ~ XNORn)는 모두 '하이'레벨의 어드레스 비교 신호(XRA1 ~ XRAn)를 출력한다. 마스터 안티퓨즈 회로(10)가 정상적으로 프로그래밍 되었으면, 마스터 퓨즈 신호(MF)는 '하이'레벨을 갖는다. 그리고 해당 블록이 선택된 경우에 디코딩된 로우 블록 어드레스(DRAB)도 '하이'레벨이므로 XNOR 게이트(XNORm)는 '하이'레벨의 블록 어드레스 비교 신호(XRAB)를 출력한다.

<62> 따라서 리페어 회로(120)는 마스터 안티퓨즈 회로(10)가 정상적으로 프로그래밍 되었으면 '하이'레벨의 리던던시 인에이블 신호(PRENi)를 출력하고, 정상적으로 프로그래밍 되지 않았으면 '로우'레벨의 리던던시 인에이블 신호(PRENi)를 출력하게 된다.

<63> 결과적으로 본 발명의 리페어 회로(120)는 제1 및 제2 테스트 신호(TMRS1, TMRS2)의 레벨에 따라 안티퓨즈의 초기 결함과 어드레스 안티퓨즈 회로(11 ~ 1n)의 정상 프로그래밍 여부 및 마스터 안티퓨즈 회로(10)의 정상 프로그래밍 여부를 모두 테스트 할 수 있을 뿐만 아니라, 테스트 결과를 디지털 값으로 출력할 수 있다. 따라서 종래의 아날로그적인 측정 방법보다 테스트 결과를 용이하게 판단할 수 있으며, 테스트 시간을 단축할 수 있다. 그리고 테스트 시에 인가하는 어드레스에 응답하여 테스트 결과가 출력되므로, 불량 퓨즈 박스(121)를 파악하기에도 용이하다.

<64> 도4 는 본 발명에 따른 노멀 어드레스 디스에이블 신호 발생 회로를 나타내는 도면이다. 도3 의 리페어 회로(120)는 일반적으로 노멀 어드레스 디스에이블 신호 발생 회로(200)를 추가로 더 구비한다. 노멀 어드레스 디스에이블 신호 발생 회로(200)는 외부에서 인가되는 어드레스가 불량 메모리 셀에 대한 어드레스인 경우에 로우 디코더(130)가 노멀 셀 어레이의 메모리 셀이 아닌 리던던시 셀 어레이의 메모리 셀이 선택하도록 로우 디코더(130)로 노멀 어드레스 디스에이블 신호(PRREB)를 인가하는 회로이다.

<65> 상기에서는 안티퓨즈 회로에 대한 테스트 결과를 확인하기 위하여 노멀 셀 어레이(141)와 리던던시 셀 어레이(142)의 각각의 메모리 셀에 서로 다른 데이터를 저장하도록 하고, 출력되는 데이터를 이용하여 테스트 결과를 판단하였다. 그러나 도4 에서는 메모리 셀 어레이(140)의 메모리 셀에 데이터를 저장하지 않고, 노멀 어드레스 디스에이블 신호 발생 회로(200)를 이용하여 안티퓨즈 회로의 테스트 결과를 확인할 수 있도록 한다.

<66> PMOS 트랜지스터(PM)는 전원 전압(Vcc)과 P 노드(NodeP) 사이에 연결되고, 게이트로 액티브 신호(Act)를 인가받는다. 액티브 신호(Act)는 반도체 메모리 장치의 명령 디코더(미도시)에서 인가되는 신호로서, 반도체 메모리 장치가 리드 또는 라이트와 같은 동작 시에 활성화되고, 프리차지 동작 시에는 비활성화 된다. 그리고 복수개의 NMOS 트랜지스터(NM1 ~ NMi)는 P 노드(NodeP)와 접지 전압(Vss)사이에 병렬로 연결되며, 각각 게이트로 리던던시 인에이블 신호(PERN1 ~ PERNi)를 인가받는다. 두개의 인버터(IVR1, IVR2)로 구성되는 래치는 P 노드(NodeP)의 신호를 반전하고 래치하여 노멀 어드레스 디스에이블 신호(PRREB)를 출력한다.

<67> 로우 디코더(130)는 노멀 어드레스 디스에이블 신호(PRREB)에 응답하여 리던던시 셀 어레이(142)의 리던던시 로우를 활성화한다. 입출력 센스 앰프(150)는 메모리 셀 어레이(140)에서 로우 디코더(130) 및 칼럼 디코더(미도시)에 의해 선택되는 메모리 셀의 데이터(Data)를 감지, 증폭하여 출력한다. 멀티플렉서(160)는 제2 테스트 신호(TMRS2)에 응답하여 노멀 어드레스 디스에이블 신호(PRREB) 또는 데이터(Data)를 선택하여 데이터 입출력부(170)로 출력한다. 데이터 입출력부(170)는 리드 명령(RD)에 응답하여 인가된 노멀 어드레스 디스에이블 신호(PRREB) 또는 데이터(Data)를 외부로 출력한다.

<68> 반도체 메모리 장치가 프리차지 동작 시에는 액티브 신호(Act)가 '로우'레벨이므로 PMOS 트랜지스터(PM)가 턴온 되고, P 노드(NodeP)는 전원 전압(Vcc) 레벨로 프리차지 된다. 인버터(IVR1)는 P 노드(NodeP)의 신호를 반전하여 '로우'레벨의 노멀 어드레스 디스에이블 신호(PRREB)를 출력한다. 로우 디코더(130)와 멀티플렉서(160)는 '로우'레벨의 노멀 어드레스 디스에이블 신호(PRREB)를 인가받지만, 반도체 메모리 장치가 프리차지 동작 중이므로 로우 디코더(130)는 대응하는 동작을 수행하지 않는다. 그리고 멀티플렉서(160)는 제2 테스트 신호(160)에 응답하여 데이터(Data)를 선택한다.

<69> 반도체 메모리 장치가 액티브 동작을 하고 제2 테스트 신호(TMRS2)가 활성화되면, PMOS 트랜지스터(PM)가 턴 온 되고 P 노드(NodeP)는 플로팅 상태가 된다. 그리고 복수개의 NMOS 트랜지스터(NM1 ~ NMi)는 도3 의 리페어 회로(120)로부터 복수개의 리던던시 인에이블 신호(PREN1 ~ PRENi)를 각각 인가받는다. 복수개의 리던던시 인에이블 신호(PREN1 ~ PRENi)가 모두 '로우' 레벨이면 인버터(IVR1)는 P 노드(NodeP)의 신호를 반전하여 '로우'레벨의 노멀 어드레스 디스에이블 신호(PRREB)을 출력하지만, 복수개의 리던던시 인에이블 신호(PREN1 ~ PRENi) 중 하나라도 '하이'레벨로 활성화되면 P 노드(NodeP)는 접지 전압(Vss) 레벨로 천이한다. 인버터(IVR1)는 P 노드(NodeP)의 신호를 반전하여 '하이'레벨의 노멀 어드레스 디스에이블 신호(PRREB)를 출력한다. 그리고 멀티플렉서(160)는 제2 테스트 신호(160)에 응답하여 노멀 어드레스 디스에이블 신호(PRREB)를 선택하고, 데이터 입출력부(170)는 리드 명령(RD)에 응답하여 노멀 어드레스 디스에이블 신호(PRREB)를 외부로 출력한다.

<70> 따라서 도3 의 리페어 회로(120)와 도4 의 노멀 어드레스 디스에이블 신호 발생 회로(200)를 구비하는 반도체 메모리 장치는 리페어 회로(120)의 안티퓨즈 회로가 초기 불량이 없는지, 그리고 정상적으로 프로그래밍 되었는지를 데이터 핀을 통해 출력되는 출력 데이터(DQ)의 상태로서 판별할 수가 있다. 출력 데이터(DQ)는 '하이'레벨 또는 '로우'레벨의 디지털 값으로 출력되므로, 종래의 전류량을 측정하는 방법에 비하여 정상 판별이 용이하며 테스트 시간을 줄일 수 있다. 그리고 반도체 메모리 장치에 인가되는 어드레스에 대응하여 출력 데이터(DQ)가 출력되므로, 복수개의 안티퓨즈 회로 중에서 불량 안티퓨즈 회로를 쉽게 찾을 수 있다.

<71> 상기에서는 노멀 셀 어레이(141)의 로우를 리던던시 셀 어레이(142)의 리던던시 로우로 대체하는 경우에 대해 예를 들어 설명하였으나, 노멀 셀 어레이(141)의 칼럼을 리던던시 셀 어레이(142)의 리던던시 칼럼으로 대체 할 수 있음은 자명하다. 또한 도4 에서는 리페어 회로(120)의 테스트 결과를 데이터 핀을 통해 출력되는 출력 데이터(DQ)로 설명하였으나, 별도의 테스트 핀을 구비하여 테스트 결과를 출력 할 수도 있다.

<72> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<73> 도1 은 안티퓨즈 회로의 일예를 나타내는 도면이다.

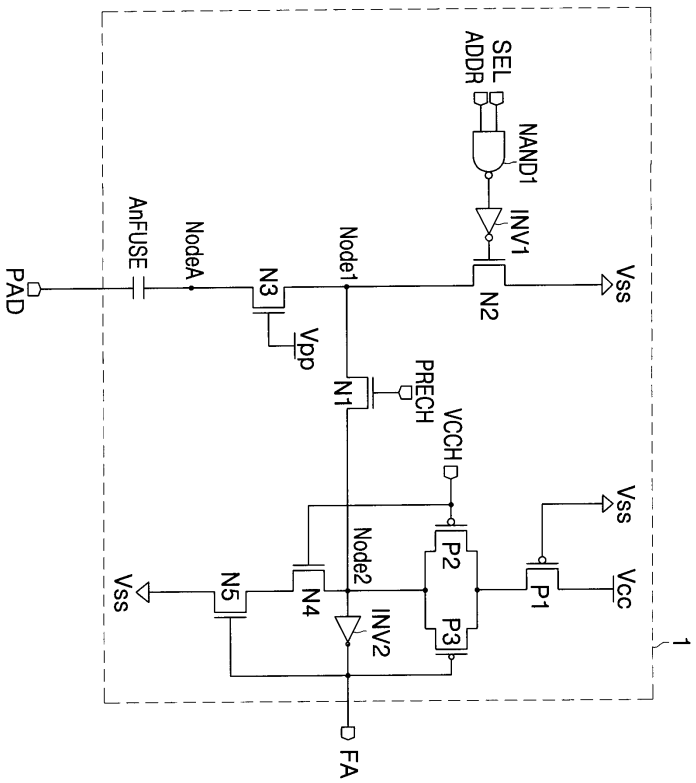
<74> 도2 는 종래의 리페어 회로를 나타내는 블록도이다.

<75> 도3 은 본 발명의 리페어 회로를 나타내는 블록도이다.

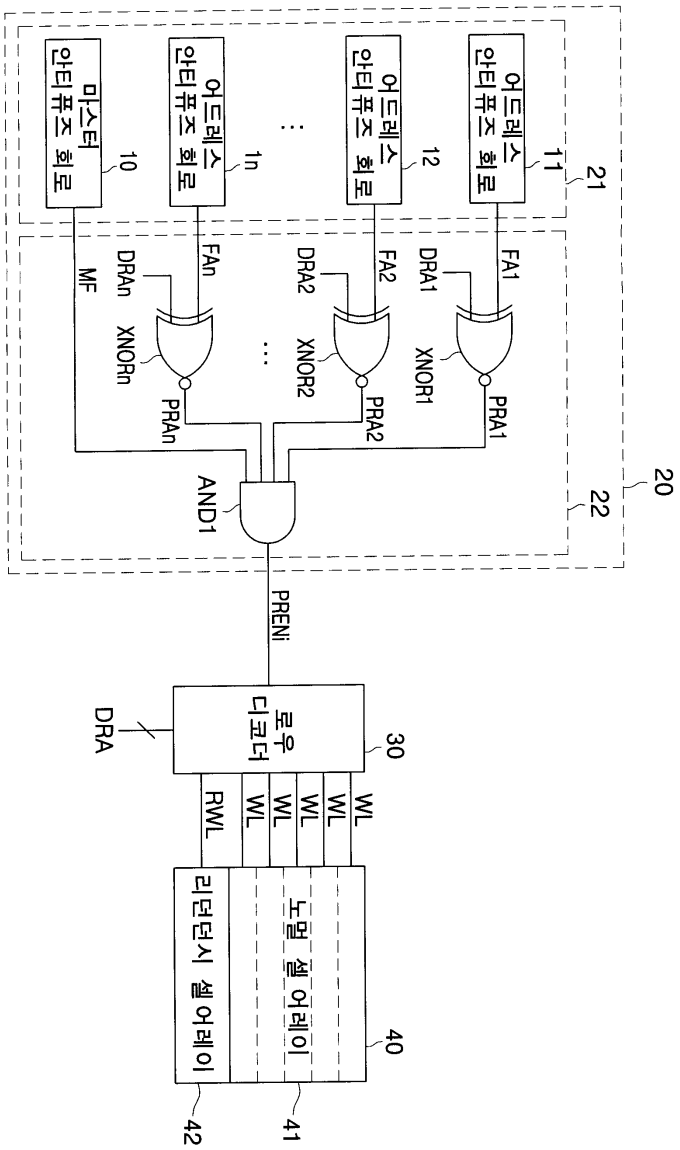
<76> 도4 는 본 발명의 노멀 어드레스 디스에이블 신호 발생 회로를 나타내는 도면이다.

도면

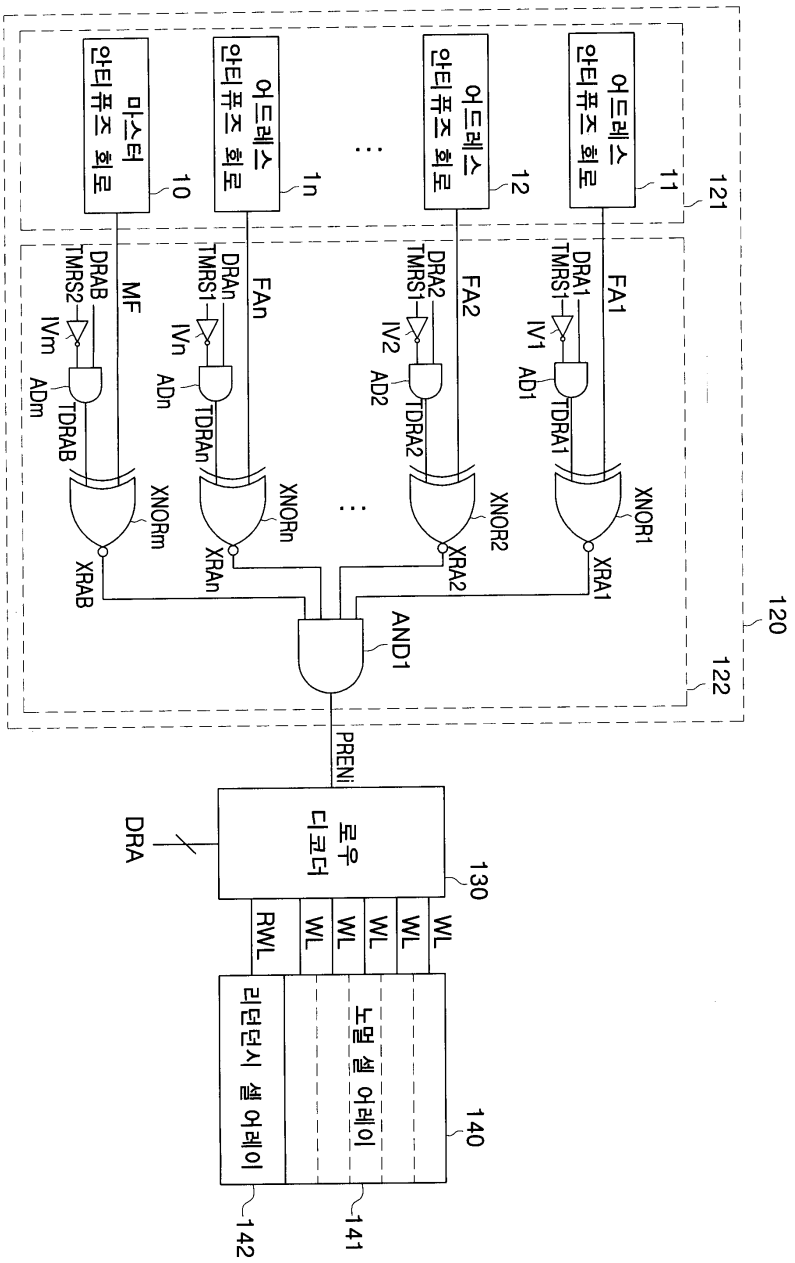
도면1


SEL ADDR
NAND1
INV1
AnFUSE
NodeA
Node1
PAD
N3
N2
Vss
Vpp
N1
PRECH
VCCH
Vss
Node2
P2
Vss
N5
N4
INV2
P3
P1
Vcc
1
FA

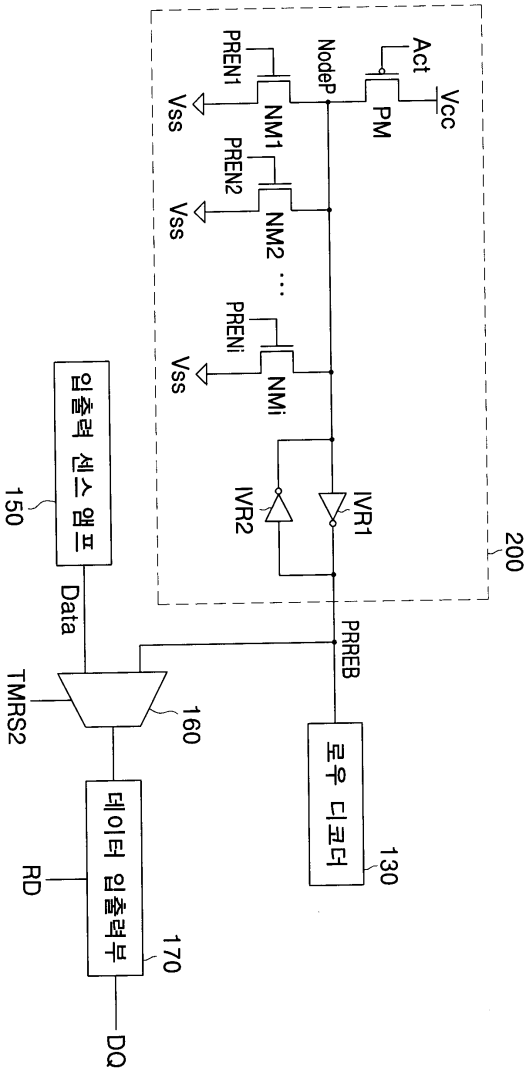
도면2


어드레스 안티퓨즈 회로
11
어드레스 안티퓨즈 회로
12
어드레스 안티퓨즈 회로
1n
마스터 안티퓨즈 회로
10
21
20
22
FA1
DRA1
FA2
DRA2
FAn
DRAn
MF
XNOR1
XNOR2
XNORn
PRA1
PRA2
PRAn
AND1
PRENi
로우 디코더
30
DRA
RWL
WL
노멀 셀 어레이
40
리던던시 셀 어레이
41
42

도면3


어드레스 안티퓨즈 회로
11
121
어드레스 안티퓨즈 회로
12
어드레스 안티퓨즈 회로
1n
마스터 안티퓨즈 회로
10
DRA1
TMRS1
IV1
AD1
TDRA1
FA1
XNOR1
XRA1
DRA2
TMRS1
IV2
AD2
TDRA2
FA2
XNOR2
XRA2
DRAn
TMRS1
IVn
ADn
TDRAn
FAn
XNORn
XRAn
DRAB
TMRS2
IVm
ADm
TDRAB
MF
XNORm
XRAB
AND1
120
122
PRENi
로우 디코더
130
DRA
RWL
WL
WL
WL
WL
WL
리던던시 셀 어레이
142
노멀 셀 어레이
141
140

도면4


Act
Vcc
PM
NodeP
PREN1
NM1
Vss
PREN2
NM2
Vss
PRENi
NMi
Vss
IVR1
IVR2
200
입출력 센스 앰프
150
Data
PRREB
TMRS2
160
로우 디코더
130
데이터 입출력부
170
RD
DQ