

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4377816号  
(P4377816)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int. Cl. F I  
**G 1 1 C 13/00 (2006.01)** G 1 1 C 13/00 A  
**H O 1 L 27/105 (2006.01)** H O 1 L 27/10 4 4 8

請求項の数 3 (全 29 頁)

(21) 出願番号	特願2004-569564 (P2004-569564)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(86) (22) 出願日	平成15年3月18日(2003.3.18)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公表番号	特表2006-514392 (P2006-514392A)	(74) 代理人	100106389 弁理士 田村 和彦
(43) 公表日	平成18年4月27日(2006.4.27)	(72) 発明者	戸田 春希 神奈川県川崎市幸区小向東芝町1番地 株 株式会社東芝 マイクロエレクトロニクスセ ンター内
(86) 国際出願番号	PCT/JP2003/003256	審査官	須原 宏光
(87) 国際公開番号	W02004/084228		
(87) 国際公開日	平成16年9月30日(2004.9.30)		
審査請求日	平成17年9月16日(2005.9.16)		

最終頁に続く

(54) 【発明の名称】 相変化メモリ装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に積層されて、それぞれに相変化により決まる抵抗値をデータとして記憶する複数のメモリセルがマトリクス配列された複数のセルアレイと、

前記複数のセルアレイ内の近接する二つメモリセルにより構成されるペアセルに、その一方を高抵抗値、他方を低抵抗値状態に書き込む書き込み回路と、

前記ペアセルの相補的な抵抗値状態を1ビットデータとして読み出す読み出し回路とを有し、

前記各セルアレイは、互いに平行な複数の第1の配線と、前記第1の配線とは絶縁分離されて第1の配線と交差して配設された複数の第2の配線とを有し、

上下に隣接するセルアレイの間で前記第1の配線と第2の配線の少なくとも一方が共有され、

前記各メモリセルは、前記第1の配線と第2の配線の各交差部に積層されたカルコゲナイドとダイオードを有し、

前記書き込み回路は、前記複数のセルアレイから選択される隣接する複数のメモリセルに対して、選択された第1の配線に負論理書き込みパルスを、選択された第2の配線に正論理書き込みパルスを、書き込むべきデータに応じてそれらのパルスの重なり時間を調整して供給するものである

ことを特徴とする相変化メモリ装置。

## 【請求項2】

基板と、

前記基板上に積層されて、それぞれに相変化により決まる抵抗値をデータとして記憶する複数のメモリセルがマトリクス配列された複数のセルアレイと、

前記複数のセルアレイ内の近接する二つメモリセルにより構成されるペアセルに、その一方を高抵抗値、他方を低抵抗値状態に書き込む書き込み回路と、

前記ペアセルの相補的な抵抗値状態を1ビットデータとして読み出す読み出し回路とを有し、

前記複数のセルアレイは、

前記基板上に形成された、互いに平行な複数の第1のビット線、各第1のビット線上に所定ピッチで配列された複数のメモリセル、及びそのメモリセル上に前記第1のビット線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第1のワード線を有する第1のセルアレイと、

前記第1のセルアレイと前記第1のワード線を共有して前記第1のセルアレイ上に形成された、前記第1のセルアレイと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第1のワード線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第2のビット線を有する第2のセルアレイと、

前記第2のセルアレイと前記第2のビット線を共有して前記第2のセルアレイ上に形成された、前記第2のセルアレイと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第2のビット線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第2のワード線を有する第3のセルアレイと、

前記第3のセルアレイと前記第2のワード線を共有して前記第3のセルアレイ上に形成された、前記第3のセルアレイのメモリセルと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第2のワード線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第3のビット線を有する第4のセルアレイとを有し、

前記各セルアレイのメモリセルは、前記第1乃至第3のビット線と前記第1及び第2のワード線の各対応する交差部に積層されたカルコゲナイドとダイオードを有し、

前記第1のセルアレイと第2のセルアレイの間で前記第1のワード線を共有して上下に隣接する二つずつのメモリセルにより相補データを記憶するペアセルを構成し、

前記第3のセルアレイと第4のセルアレイの間で前記第2のワード線を共有して上下に隣接する二つずつのメモリセルにより相補データを記憶するペアセルを構成し、

前記書き込み回路は、前記第1乃至第4のセルアレイの積層方向に並ぶ二つのペアセルを構成する4つのメモリセルに対して同時に書き込みを行うものであって、

パルス幅が同じで位相差のある二種のパルスを発生するパルス発生回路と、

前記パルス発生回路が出力する二種のパルスの書き込みデータに応じて決まる組み合わせ論理によって、前記第1乃至第3のビット線に与える負論理書き込みパルスと第1及び第2のワード線に与える正論理書き込みパルスとをその重なり時間を決定して出力する論理ゲート回路と、

この論理ゲート回路から出力される負論理書き込みパルス及び正論理書き込みパルスの少なくとも一方を、書き込みデータが高抵抗値状態である場合に昇圧するパルス昇圧回路とを有する

ことを特徴とする相変化メモリ装置。

## 【請求項3】

基板と、

前記基板上に積層されて、それぞれに相変化により決まる抵抗値をデータとして記憶する複数のメモリセルがマトリクス配列された複数のセルアレイと、

前記複数のセルアレイ内の近接する二つメモリセルにより構成されるペアセルに、その一方を高抵抗値、他方を低抵抗値状態に書き込む書き込み回路と、

前記ペアセルの相補的な抵抗値状態を1ビットデータとして読み出す読み出し回路とを

10

20

30

40

50

有し、

前記各セルアレイは、互いに平行な複数の第1の配線と、前記第1の配線とは絶縁分離されて第1の配線と交差して配設された複数の第2の配線とを有し、

前記各メモリセルは、前記第1の配線と第2の配線の各交差部に積層されたカルコゲナイドとダイオードを有し、

上下に隣接するセルアレイの間で前記第2の配線を共有しており且つ、

上下に隣接するセルアレイの間で前記カルコゲナイドとダイオードの積層順序が逆であり、

各セルアレイの中で、前記第2の配線を共有し且つ異なる第1の配線に接続される隣接する二つのメモリセルによりペアセルを構成する

ことを特徴とする相変化メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、記憶材料の結晶状態と非晶質状態との間の相変化により決まる抵抗値を不揮発に記憶する、電氣的書き換え可能な相変化メモリ装置に関する。

【背景技術】

【0002】

従来より、大容量、多機能な不揮発性半導体メモリとして、EEPROMフラッシュメモリが知られている。この種の半導体メモリにおいては、リソグラフィ技術やエッチング技術の進歩により、平面上では100nm以下の微細回路が実現されている。平面上で考える限り、メモリ容量大きくするには単位面積あたりのセル数を増やすために更に微細化を進めなければならない。しかし、更なる微細化は容易ではない。

【0003】

微細化を進めることなくメモリ容量を増やすには、複数のメモリチップを積層してパッケージに封入したり、シリコン上でメモリセルアレイを積層して3次元メモリチップとする方法が採られる。しかし従来考えられているセルアレイの積層化は、単純に従来の平面セルアレイを重ねるものであった。この場合、積層数Nなら平面セルアレイのN倍の容量が得られるものの、アクセスは各層別々であり、複数層のセルの同時アクセスは容易ではなかった。

【0004】

一方、将来の不揮発性メモリとして有望視される、カルコゲナイドガラスの結晶 - 非結晶の相転移を利用した相変化メモリが提案されている（例えば、Jpn. J. Appl. Phys. Vol. 39 (2000) PP.6157-6161 Part 1, NO.11, November 2000" Submicron Nonvolatile Memory Cell Based on Reversible Phase Transition in Chalcogenide Glasses" Kazuya Nakayama et al 参照）。これは、カルコゲナイドの非晶質状態と結晶状態の抵抗比が100:1以上と大きいことを利用して、その異なる抵抗値状態を二値データとして記憶する。カルコゲナイドの相変化は可逆的であり、加熱の仕方では変化をコントロールでき、加熱の仕方はこの物質を流れる電流量で制御できる。

【0005】

この様な相変化メモリを大規模化した場合には、セルアレイ内でメモリセルの低抵抗値と高抵抗値の分布のばらつきが大きくなるから、読み/書きのマージンを如何に確保するかが重要な技術課題となる。

【発明の開示】

【0006】

この発明の一実施例による相変化メモリ装置は、基板と、前記基板上に積層されて、それぞれに相変化により決まる抵抗値をデータとして記憶する複数のメモリセルがマトリクス配列された複数のセルアレイと、前記複数のセルアレイ内の近接する二つメモリセルにより構成されるペアセルに、その一方を高抵抗値、他方を低抵抗値状態に書き込む書き込み回路と、前記ペアセルの相補的な抵抗値状態を1ビットデータとして読み出す読み出し

10

20

30

40

50

回路とを有する。

【発明を実施するための最良の形態】

【0007】

図1は、実施の形態による相変化メモリの基本セルアレイ構成を、 $3 \times 3$ セルマトリクスについて示している。複数本の第1の配線（以下、これをビット線という）BLが平行に配設され、これと交差して複数本の第2の配線（以下、これをワード線という）WLが配設される。これらのワード線WLとビット線BLの各交差部にメモリセルMCが配置される。メモリセルMCは、可変抵抗素子VRとダイオードSDの直列接続回路である。可変抵抗素子VRは、カルコゲナイドにより形成され、その結晶状態と非晶質状態の相転移による抵抗値の大小を二値データとして不揮発に記憶する。

10

【0008】

ダイオードSDは、この実施の形態の場合ショットキーダイオードであるが、pn接合ダイオードをも用いる。メモリセルMCの一端はビット線BLに接続され、他端はワード線WLに接続される。図では、ダイオードSDは、ワード線WL側がアノードになっているが、ワード線WLとビット線BLの電位関係でセルの選択性が得られればよいので、ダイオードSDの極性を逆にすること、可変抵抗素子VRとダイオードSDの配置を逆にすることもできる。

【0009】

データは前述のように、各メモリセルMCの抵抗素子VRの抵抗値により記憶される。非選択状態では例えば、全てのワード線WLは“L”レベル、全てのビット線BLは“H”レベルとする。一例を挙げれば、“H”レベルを1.8V、“L”レベルを0Vとする。この非選択状態では、全てのメモリセルMCのダイオードSDが逆バイアス状態でオフであり、抵抗素子VRには電流は流れない。図1のセルアレイの破線で囲んだ真中のメモリセルMCを選択する場合を考えると、選択されたワード線WLを“H”とし、選択されたビット線BLを“L”に設定する。これにより、選択セルでは、ダイオードSDが順バイアスになって電流が流れる。

20

【0010】

このとき選択セルに流れる電流量は、抵抗素子VRを構成するカルコゲナイドの相によって決まるから、電流量の大小を検知することにより、データの読み出しができる。また、例えば選択ワード線の“H”レベル電位を高くすることによって電流量を増やし、この電流によるセル部の加熱を利用して、抵抗素子VRのカルコゲナイドに相転移を生じさせることができる。従って、セルアレイ中特定のセルを選択して、そのセルの情報を書き換えることが可能である。

30

【0011】

この様にこの実施の形態のセルアレイでは、アクセスはワード線WLとビット線BLの各々1本の電位レベル設定のみによって行われる。セル選択のためのトランジスタを設けた場合には、セルアレイ内にトランジスタのゲートを選択する信号線が必要になるが、この実施の形態ではそのような信号線は必要がない。またトランジスタに比べてダイオードの構造が簡単であることから、信号線が少なく済むことと相俟って、セルアレイ構成は簡単になり、セルの高集積化が可能である。

40

【0012】

セル選択のために用いられるダイオードSDは、特にショットキーダイオードを用いることにより、多くの効果が得られる。第1に、ショットキーダイオードは、pn接合ダイオードと異なり、多数キャリア素子であるから、少数キャリアの蓄積ということがなく、従って高速アクセスが可能になる。第2に、pn接合を形成する必要がないので、セルアレイ構成も製造工程も簡単になる。第3に、pn接合は温度による特性変化が問題になるが、ショットキー接合は温度に対して安定である。

【0013】

上の動作説明では、ワード線WLとビット線BLの電位レベルを制御して、抵抗素子VRを構成するカルコゲナイドの抵抗値検出（データ読み出し）や相変化の制御（データ書

50

き換え)をする場合を示したが、ワード線WLとビット線BLに流れる電流レベルを制御して、読み出しや書き換えを行うこともできる。これら電圧制御方式と電流制御方式とは、抵抗値の読み出し中にカルコゲナイドに与えられるエネルギーが異なる。カルコゲナイドは、非晶質状態では抵抗値が高く、結晶状態では抵抗値が低いからである。即ち、カルコゲナイドに発生するパワーは、カルコゲナイドの抵抗をRとしたとき、電位制御なら $v^2/R$ となり、電流制御なら $iR^2$ となる。このため両方式では、抵抗検知中のカルコゲナイドの温度変化の相変化に与える影響が異なる。従って、カルコゲナイドの相状態に与える安定性やセル構造を考慮して、いずれかの方式を選択すればよい。

#### 【0014】

ここまで、基本セルアレイの構成を説明したが、この実施の形態では、基板上に複数のセルアレイが積層された3次元(3D)セルアレイ構造を用いる。以下にそのような3次元セルアレイ構造を説明する。

#### 【0015】

図2及び図3は、2層のセルアレイMA0, MA1を積層した例であり、図2が概略レイアウト、図3はそのI-I'断面図である。下部セルアレイMA0と上部セルアレイMA1とで対応する部分には、“a”、“b”を付けて区別した同じ番号を用いている。絶縁性基板として、シリコン酸化膜11で覆われたシリコン基板10を用いている。この基板上にまず、互いに平行な複数本のビット線(BL0)12aが配列形成される。このビット線12aの上に、カルコゲナイド層13aからなる可変抵抗素子VRとショットキーダイオードSDを積層した柱状のメモリセルMCが飛び飛びに配列形成される。

#### 【0016】

具体的に第1層セルアレイMA0のメモリセルMCは、カルコゲナイド層13a、オーミック電極14a、n<sup>+</sup>型シリコン層15a及びn型シリコン層16aの積層膜をパターンニングして形成される。メモリセルMCは、後に説明する方法で、円柱状にパターン形成される。この段階でショットキーダイオードSDは未だ未完成であり、その本体部のみが作られる。メモリセルMCの周囲は層間絶縁膜17で埋められて平坦化される。

#### 【0017】

そして、ダイオードSDのアノード電極となり且つ、ビット線12aとは交差する方向にダイオードSDを共通接続するワード線(WL)18が形成される。ワード線18とn型シリコン層16aとの間にショットキー接合が形成され、ショットキーダイオードSDが得られる。なお、より好ましいショットキーダイオードを作るために、ワード線18とは別に、n型シリコン層16aにショットキー接触する金属膜を形成してもよい。

#### 【0018】

ワード線18の間は層間絶縁膜19により埋められて平坦化される。そしてこの上に、第2層セルアレイMA1が積層される。即ち、n型シリコン層16b、n<sup>+</sup>型シリコン層15b、オーミック電極14b及びカルコゲナイド13bの積層膜をパターンニングして、ショットキーダイオードSDと可変抵抗素子VRの積層体である円柱状のメモリセルMCが形成される。メモリセルMCの配列は、第1層セルアレイMA0と同じである。ワード線18とn型シリコン層16bの間にショットキー接合が形成される。このメモリセルMCの周囲も層間絶縁膜20で埋められて平坦化される。更にワード線18と直交する方向に配列されたカルコゲナイド層13bを共通接続するように、ビット線(BL1)12bがパターン形成される。

#### 【0019】

以上のようにして、セルアレイMA0, MA1は、ワード線(WL)18を共有して積層される。図3では、セルアレイMA0, MA1でダイオードSDと抵抗素子VRの積層順が逆の例を示しているが、同じ積層順であってもよい。また各セルアレイMA0, MA1内での抵抗素子VRとダイオードSDの積層順も逆にすることができる。即ち、選択ワード線WLを“H”レベル、選択ビット線BLを“L”レベルとしてアクセスする方式であれば、上下セルアレイ共に、ワード線WL側がアノードとなる極性にダイオードSDが配置されていれば、ダイオードSDと抵抗素子VRの積層順序は問わない。

10

20

30

40

50

## 【 0 0 2 0 】

図4は、この様なセルアレイMA0, MA1の積層構造を等価回路で示したものである。この発明は、この様な少なくとも2層の積層セルアレイを用いるが、これに限られる訳ではなく、更に多層のセルアレイを重ねることができる。

## 【 0 0 2 1 】

図5は、より好ましい例として、4層セルアレイMA0~MA3の積層構造を示している。各セルアレイの対応する部分は、下から順に、“a”、“b”、“c”、“d”を付した同じ番号を用いている。先に説明した2層セルアレイMA0, MA1の積層構造が繰り返されており、詳細な説明は省く。第1層セルアレイMA0と第2層セルアレイMA1の間でワード線(WL0)18abが共有されている。第2層セルアレイMA1と第3層セルアレイMA2の間でビット線(BL1)12bcが共有されている。第3層セルアレイMA2と第4層セルアレイMA3の間でワード線(WL1)18cdが共有されている。最下層セルアレイMA0のビット線(BL0)12aと最上層セルアレイMA3のビット線(BL2)12dはそれぞれ、単独に用意されている。

## 【 0 0 2 2 】

以上のような3次元セルアレイは、ワード線WLとビット線BLを例えば、最小加工寸法をFとして、ライン/スペース=1F/1Fで形成される。そして、各セルアレイにおいて、ワード線WLとビット線BLの各交差部に、カルコゲナイドとダイオードが積層された円柱状のメモリセルMCが配置される。

## 【 0 0 2 3 】

この様な3次元セルアレイの製造に際して、微細化を追求するには、露光の際に電磁波の回折等の影響を考慮しなければならない。この意味で、メモリセルを縞状のワード線及やビット線から離れた位置にレイアウトしようとする、製造工程の最適化が難しい。この実施の形態の3次元セルアレイでは、上述のようにメモリセルはビット線とワード線に挟まれた状態でその各交差部に配置される。そこで、メモリセルエッチングのためのレジスト露光に際して、ビット線とワード線用の縞状マスクパタンの二重露光を行うことにより、回折等の影響を受けることなく、微細なメモリセルをパターンニングすることができる。この点を以下に具体的に説明する。

## 【 0 0 2 4 】

図6は、基板上にビット線(BL)12aをパターン形成した後、この上にカルコゲナイド膜13a、オーミック電極膜14a、n<sup>+</sup>型シリコン膜15a及びn型シリコン膜16aを順次積層した状態である。この積層膜上には、リソグラフィにより円柱状のレジスト30をパターン形成する。そしてこのレジスト30をマスクとして積層膜をエッチングすることにより、図7に示すように、ビット線12a上に飛び飛びに配置された、積層膜による円柱状のメモリセル(但し、この段階では未完成)を形成する。この後、図3に示したように、円柱状メモリセルの周囲を絶縁膜17で埋め込み、その上にダイオードのアノード電極を兼ねたワード線18を形成すれば、第1層セルアレイMA0が完成する。

## 【 0 0 2 5 】

図7に示したような積層膜のパターンニングのために、レジストの二重露光を利用する。そのリソグラフィ工程を、具体的に図8A-8Cを用いて説明する。図6の積層膜形成後、n型シリコン膜16a上にレジスト30を全面に塗布して、図8Aに示す露光マスク31を用いて、第1回目のレジスト露光を行う。露光マスク31は、x方向(ビット線方向)に長い開口部31aと遮光部31bがy方向に交互に配列されたものである。この露光マスク31は、ビット線(BL)12aのパターンニングに用いたものと同じであり、ビット線12aと重なるパターンで露光することになる。続いて、同じ露光マスク31を90°回転させて、図8Bに示すように、2回目の露光を行う。これは、ワード線(WL)18abのパターンニングに用いるものと同じであり、後に形成されるワード線18abと重なるパターンで露光することになる。レジスト30が光硬化性樹脂を用いたもの(即ちネガ型レジスト)であるとすると、レジスト30はその2回の露光パターンの各交差部が、二重露光により十分に硬化する。従って、レジスト30を現像すると、図8Cに示すよう

10

20

30

40

50

に、ドット状に配列されたレジスト30を残すことができる。このレジスト30をマスクとして、積層膜をエッチングすることにより、前述したような円柱状の微細なメモリセルを形成することができる。

#### 【0026】

このようなりソグラフィとエッチングを各セルアレイについて繰り返すことにより、各セルアレイの同じ位置にメモリセルを配置した三次元セルアレイが得られる。図8A, 8Bに示したように、露光マスク31の開口部31aと遮光部31bの幅を $n \times F$  ( $F$ :最小加工寸法)として、 $1/n$ の縮小露光を行うとすれば、ビット線BLとワード線WLは、ライン/スペース =  $1F/1F$ となる。この場合、各セルアレイの単位セル面積は、 $4F^2$ となる。

10

#### 【0027】

上の例では、ネガ型レジストを用いたが、これに対してポジ型レジストを用いることもできる。この場合、露光マスクとして上記例の露光マスク31とはパターンが反転した反転マスクを用いて、上記例と同様の2回露光を行えばよい。これにより、2回の露光での非露光部が、上記例と同様にレジストマスクとして残ることになる。

#### 【0028】

この実施の形態の三次元セルアレイは、大容量メモリを実現することを可能とするが、三次元セルアレイのアクセスに関して、データ処理を行う上で一定の配慮をすることが好ましい。具体的には、データ検索等に好ましい三次元のセルブロックを構成する。

#### 【0029】

図9は、図3に示したMA0~MA3の三次元セルアレイ40について、データアクセスの単位となるセルブロックの設定法を示している。図9では、三次元セルアレイ40を直方体として示しており、このセルアレイ40は、その上面に垂直で互いに直交する仮想的境界A, Bによって複数のセルブロック41が区画される。ここでは一つのセルブロック41が、ビット線BLと平行な一定間隔の仮想的境界Aにより挟まれた範囲の12本のビット線を含み、ワード線と平行な一定間隔の仮想的境界Bにより挟まれた範囲の8本のワード線を含む直方体として定義される例を示している。従ってセルブロック41は、 $4 \times 4 \times 4 = 64$ 個の三次元のセル集合となる。

20

#### 【0030】

図9では、ビット線BLとワード線WLは、斜線で示す一つのセルブロック41についてのみ示している。BL00~BL03は、第1層セルアレイMA0のビット線、BL10~BL13は、第2層セルアレイMA1と第3層セルアレイMA2の共有ビット線、BL20~BL23は、第4層セルアレイMA3のビット線である。また、WL00~WL03は、第1層セルアレイMA0と第2層セルアレイMA1の共有ワード線であり、WL10~WL13は、第3層セルアレイMA2と第4層セルアレイMA3の共有ワード線である。

30

#### 【0031】

図10は、セルアレイのワード線WL及びビット線BLに、データ読み出し時又は書き込み時にそれぞれ正論理パルス及び負論理パルスを転送するための基本的な選択回路50の構成例を示している。選択回路50は、読み出し時に選択信号/WSにより駆動されてワード線WLをパルス信号線WPに接続するPMOSトランジスタQP1と、選択信号BSにより駆動されてビット線BLをパルス信号線BPに接続するNMOSトランジスタQN0を有する。選択回路50はまた、非選択時にワード線WLを低レベルに、ビット線BLを高レベルに保持するためのリセット用NMOSトランジスタQN1及びリセット用PMOSトランジスタQP0を有する。

40

#### 【0032】

選択信号/WS, BSは、アドレスデコーダの出力であり、非選択状態で/WS = "H", BS = "L"である。従って、非選択状態では、選択トランジスタQP1, QN0はオフであり、リセット用トランジスタQN1, QP0がオンであって、ワード線WLはVssの"L"レベルに、ビット線BLは、Vccの"H"レベルに保持される。選択状態

50

では、リセット用トランジスタ $Q_{N1}$ 、 $Q_{P0}$ がオフ、選択トランジスタ $Q_{P1}$ 、 $Q_{N0}$ がオンになる。データ読み出し時には、ワード線 $W_L$ 、ビット線 $B_L$ はそれぞれ、図示のように信号線 $W_P$ 、 $B_P$ に接続される。これらの信号線 $W_P$ 、 $B_P$ はそれぞれ選択時に、“H”レベル(例えば、 $V_{cc} = 1.8V$ )、“L”レベル(例えば、 $V_{ss} = 0V$ )のパルスが与えられるものとする。これにより、メモリセル $MC$ には選択トランジスタ $Q_{P1}$ 、 $Q_{N0}$ のオン時間に応じて読み出し電流が流れる。

#### 【0033】

具体的に、図9のようなセルブロック構成を採用とした場合、選択信号 $/WS$ 、 $BS$ はセルブロックを選択するための選択信号であり、セルブロック内のビット線及びワード線選択は、それぞれ信号線 $W_P$ 及び $B_P$ により行うことになる。具体的に、図9に示すセルブロック41に着目してビット線及びワード線の選択回路構成を示すと、図11及び図12のようになる。

#### 【0034】

図11に示すビット線選択回路50aは、ビット線 $B_{L00} \sim B_{L03}$ をそれぞれパルス信号線 $B_{P00} \sim B_{P03}$ に接続するためのNMOSTランジスタ $Q_{N00} \sim Q_{N03}$ 、ビット線 $B_{L10} \sim B_{L13}$ をそれぞれパルス信号線 $B_{P10} \sim B_{P13}$ に接続するためのNMOSTランジスタ $Q_{N10} \sim Q_{N13}$ 及び、ビット線 $B_{L20} \sim B_{L23}$ をそれぞれパルス信号線 $B_{P20} \sim B_{P23}$ に接続するためのNMOSTランジスタ $Q_{N20} \sim Q_{N23}$ を有する。これらのNMOSTランジスタのゲートは共通に選択信号 $BS$ により駆動される。選択信号 $BS$ は、ANDゲート $G10$ により活性化されて“H”になる。これにより、信号線 $B_{Pij}$ を介し、オンしたNMOSTランジスタ $Q_{Nij}$ を介して各ビット線 $B_{Lij}$ にそれぞれ必要な負論理パルスを供給することができる。

#### 【0035】

図12に示すワード線選択回路50bは、ワード線 $W_{L00} \sim W_{L03}$ をそれぞれパルス信号線 $W_{P00} \sim W_{P03}$ に接続するためのPMOSTランジスタ $Q_{P00} \sim Q_{P03}$ と、ワード線 $W_{L10} \sim W_{L13}$ をそれぞれパルス信号線 $W_{P10} \sim W_{P13}$ に接続するためのPMOSTランジスタ $Q_{P10} \sim Q_{P13}$ を有する。これらのPMOSTランジスタのゲートは共通に選択信号 $/WS$ により駆動される。選択信号 $/WS$ は、NANDゲート $G20$ により活性化されて“L”になる。これにより、信号線 $W_{Pij}$ を介し、オンしたPMOSTランジスタ $Q_{Pij}$ を介して各ワード線 $W_{Lij}$ にそれぞれ必要な正論理パルスを供給することができる。

#### 【0036】

図11のパルス信号線 $B_{Pij}$ は、ビット線と直交する方向の複数のセルブロックに共通に配設される。図12のパルス信号線 $W_{Pij}$ は、ワード線と直交する方向の複数のセルブロックに共通に配設される。従って、図11のANDゲート $G10$ と、図12のNANDゲートをブロックデコード回路として任意のセルブロックを選択し、信号線 $B_{Pij}$ 、 $W_{Pij}$ にそれぞれ与える負論理パルスと正論理パルスにより、セルブロック内のビット線やワード線のスキャンを行うことができる。

#### 【0037】

図11及び図12の選択回路50a、50bでは省略しているが、図10に示したように、非選択状態で各ビット線、ワード線をそれぞれ、高レベル $V_{cc}$ 、低レベル $V_{ss}$ に保持するためのリセットトランジスタが設けられる。またこれらの選択回路50a、50bは、図5に示す3次元セルアレイを形成する前に、シリコン基板10に形成される。

#### 【0038】

以上のような3次元セルアレイとして相変化メモリセルが多数集積されると、その特性のばらつきが問題になる。具体的に、カルコゲナイドの相変化を利用するセルのデータ状態は、履歴や環境によって変化する。例えば、データ“0”(高抵抗値状態)を書き込むには、カルコゲナイド層を非晶質部分が多い状態に、データ“1”(低抵抗状態)を書き込むには、カルコゲナイド層を結晶質部分が多い状態に設定するが、そのセルの初期状態は履歴や位置によって異なる。

10

20

30

40

50



## 【 0 0 3 9 】

セルの状態変化を、図 1 3 及び図 1 4 を用いて説明する。図 1 3 は、データ “ 0 ” または “ 1 ” 状態のセルに、データ “ 0 ” を書き込む場合のカルコゲナイドの状態変化を示している。この場合、セルの初期状態によらず、カルコゲナイド層が熔融状態になるような電流パルスを与える。このとき電極となるのは、カルコゲナイド層を挟む金属層 M 1 , M 2 であるので、熱伝導もよく金属面に接しているカルコゲナイドの部分は熔融状態までは至らない。従って熔融領域は、カルコゲナイドの中心から周辺に広がり、大まかに図示のような状況となる。電流パルスが切れると金属層 M 1 , M 2 を通して放熱し、カルコゲナイドが急冷されて、非晶質部分の多いデータ “ 0 ” となる。放熱が早い部分から非晶質化されるが、セルの周りの状況やその以前の履歴などで放熱状況が異なるので常に一定の領域が非晶質になるわけではない。これが “ 0 ” 書き込みにより得られる高抵抗値のばらつきの原因となる。

10

## 【 0 0 4 0 】

図 1 4 は、“ 0 ” 又は “ 1 ” 状態のセルに、データ “ 1 ” を書き込む場合を示している。この場合、セルの初期状態によらず、カルコゲナイド層を熱してその高温状態を長く持続するように、“ 0 ” 書き込み時ほどはパワーが集中しない電流パルスを与える。発熱はカルコゲナイドの抵抗自体のジュール加熱で、非晶質部分の温度が上がりこの部分がアニーリングされて、多結晶質の多いデータ “ 1 ” となる。このときも、カルコゲナイドのどれだけの部分が多結晶化されるかは、セルの周りの状況や今までの履歴などで放熱条件が異なるので、常に一定の領域が多結晶化されるわけではない。これが “ 1 ” 書き込みの低抵抗値のばらつきのひとつの原因となる。

20

## 【 0 0 4 1 】

上述のように抵抗値ばらつきがあるとしても、ひとつのセルについてみれば、その環境と状態によらず、非晶質状態に設定されたデータ “ 0 ” の抵抗値は、多結晶状態に設定されたデータ “ 1 ” のそれより高い。従って、少ないセル数の範囲で見れば、図 1 5 に示すように、“ 0 ” データセルの高抵抗値分布と、“ 1 ” データセルの低抵抗値分布の間には、抵抗値が重ならないギャップができる。但し、高抵抗値分布と低抵抗値分布は、一般に非対称で、これらの分布のギャップの中心はセルアレイの状況によって変化する。図 1 5 のようなデータ状態分布では、図の矢印で示す参照値  $R_{ref}$  を用いてセルの抵抗値をモニターすれば、セルデータの “ 1 ” , “ 0 ” を判定することができる。

30

## 【 0 0 4 2 】

しかし、あるセルの “ 1 ” データの抵抗値が “ 0 ” データのそれより常に低いとしても、三次元セルアレイのようにセル数が多くなり、各セルの履歴や環境がセルアレイ内で大きく異なる場合は、参照値  $R_{ref}$  の設定ができなくなる可能性がある。セル数が多くなると、図 1 5 に示すギャップが小さくなるからである。図 1 6 は、そのような状況を示している。図 1 6 では、大容量のセルアレイのなかから任意に選択した、それぞれ近接する 3 セルを含む 4 グループ A , B , C , D の抵抗値分布を例示したものである。この状況では、各グループ内では参照値を設定できるとしても、セルアレイ全体については、設定することは難しくなる。

## 【 0 0 4 3 】

そこでこの実施の形態では、参照値を用いることなく、安定したデータ読み出しを可能とする手法を用いる。この点を具体的に説明する。図 1 6 に示すようにセル抵抗値のばらつきが大きい状況でも、近接するセルを集めた各グループに着目すると、高抵抗値分布と低抵抗値分布の間のギャップは、確保される。そこでこの実施の形態では、近接する二つのセルをペアとして、その一方に高抵抗値状態、他方に低抵抗値状態を書き込む。そしてこれらのセルペアの相補データを、1ビットデータとして読み出すようにする。これにより、三次元セルアレイ全体でセルの高抵抗値状態と低抵抗値状態の分布にたとえ一部重なりがある場合でも、上述した参照値  $R_{ref}$  を用いずに、確実にセルデータの読み/書きができる。

40

## 【 0 0 4 4 】

50

図17と図18は、セルペアの選択の二つの方法を示す。図17では、ワード線WLを共有して上下に隣接するセルアレイの間で、上下に隣接する二つのセルMCの一方を真値セル(true cell) T-cell、他方を相補セル(complementary cell) C-cellとして、ペアを構成する。図18は、同一セルアレイ内で、ワード線WLを共有し且つ異なるビット線BL0, BL1に接続されて隣接する二つのセルMCをペアとする例である。いずれも、真値セルT-cellには、二値データの正論理値が、相補セルC-cellには、負論理値が書き込まれるものとする。即ち図17及び図18のいずれの場合も、セルペアは、ワード線を共有し、ビット線は別々となる。

#### 【0045】

以下に具体的なデータの書き込み/読み出し回路を説明するが、以下の実施の形態では、図5及び図9に示した4層のセルアレイMA0-MA3を持つ三次元セルアレイについて説明する。図9のセルブロック41の一部について、三次元的等価回路とその中のセルペアの選択法を、図17及び図18に対応させて、図19及び図20に例示した。

10

#### 【0046】

図19の例では、ワード線を共有する第1層セルアレイMA0と第2層セルアレイMA1の間で、上下に隣接する二つのセルを、T-cell0, C-cell0としてペアを組む。ワード線を共有する第3層セルアレイMA2と第4層セルアレイMA3の間で同様に、上下に隣接する二つのセル、T-cell1, C-cell1としてペアを組む。

#### 【0047】

図20では、第1層セルアレイMA0内でワード線を共有して隣接する二つのセルを、T-cell0, C-cell0としてペアを組む。同様に、第2層セルアレイMA1内でワード線を共有して隣接する二つのセルを、T-cell1, C-cell1としてペアを組む。第3層, 第4層セルアレイMA2, MA3でも同様である。図19, 20には、各ペアセルの選択時の電流の向きを示している。

20

#### 【0048】

次に、上述のように三次元セルアレイを用いてセルペアに相補データを書き込み、読み出す場合の書き込み回路及び読み出し回路を説明する。

#### 【0049】

図21は、m, nを任意の整数として、図19に示す4層セルアレイMA0-MA3の中のビット線BL0n, BL1n, BL2nと、ワード線WL0m, WL1mにより選択される二つのセルペア(T-cell0, C-cell0), (T-cell1, C-cell1)に対する読み出し回路60と書き込み回路70を示している。読み出し回路60と書き込み回路70の主要部は、図5に示すセルアレイが形成されるシリコン基板10に、セルアレイの形成に先立って形成される。但し、書き込み回路70のパルス昇圧回路72a, 72bの一部は、セルアレイの形成工程で、セルアレイと同じ半導体膜を用いて形成する。この点は後述する。また読み出し回路60と書き込み回路70は当然に、一方が活性の時、他方は非活性に保たれる必要があるが、これらの活性, 非活性の制御回路部は以下の説明でも省略している。

30

#### 【0050】

読み出し回路60は、ワード線WL0mを共有するペアセルC-cell0, T-cell10のビット線BL0n, BL1nに流れるセル電流の差を検出するセンスアンプ回路SA1、同様にワード線WL1mを共有するビット線BL1n, BL2nに流れるC-cell1, T-cell1のペアセル電流の差を検出するセンスアンプ回路SA2により構成される。これらのセンスアンプSAには、選択回路50により選択されたビット線BL0n, BL1n, BL2nがそれぞれ信号線BP0m, BP1, BP2nを介して接続される。

40

#### 【0051】

図21は、図17に示したように積層方向に隣接する二つのセルがペアセルを構成する場合を示している。これに対して、セルアレイ内で隣接する二つのセルをペアセルとする図18の方式では、読み出し回路のセンスアンプSAは、そのペアセルが接続される同じ

50

セルアレイ内の隣接するビット線の間接続されることになる。

【0052】

センスアンプ回路SAは具体的に、図23に示すように構成される。ペアセルC-cell1, T-cell1につながるビット線BL1k, BL1'k'は、それぞれ信号線BP1k, BP1'k'を介し、抵抗R1k, R1'k'を介して、低電位電源線BLS1k, BPS1'k'に接続される。ワード線WLは非選択時低レベルに保持され、選択時に高レベルとなる正論理パルスが与えられる。一方信号線BP1k, BP1'k'は、図11で説明したように、非選択時高レベルに保持され、読み出し時に選択的に負論理パルス電圧が与えられる。従って選択時、各セルに図示のようなセル電流が流れる。このセル電流を抵抗R1k, R1'k'により電圧に変換し、その電圧の差を差動アンプDAで検出する。これにより、ペアセルのデータが、T-cell1 = "0" (高抵抗), C-cell1 = "1" (低抵抗)であれば、Sout = "L" (= "0") が得られ、ペアセルのデータが逆であれば、Sout = "H" (= "1") が得られる。

10

【0053】

この様にこの実施の形態の読み出し回路では、相補的なペアセルT-cell1, C-cell1につながるビット線を差動アンプDAの入力とし、固定の参照値を用いない。即ち、ペアセルにそれぞれ流れる電流を抵抗によって電圧に変換し、相補的なデータの差を差動アンプで比較する。これにより、安定して情報を保持し読み出すことができる。大規模な三次元セルアレイであって、セルの抵抗値分布のばらつきが大きい場合でも、前述のように隣接するペアセルの間では高抵抗値状態と低抵抗値状態の差が確保できるから、安定した読み出し動作を行うことが可能となる。

20

【0054】

なお、図21の例に示したように、積層されたペアセルC-cell0, T-cell0と、ペアセルC-cell1, T-cell1は、ビット線BL1nを共有している。この共有ビット線BL1nは、二つのセンスアンプ回路SA1, SA2の双方の入力端子に接続される。従って、これら二つのセンスアンプSA1, SA2は、二つのペアセルのそれぞれのセル電流差を同時に検出することは出来ない。この様に、ペアセルの間でビット線が共有される場合には、後述するように、二つのセンスアンプSA1, SA2による読み出し動作は、時分割で行うことが必要である。これは、セルアレイ内でペアセルを構成する場合も同様である。即ち、各セルアレイ内で、二つのペアセルがビット線を共有して隣接する場合には、これらの二つのペアセルのデータ検出を行う二つのセンスアンプ回路は、時分割で読み出し動作を行う必要がある。

30

【0055】

この実施の形態の書き込み回路70の基本コンセプトは、三次元セルアレイの中の近接する複数のメモリセルに対してパルス駆動による同時書き込みを行うことにある。具体的に、同時書き込みが行われる少なくとも二つのメモリセルの組み合わせは、次のようなものである。ここで同時書き込みがなされる二つのメモリセルは、ペアを構成する場合とそうでない場合を含む。

- (1) ワード線を共有して上下に隣接するセルアレイの上下に隣接する二つのメモリセル、
- (2) ビット線を共有して上下に隣接するセルアレイの上下に隣接する二つのメモリセル、
- (3) 一つのセルアレイ内でワード線を共有して隣接する二つのメモリセル。

40

【0056】

具体的に図21の書き込み回路70は、4層セルアレイの積層方向に配列される4つのメモリセルC-cell0, T-cell0, C-cell1, T-cell1による2ペアセルに対して同時書き込みを行う例を示している。即ち図21の書き込み回路70は、選択回路50により選択されたワード線、ビット線にそれぞれ与えるための正論理書き込みパルス、負論理書き込みパルスを発生する書き込みパルス発生回路71と、それらの正、負論理書き込みパルスのパルス幅の調整と必要に応じた昇圧を行うパルス昇圧回路7

50

2 a , 7 2 b とを有する。

【 0 0 5 7 】

書き込みパルス発生回路 7 1 は、ビット線 B L 0 n , B L 1 n , B L 2 n にそれぞれ与えられる負論理書き込みパルス L 0 n , L 1 n , L 2 n、及びワード線 W L 0 m , W L 1 m にそれぞれ与えられる正論理書き込みパルス H 0 m , H 1 m を発生する。ここでは、最下層セルアレイのビット線 B L 0 n に与えられる負論理書き込みパルス L 0 n を基準パルスとしている。即ち、負論理書き込みパルス L 0 n は、昇圧回路を通すことなく、信号線 B P 0 n に供給され、選択回路 5 0 を介してビット線 B L 0 n に供給される。他の正論理書き込みパルス H 0 m , H 1 m 及び負論理書き込みパルス L 1 n , L 2 n は、基準となる負論理書き込みパルス L 0 n との関係で必要な遅延を与え、必要な昇圧を行うために、昇

10

【 0 0 5 8 】

具体的に昇圧回路 7 2 a , 7 2 b への入力と各昇圧回路 7 2 a , 7 2 b の出力の関係は、図 2 2 のようになる。ワード線 W L 0 m に与えられるべき正論理書き込みパルス H 0 m を昇圧する正パルス昇圧回路 ( P P - B O O S T ) 7 2 b には、その正論理書き込みパルス H 0 m と共に、ワード線 W L 0 m を挟むビット線 B L 0 n , B L 1 n に与えられるべき負論理書き込みパルス L 0 n , L 1 n が供給される。これにより、書き込みデータに応じて負論理書き込みパルス L 0 n , L 1 n と正論理書き込みパルス H 0 m の重なり時間と昇圧動作を決定する。同様に、ビット線 B L 1 n に与えられるべき負論理書き込みパルス L 1 n を昇圧する負パルス昇圧回路 ( N P - B O O S T ) 7 2 a には、その負論理書き込み

20

【 0 0 5 9 】

具体的に、正負論理書き込みパルスの重なりと昇圧動作は、書き込みデータに応じてセルに与える書き込みエネルギーを決定するために行うものである。即ち“ 0 ”書き込みでは、セルのカルコゲナイドに図 1 3 で説明した相変化を行わせるべく、正負論理書き込み

30

パルスの短時間の重なりとその一方の昇圧を行う。“ 1 ”書き込みでは、セルのカルコゲナイドに図 1 4 で説明した相変化を起こさせるべく、正負論理書き込みパルスの重なり時間を大きくし、パルス昇圧は行わない。図 2 1 の最上層ビット線 B L 2 n に与えられるべき負論理書き込みパルス L 2 n を昇圧する昇圧回路 7 2 a に入力する“ L ”は、これより上のワード線がないための固定低レベル入力である。

【 0 0 6 0 】

図 2 4 は、書き込みパルス発生回路 7 1 の構成例を示している。この書き込みパルス発生回路 7 1 は、パルス幅が同じで遅延量が異なる 2 種のパルスが発生するパルス発生回路 1 0 0 と、その 2 種のパルスの組み合わせにより必要な書き込みパルスを生成する論理ゲート回路 1 1 0 とから構成される。

40

【 0 0 6 1 】

原パルス発生回路 1 0 1 は、パルス幅 T 0 のパルス P 0 を発生するものであり、遅延回路 1 0 2 は、このパルス P 0 を約 T 0 / 2 だけ遅延させる回路である。ここで、時間 T 0 は、カルコゲナイドにその時間パルスを印加したときに多結晶状態になり得る時間とし、T 0 / 2 は、アモルファス状態になる程度の長さとする。

【 0 0 6 2 】

原パルス発生回路 1 0 1 の出力パルス P 0 を、インバータ 1 1 1 で反転した負論理パルスが、ビット線 B L 0 に与えられる基準の負論理書き込みパルス L 0 n となる。以下、ワード線 W L 0 , ビット線 B L 1 及びワード線 W L 1 に与えるパルスの、ビット線 B L 0 に対する負論理書き込みパルスとの関係は、書き込みデータに応じて決まる論理信号 L o g

50

i c 0 - 3 との論理をとって実現する。ANDゲート121, 122の組みは、Logic 0 に応じて、パルス発生回路100の出力パルスか、遅延回路102による遅延パルスかを選択するものである。これらのANDゲート121, 122の出力がORゲート112を介して取り出されて、ワード線WL0に供給される正論理書き込みパルスH0mとなる。

#### 【0063】

同様に、ANDゲート123, 124の組みは、Logic 1 に応じて、パルス発生回路101の出力パルスか、遅延回路102による遅延パルスかを選択するものである。これによりNORゲート113を介して、ビット線BL1に与えられる負論理書き込みパルスL1nが得られる。ANDゲート125, 126の組みは、Logic 2 に応じて、パルス発生回路101の出力パルスか、遅延回路102による遅延パルスかを選択するもので、これらの出力がORゲート114を介して、ワード線WL1に与えられる正論理書き込みパルスH1mとして得られる。ANDゲート127, 128の組みは、Logic 3 に応じて、パルス発生回路101の出力パルスか、遅延回路102による遅延パルスかを選択するもので、これらの出力がNORゲート115を介して、ビット線BL2に与えられる負論理書き込みパルスL2nとして得られる。

#### 【0064】

Logic 0 - 3 の“0”, “1”のすべての組み合わせにより得られるパルス発生回路100の出力信号波形は、図25のようになる。ここでは、図21に示す積層方向に直列につながった4セルすべて独立にデータを設定するに必要な論理パルス信号を示している。あるセルについて、ワード線に与えられる正論理書き込みパルスと対応するビット線に与えられる負論理書き込みパルスの重なり時間がT0で“1”書き込みとなり、その重なり時間がT0/2で“0”書き込みとなる。図25の信号波形の上段に示した0, 1の組み合わせが、この同時書き込みのセル情報で、左から右へ、T-cell11, C-cell11, T-cell10, C-cell10の順である。

#### 【0065】

但しこの発明では、ペアを組むT-cell, C-cellには、相補データを書き込むことになる。従って、図25の出力信号波形の中で実際に用いられるのは、T-cell, C-cellの一方が“0”、他方が“1”となる、波線で囲んだ4つの出力信号のみである。

#### 【0066】

図25の書き込みパルス信号L0n, L1n, L2n, H0m, H1mは、図21に示すように、パルス昇圧回路72a, 72bにより、“0”書き込みの場合に、正論理書き込みパルス又は負論理書き込みパルスが昇圧される。これらの昇圧回路72a, 72bの具体的構成を示すと、図26のようになる。

#### 【0067】

正パルス昇圧回路72bに、正論理パルスHと共に入る負論理パルスL1, L2は、図21に示したように、正論理パルスHが与えられるワード線を共有する上下セルアレイのビット線に供給されるものを示している。同様に、負パルス昇圧回路72aに、負論理パルスLと共に入る正論理パルスH1, H2は、図21に示したように、負論理パルスLが与えられるビット線を共有する上下セルアレイのワード線に供給されるものを示している。

#### 【0068】

正, 負パルス昇圧回路72b, 72aはそれぞれ、チャージポンプ動作により信号線WPij, BPijを昇圧するためのキャパシタC1, C2を有する。キャパシタC1, C2のそれぞれ信号線WPij, BPij側のノードN12, N22には、非選択状態でこれらをそれぞれ、Vss, Vccに保持するためのリセット用NMOSTランジスタQN10, PMOSTランジスタQP10が設けられている。これらのリセット用トランジスタQN10, QP10は、それぞれ正論理書き込みパルスH, 負論理書き込みパルスLが発生されたときに、それらにより駆動されてオフになる。

## 【 0 0 6 9 】

ノードN12, N22には、選択状態でキャパシタC1, C2をそれぞれ正論理パルスHのレベル(例えばVcc), 負論理パルスLのレベル(例えばVss)に充電するためのダイオードD12, D22が接続されている。ノードN12, N22はそれぞれ転送素子であるダイオードD13, D23を介して信号線WPij, BPijに接続される。これらの信号線WPij, BPijには、選択時に正論理パルスH, 負論理パルスLを与えるためのダイオードD11, D21が接続されている。非選択状態では、キャパシタC1, C2の他方のノードN11, N21はそれぞれ、ANDゲート254b, ORゲート254aの出力により、Vss, Vccに保持されるようになっている。

## 【 0 0 7 0 】

正パルス昇圧回路72bでは、ANDゲート254bの一方の入力端子には正論理パルスHを遅延回路255bによりわずかに遅らせたパルスが入り、他方の入力端子には、正論理パルスHと負論理パルスL1, L2の重なり状態がORゲート251bとNORゲート252bにより検出されて、その結果が遅延回路253bを介して入力される。負パルス昇圧回路72aでは、ORゲート254aの一方の入力端子には負論理パルスLを遅延回路255aでわずかに遅らせたパルスが入り、他方の入力端子には、負論理パルスLと正論理パルスH1, H2の重なり状態がORゲート251aとNANDゲート252aにより検出されて、その結果が遅延回路253aを介して入力される。遅延回路253a, 253bの遅延時間は、各書き込みパルスの幅Tに対して、T/2程度とする。

## 【 0 0 7 1 】

この様に構成されたパルス昇圧回路72a, 72bの動作を、図27を用いて説明する。正, 負論理の書き込みパルスが発生されない非選択状態においては、正パルス昇圧回路72bでは、ANDゲート254bの出力がVss、またNMOSトランジスタQN10がオンであり、従ってキャパシタC1のノードN11, N12は、Vssである。同様に非選択状態で、負パルス昇圧回路72aでは、ORゲート254aの出力がVcc、PMOSトランジスタQP10がオンであり、キャパシタC2のノードN21, N22は、Vccに保持される。

## 【 0 0 7 2 】

図27に示すように、パルス幅Tの正論理書き込みパルスHが、同じパルス幅Tの負論理書き込みパルスL1, L2と同時に発生された場合には、正パルス昇圧回路72bでは、ダイオードD12によりキャパシタC1が、N12 = Vcc, N11 = Vssに充電される。ANDゲート254bの出力は低レベルVssを保持するから、ダイオードD11を介して、信号線WPijに正論理書き込みパルスHがそのまま与えられる。パルス幅Tの負論理書き込みパルスLが、同じパルス幅Tの正論理書き込みパルスH1, H2と同時に発生された場合には、負パルス昇圧回路72aでは、ダイオードD22によりキャパシタC2が、N22 = Vss, N21 = Vccに充電される。ORゲート254aの出力は高レベルVccを保持するから、ダイオードD21を介して、信号線BPijに負論理書き込みパルスLがそのまま与えられる。これらの場合、キャパシタC1, C2の放電動作はなく、パルス昇圧は行われない。

## 【 0 0 7 3 】

次に、正論理書き込みパルスHが、負論理書き込みパルスL1及びL2に対して、それらのパルス幅の半分T/2だけ遅れて発生された場合には、正パルス昇圧回路72bでの正論理書き込みパルスHの正方向の昇圧動作が行われる。即ち、正パルス昇圧回路72bではこのとき、正論理パルスHが高レベルになると、キャパシタC1が、N12 = Vcc, N11 = Vssに充電される。そして、遅延回路255bの遅延時間遅れて、ANDゲート254bの出力がH、即ちN11 = Vccになり、キャパシタC1の正電荷はダイオードD13を介して信号線WPijに転送される。即ちキャパシタC1とダイオードD12, D13によるチャージポンプ動作により、ダイオードD11を介して信号線WPijに与えられる正論理書き込みパルスHは、正方向に昇圧される。言い換えれば、ダイオードD11を介して選択セルに供給される書き込み電流に、キャパシタC1の容量値と充電

10

20

30

40

50

電圧により決まる放電電流が加算されることになる。正論理書き込みパルスH1又はH2と負論理書き込みパルスLの間の関係が同様であれば、負パルス昇圧回路72aでは、その様な昇圧動作はない。

【0074】

次に、正論理書き込みパルスHが、負論理書き込みパルスL1及びL2に対して、それらのパルス幅の半分 $T/2$ だけ先行して発生された場合には、負パルス昇圧回路72aでの負論理書き込みパルスLの負方向の昇圧動作が行われる。即ちこのとき、負パルス昇圧回路72aでは、負論理パルスLが低レベルになると、キャパシタC2が、 $N22 = Vss$ 、 $N21 = Vcc$ に充電される。そして、遅延回路255aの遅延時間遅れて、ORゲート254aの出力がL、即ち $N21 = Vss$ になり、キャパシタC1の負電荷はダイオードD23を介して信号線BPijに転送される。即ちキャパシタC2とダイオードD22、D23によるチャージポンプ動作により、ダイオードD21を介して信号線BPijに与えられる負論理書き込みパルスLは、負方向に昇圧される。正論理書き込みパルスH1又はH2と負論理書き込みパルスLの間の関係が同様であれば、正パルス昇圧回路72bでは、その様な昇圧動作はない。

【0075】

図27に示した正、負論理書き込みパルスH、Lのパルス幅Tは、“1”データ書き込みに必要なパルス印加時間である。これらのパルスの重なり状態を制御して得られる実質 $T/2$ のパルス幅の昇圧された正又は負パルスが、“0”データ書き込みに必要なワード線又はビット線に与えられる。図26のパルス昇圧回路を用いると、“0”データ書き込みに必要な短いパルス印加時間の高レベル又は低レベルをキャパシタにより昇圧し、キャパシタの容量値により決まる書き込み電流をセルに供給することができる。従ってこのようなパルス昇圧回路を書き込み回路に組み込むことによって、元のデータ状態によらず、確実に“0”データ書き込みを行うことが可能になる。

【0076】

図28は、図25に示した正負論理パルスL0n、H0m、L1n、H1m、L2nをパルス昇圧回路72a、72bを通すことによってそれぞれ信号線BP0n、WP0m、BP1n、WP1m、BP2nに与えられる正負書き込みパルス波形を示している。これにより、書き込みパルス時間が $T/2$ となる“0”書き込みセルについて、ワード線に与えられる正論理書き込みパルスが正方向に、或いはビット線に与えられる負論理書き込みパルスが負方向に昇圧されることになる。図28においても、図21に対応して波線で囲んだ部分が実際にこの発明において用いられる。信号波形の上に記述してある4ビットデータは、前述のように、第1ビットがT-c e l l 1、第2ビットがC-c e l l 1、第3ビットがT-c e l l 0、第4ビットがC-c e l l 0に対応している。

【0077】

以上のように、図21に示すこの実施の形態の書き込み回路70は、キャパシタに蓄積した電荷の急激な放電を利用したパルス昇圧動作によって、セルの初期データ状態によらず、“0”書き込みに必要な相変化を生じさせるに十分なエネルギーをカルコゲナイドに注入することが可能になる。

【0078】

ここまでの実施の形態では、図19に示したように、4層セルアレイの積層方向に隣接する二つずつのセルでペアセルを構成する場合を説明した。次に、図20に示したように、セルアレイ内で隣接する二つのセルでペアセルを組む場合について、データ書き込み法を説明する。

【0079】

上記実施の形態では、積層方向に並ぶ4セルが二つのペアセルを構成し、これらに同時に書き込みを行う。これに対して、図20の方式では、積層方向には、4つの真値セルT-c e l l 0 ~ 3が直列接続され、これに隣接して、積層方向に直列接続された4つの相補セルC-c e l l 0 ~ 3が配置される。従って、積層方向のセルに同時書き込みを行う上記実施の形態と同様に方式を適用するには、4つの真値セルT-c e l l 0 ~ 3に対す

10

20

30

40

50

る書き込みと、4つの相補セルC - c e l l 0 ~ 3に対する書き込みのタイミングを分けることが必要になる。

【0080】

図29は、そのような2回の書き込み動作を利用した書き込みパルス波形を示している。書き込むべきビット状態と波形は基本的に図28と同じであるがその書き込み手順が異なる。第1の書き込み動作では、T - c e l l 0 ~ 3又は、C - c e l l 0 ~ 3の一方に対する書き込みを行い、第2の書き込み動作で他方に対する書き込みを行う。波形の上の0、1の並びは、左から、積層方向の上から下へのセルのデータを示している。具体的に、第1の書き込みでは、4つの真値セルT - c e l l 0 ~ 3に、これらに対応するビット線を選択して同時に正論理値を書き込む。第2の書き込みで、対応する4つの相補セルC - c e l l 0 ~ 3に対応するビット線を選択して、同時に負論理値を書き込む。横方向にペアを構成するT - c e l l とC - c e l l は相補データを記憶する必要があるから、図29の2回の書き込み動作の間で線で結んだ信号同士が、その2回の書き込み動作で選択されることになる。

10

【0081】

以上のように、積層方向の直列4セルへの同時書き込みでは、図29に示すように、ワード線W L 0 , W L 1につながる信号線W P 0 m , W P 1 mと、ビット線B L 0 ~ B L 2につながる信号線B P 0 n ~ B P 2 n , B P 0 n ' ~ B P 2 n 'のパルス波形に、“0”書きと“1”書きとで異なる波形変化を与える。これは、図11、12に示したように、セルアレイの縦横両方向に走る信号線に対して共にパルス昇圧回路を必要とすることを意味し、書き込み回路が煩雑になる。

20

【0082】

これに対して、書き込み回路をより簡単にできる別の書き込み方法について次に説明する。図20のような相補的ペアセルの構成法を採用したとき、実は積層方向の4セルに同時書き込みすることは必ずしも必要ではない。そこで、隣接する二つのセルアレイ内で互いに隣接する4セルで構成される2ペアセルに同時書き込みを行うようにすることができる。具体的には、図20における4層セルアレイの中の二つの隣接セルアレイM A 0 , M A 1の4セルT - c e l l 1 , C - c e l l 1 , T - c e l l 0 , C - c e l l 0に対して、同時書き込みを行う。このときの書き込みパルス波形を図30に示す。

30

【0083】

ワード線W L 0 mにつながる信号線W P 0 mには、基準となる正論理書き込みパルスが与えられる。同時に選択される4本のビット線B L 0 n , B L 0 n ' , B L 1 n , B L 1 n 'につながる信号線B P 0 n , B P 0 n ' , B P 1 n , B P 1 n 'には、データに応じて、基準正論理書き込みパルスに対して遅延とパルス昇圧が行われた負論理書き込みパルスを与える。図のパルス波形の上に記述してある0、1は、左から順に、図20のT - c e l l 1 , C - c e l l 1 , T - c e l l 0 , C - c e l l 0の設定データである。

【0084】

4層セルアレイの上側の隣接セルアレイM A 2 , M A 3については、別の書き込みサイクルで同様の書き込みパルスを与えて、2ペアセルの4セルに同時書き込みを行えばよい。

40

【0085】

このような書き込み方式とすれば、ビット線に与える負論理書き込みパルスのみ、データに合わせた昇圧パルス波形を用いればよい。従って、図21に示した正パルス昇圧回路72bと負パルス昇圧回路72aのうち、正パルス昇圧回路72bは不要になり、書き込み回路は簡単になる。

【0086】

図19に示すペアセルの構成法の場合にも同様に、積層方向の直列4セルの同時書き込みではなく、下側と上側の2層ずつの同時書き込みを行えば、同様の書き込みができる。この場合は図31に示すように、下側の隣接セルアレイM A 0 , M A 1内の2ペアセルT - c e l l 0 , C - c e l l 0 , T - c e l l 1 , C - c e l l 1が同時に書き込まれる

50



。このときの書き込みのパルス波形を、図32に示す。波形の上に記述してある0、1は、左から、T-cell10, T-cell11, C-cell10, C-cell11の順の設定データである。

【0087】

この場合も、書き込み回路は、負パルス昇圧回路のみがあればよく、その入出力信号の関係は、図33のようになる。ワード線につながる信号線WP0mには、パルス昇圧回路を介することなく、正論理書き込みパルスH0mがそのまま供給される。ビット線につながる信号線BP0n, BP1nには、負論理書き込みパルスL0n, L1nが、図21に示したように負パルス昇圧回路72aを介して、データに応じて昇圧された信号が与えられる。図33の“H”は、固定の“H”レベル信号である。即ち、図26に示す負パルス昇圧回路72aの入力H1, H2の入っているOR回路251aは不要であり、負論理書き込みパルスL0n, L1nが入るNANDゲートの2入力的一方を“H”固定にすればよい。

10

【0088】

また、図33の入力信号を生成するには、図21における書き込みパルス発生回路71は、図24に比べてより簡単に、図34のように構成される。パルス発生回路100は、図24のそれと同じである。正論理書き込みパルスH0mは、原パルス発生回路101の出力パルスを用いる。論理回路部110aは、正論理書き込みパルスH0mを基準パルスとして、これとの関係で、セルに設定するデータのビット情報B0, B1に応じてパルス発生回路100から出力される二つのパルスの組み合わせで、負論理書き込みパルスL0n, L1nを生成する。

20

【0089】

図34の書き込みパルス発生回路110aの構成は、ワード線を共有して上下に隣接する二つのセルアレイの共有ワード線とこれを挟む二つのビット線に対して、それぞれ正論理書き込みパルスと負論理書き込みパルスを生成するものといえることができる。図30で説明した書き込み方式の場合も、入力する論理データは異なるが同様の書き込みパルス発生回路の構成を用いることになる。

【0090】

以上のように、積層セルアレイのなかに設定された2ペアセルに書き込んだデータを読み出すには、これらの2ペアセルにつながるビット線が互いに独立であれば、それぞれのペアセルに対応して設けられた、図23に示したセンスアンプ回路SAを同時に動作させればよい。しかし、図19, 図20, 図21に示した例では、第2層セルアレイMA1と第3層セルアレイMA2がビット線を共有している。言い換えれば、T-cell10, C-cell10のペアと、T-cell11, C-cell11のペアが、ビット線BL1nを共有している。この方式では、これらのペアセルのデータを時分割で読み出すことが必要になる。

30

【0091】

図35にそのひとつの時分割読み出し法を示す。図11に示すように、信号線BP10は、二つのセルアレイMA1, MA2で共有されるビット線BL10につながる。図23に示すように、読み出しの際に抵抗を介して信号線BP00, BP10, BP20に負論理パルスを供給するための低電位電源線BPS00, BPS10, BPS20には、共通の低電位電源パルスが供給されるものとする。これに対して、セルアレイMA0, MA1で共有されるワード線WL0mを駆動する信号線WP00と、セルアレイMA2, MA3で共有されるワード線WL1mを駆動する信号線WP10とに対しては、互いに時間的にずれていて、それぞれ負論理パルスと幅が半分ずつ重なるように、正論理パルスを与える。これにより、セルアレイMA0, MA1の間で構成されるペアセルに対する読み出しREAD1と、セルアレイMA2, MA3の間で構成されるペアセルに対する読み出しREAD2を時分割で行うことができる。

40

【0092】

図36は、図35の方式をより一般化したものである。低電位電源線BPSxx, BP

50

S x x ' に一定パルス幅の低電位電源パルスを与え、そのパルス幅内で、セルアレイ内のワード線を駆動するための信号線 W P 0 0 , W P 0 1 , ... , W P x x に時分割で順次正論理パルスを与える。これにより、正負論理パルスの重なる位置での読み出し R E A D 0 0 , R E A D 0 1 , ... , R E A D x x が可能になり、ビット線を共有するペアセルのデータを時分割で読み出すことができる。

#### 【 0 0 9 3 】

ここまでの実施の形態では、メモリセルを構成するダイオードとしてショットキーダイオードを用いたが、前述のように P N 接合ダイオードを用いることも可能である。例えば、図 5 に対応して、P N 接合ダイオードを用いた 4 層セルアレイ構造を示すと、図 3 7 のようになる。各層セルアレイのビット線とワード線の交差部に配置されるメモリセルには、n 型シリコン層 2 5 と p 型シリコン層 2 6 の P N 接合により構成されたダイオード D i が形成されている。それ以外は図 5 と同様である。

10

#### 【 0 0 9 4 】

上記実施の形態では、図 2 6 に示したように、書き込み回路には、トランジスタ回路の他、キャパシタ C 1 , C 2 やダイオード D 1 1 ~ D 1 3 , D 2 1 ~ D 2 3 が用いられる。このような書き込み回路は、できる限りセルアレイ領域とプロセスを共有して、小さい占有面積に形成することが好ましい。例えば、書き込み回路のダイオード D 1 1 ~ D 1 3 , D 2 1 ~ D 2 3 は、セルアレイに用いられるダイオード S D と同時に形成するようにする。

#### 【 0 0 9 5 】

図 3 8 は、そのようなセルアレイ領域と書き込み回路領域でプロセスを共有した場合の構造例を示している。シリコン基板 1 0 にはセルアレイ形成前にトランジスタ回路が形成される。図 3 8 の M O S キャパシタ 3 0 0 は、図 2 6 に示したキャパシタ C 1 , C 2 に相当する。これは、セルアレイを形成する前に、シリコン基板 1 0 の周辺回路トランジスタを形成する工程で同時に形成することができる。この M O S キャパシタ 3 0 0 に重なるように、第 1 層セルアレイ M A 0 のダイオード S D を形成する工程をそのまま利用してダイオード 3 0 1 を形成する。更に第 2 層セルアレイ M A 1 のダイオード S D の形成工程を利用してダイオード 3 0 2 を形成する。

20

#### 【 0 0 9 6 】

図 3 8 の例では、一方のダイオード 3 0 1 はアノードを直下の M O S キャパシタ 3 0 0 に接続し、もう一方のダイオード 3 0 2 はカソードを直下の M O S キャパシタ 3 0 0 に接続している。前者のダイオード 3 0 1 とキャパシタ 3 0 0 の組み合わせは、図 2 6 の負パルス昇圧回路 7 2 a 側のキャパシタ C 2 とその充電用ダイオード D 2 2 に相当する。後者のダイオード 3 0 2 とキャパシタ 3 0 0 の組み合わせは、図 2 6 の正パルス昇圧回路 7 2 b 側のキャパシタ C 1 とその充電用ダイオード D 1 2 に相当する。同様にして、図 2 6 における他のダイオードも各セルアレイの適当な層のダイオードと同時に、M O S キャパシタの領域上に形成することができる。

30

#### 【 0 0 9 7 】

なお先に説明したセルアレイの製造工程では、カルコゲナイド膜から半導体膜までの積層膜を成膜した後に、その積層膜をパターニングしてメモリセルを形成する。しかし、図 3 8 に示した書き込み回路を含む周辺回路の製造プロセスを考慮すると、カルコゲナイド膜を、周辺回路領域で除去する工程が入ることになる。また図 3 8 の構造では、ダイオード 3 0 1 , 3 0 2 と M O S キャパシタ 3 0 0 の間に層間絶縁膜 3 0 3 , 3 0 4 を埋め込む工程が必要になる。但しこれらの層間絶縁膜 3 0 3 , 3 0 4 の部分に、セルアレイ領域で用いられる金属膜を必要に応じて残すようにすることもできる。

40

#### 【 0 0 9 8 】

図 3 8 のような構造を用いると、M O S キャパシタが大きな面積が必要であるとしても、M O S キャパシタ上にダイオードを重ねることによって、書き込み回路領域のチップ占有面積を小さいものとするすることができる。

#### [ 産業上の利用可能性 ]

この発明によれば、3 次元セルアレイ構成を用いて、大きなマージンをもってデータの

50

読み／書きを可能とした相変化メモリ装置を提供することができる。

【図面の簡単な説明】

【0099】

【図1】この発明の実施の形態による基本セルアレイの等価回路構成を示す図である。

【図2】実施の形態の三次元セルアレイの概略レイアウトを示す図である。

【図3】2層セルアレイの場合の図2のI-I'断面図である。

【図4】同三次元セルアレイの等価回路である。

【図5】4層セルアレイの場合の図2のI-I'断面図である。

【図6】ビット線形成後、カルコゲナイド層からn型シリコン層までの膜堆積工程を示す図である。

10

【図7】メモリセルパターンニング工程を示す図である。

【図8A-8C】メモリセルパターンニングのためのリソグラフィ工程を説明するための図である。

【図9】4層セルアレイのセルブロック構成法を示す図である。

【図10】セルアレイのビット線及びワード線を選択する選択回路の基本構成を示す図である。

【図11】4層セルアレイのビット線選択回路構成を示す図である。

【図12】4層セルアレイのワード線選択回路構成を示す図である。

【図13】この実施の形態のメモリセルの“0”書き込みの原理を説明するための図である。

20

【図14】この実施の形態のメモリセルの“1”書き込みの原理を説明するための図である。

【図15】セルアレイのデータの抵抗値分布を示す図である。

【図16】大容量セルアレイでのデータの抵抗値分布を示す図である。

【図17】この発明によるペアセルの一つの構成法を示す図である。

【図18】この発明によるペアセルの他の構成法を示す図である。

【図19】4層セルアレイについて図17のペアセル構成法を適用した例の三次元等価回路を示す図である。

【図20】4層セルアレイについて図18のペアセル構成法を適用した例の三次元等価回路を示す図である。

30

【図21】図19のペアセル構成法による三次元セルアレイに適用した読み出し回路及び書き込み回路の構成を示す図である。

【図22】図21の書き込み回路における正負論理書き込みパルスの組み合わせ法を示す図である。

【図23】図21の読み出し回路におけるセンスアンプ回路構成を示す図である。

【図24】図21の書き込み回路における書き込みパルス発生回路の構成を示す図である。

【図25】同書き込みパルス発生回路から出力される書き込みパルス信号波形を示す図である。

【図26】図21の書き込み回路におけるパルス昇圧回路の構成を示す図である。

40

【図27】同パルス昇圧回路の動作波形を示す図である。

【図28】図25の書き込みパルス信号波形に対応して、パルス昇圧回路で昇圧された書き込みパルス信号波形を示す図である。

【図29】図20のペアセル構成法を採用した場合の2ペアセルに対する、2回の書き込み動作による書き込みパルス波形を示す図である。

【図30】同じく図20のペアセル構成法を採用したときの、2ペアセルに対する他の書き込みパルス波形を示す図である。

【図31】図19のペアセル構成法の場合の図29とは異なる同時書き込みペアセルの選択法を示す図である。

【図32】同選択法による2ペアセルの同時書き込みの書き込みパルス波形を示す図であ

50

る。

【図33】同書き込みパルス波形を生成する方法を示す図である。

【図34】同書き込みパルスを生成する書き込みパルス発生回路を示す図である。

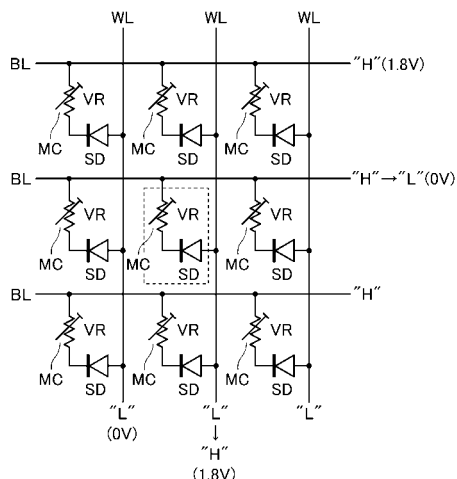
【図35】ビット線を共有する2ペアセルの読み出し法を説明するための図である。

【図36】同読み出し法を一般化した複数の2ペアセルの順次読み出し法を説明するための図である。

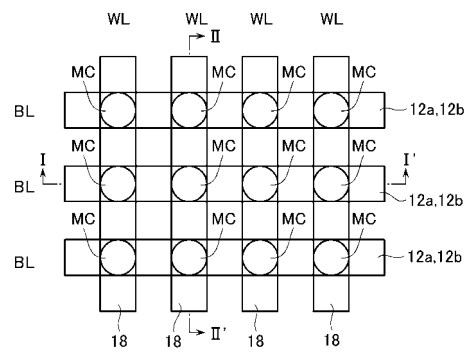
【図37】PN接合ダイオードを用いた場合の図5対応の積層セルアレイ構造を示す図である。

【図38】セルアレイと書き込み回路の集積化構造を示す図である。

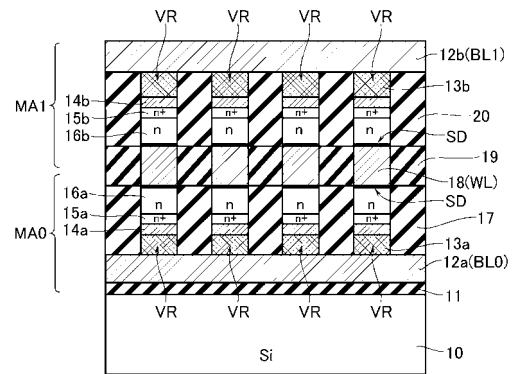
【図1】



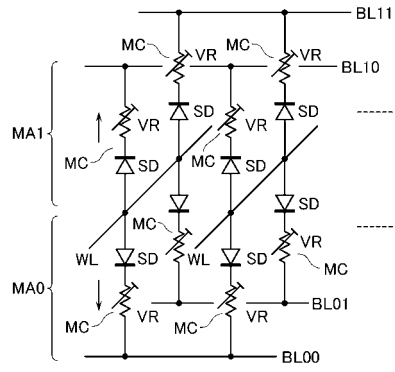
【図2】



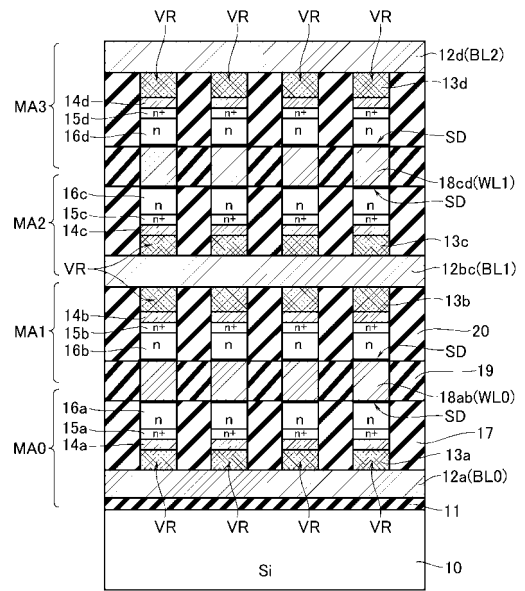
【図3】



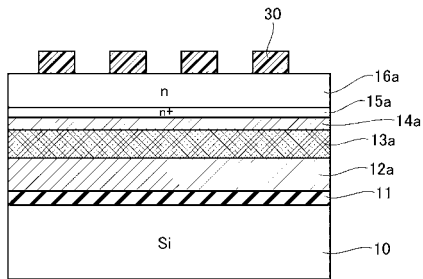
【図4】



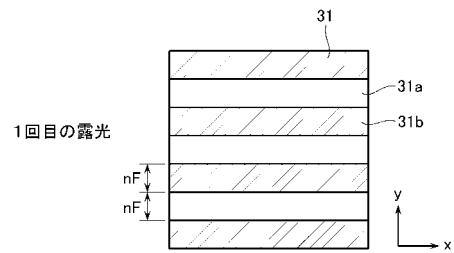
【図5】



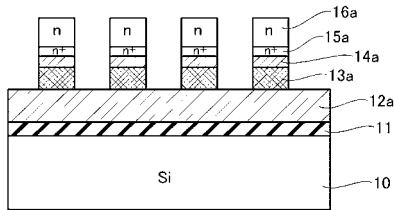
【図6】



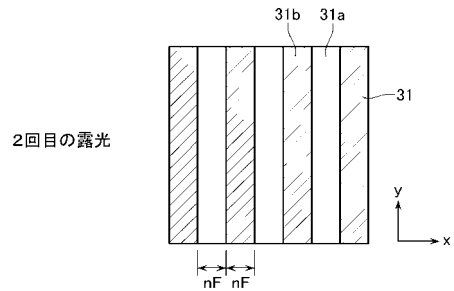
【図8A】



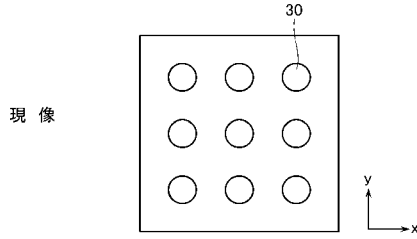
【図7】



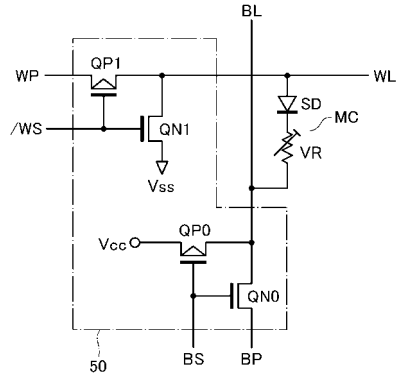
【図8B】



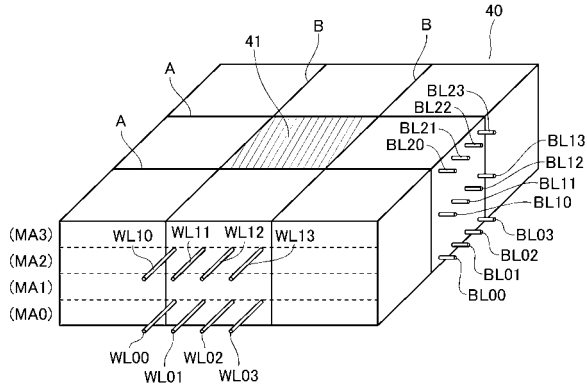
【図8C】



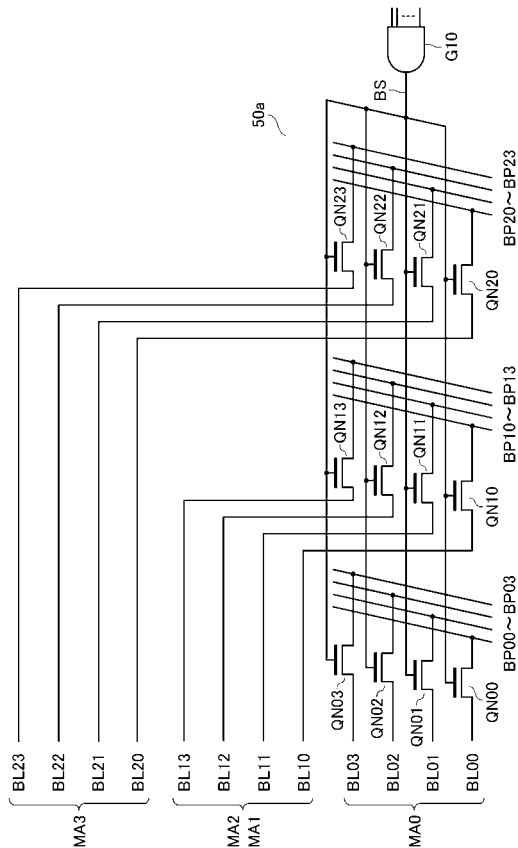
【図10】



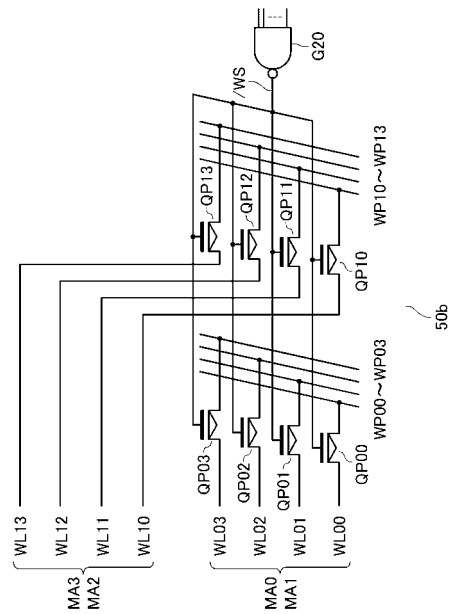
【図9】



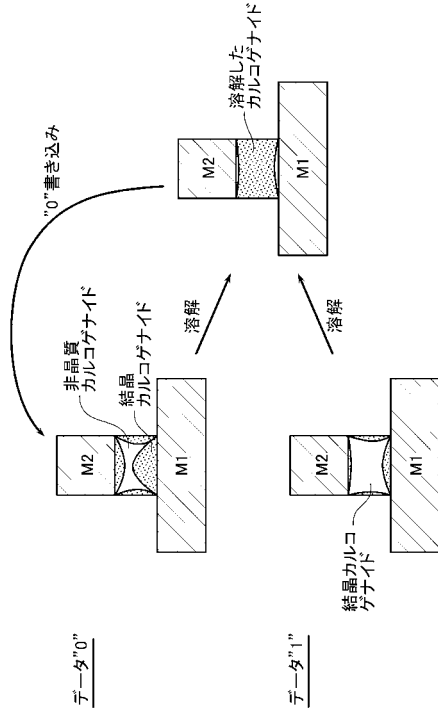
【図11】



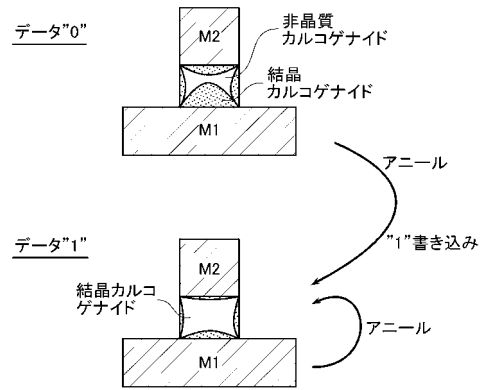
【図12】



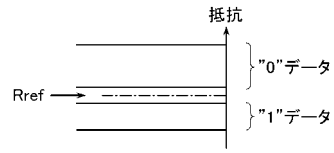
【図13】



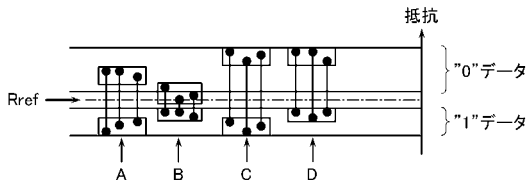
【図14】



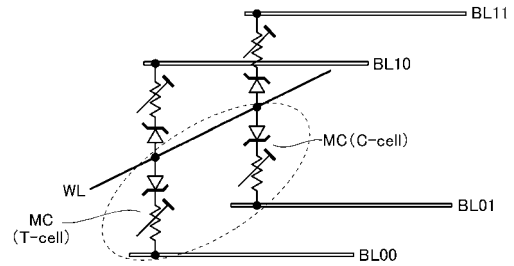
【図15】



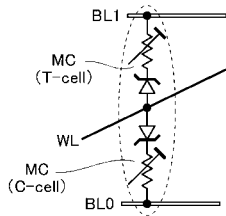
【図16】



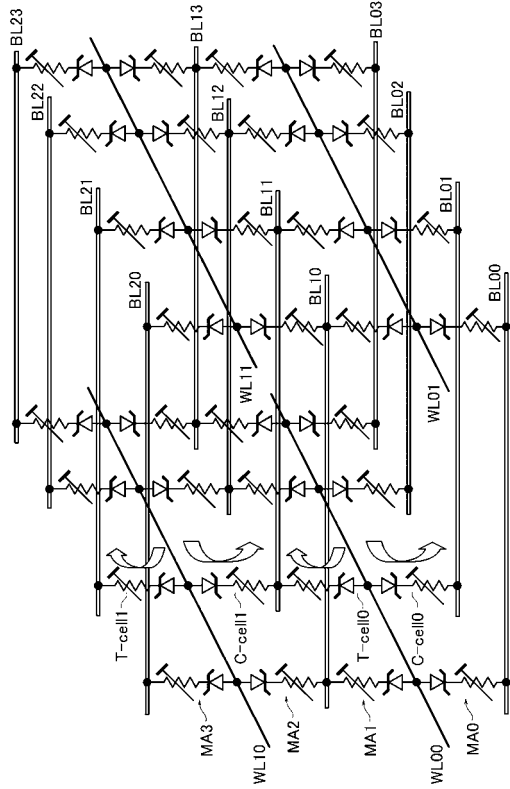
【図18】



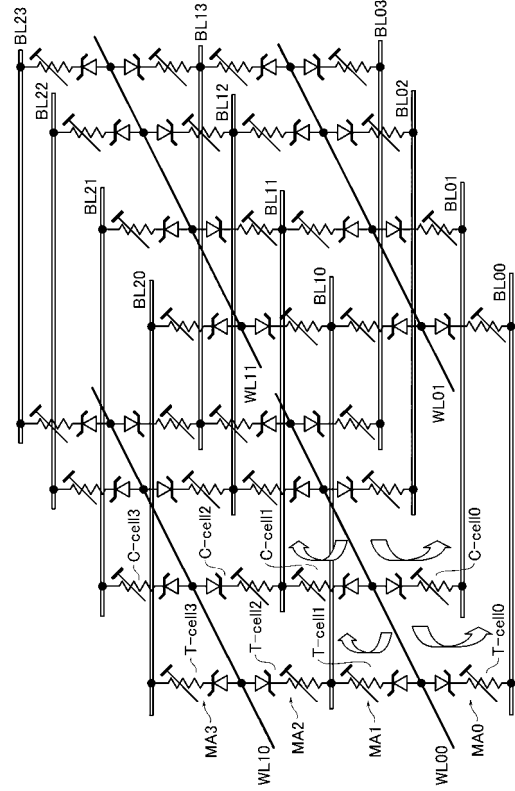
【図17】



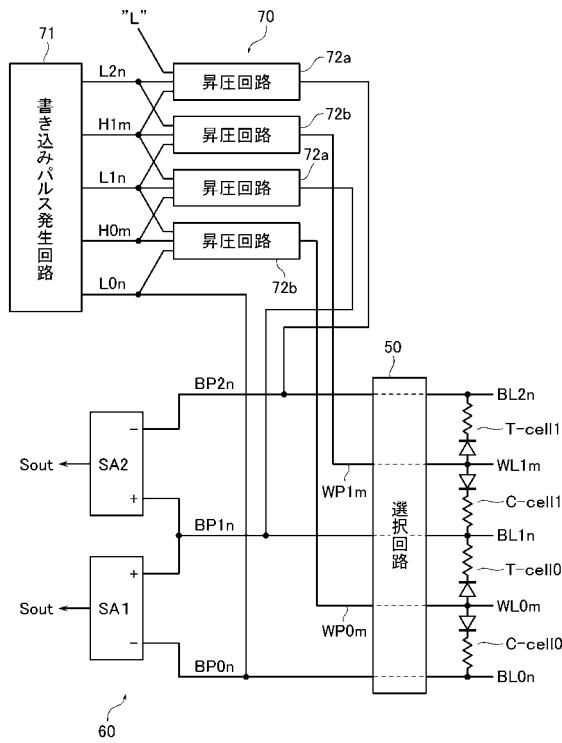
【図19】



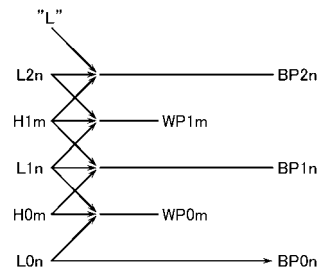
【図20】



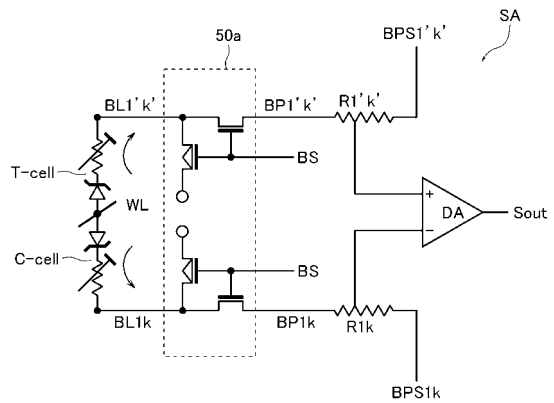
【図21】



【図22】

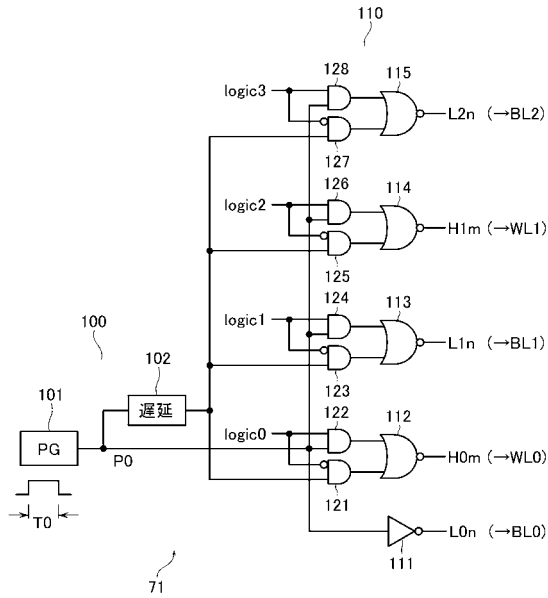


【図23】

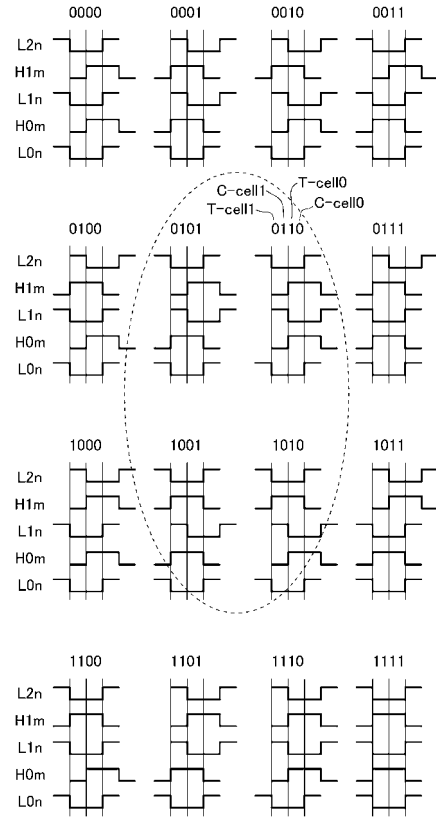




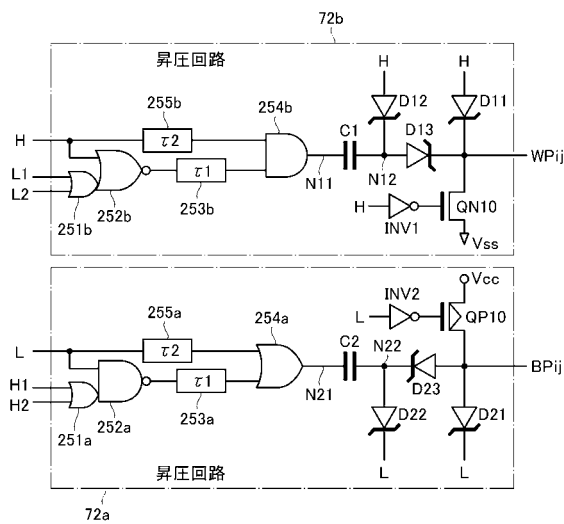
【図24】



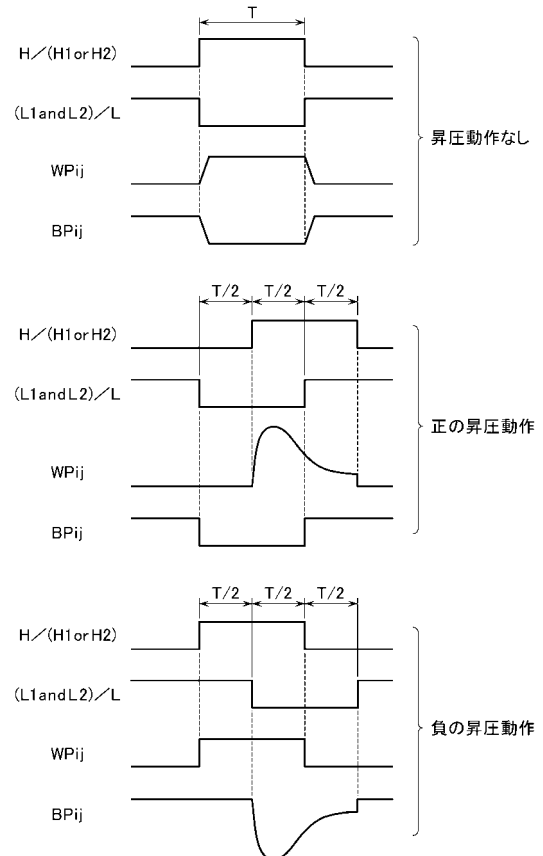
【図25】



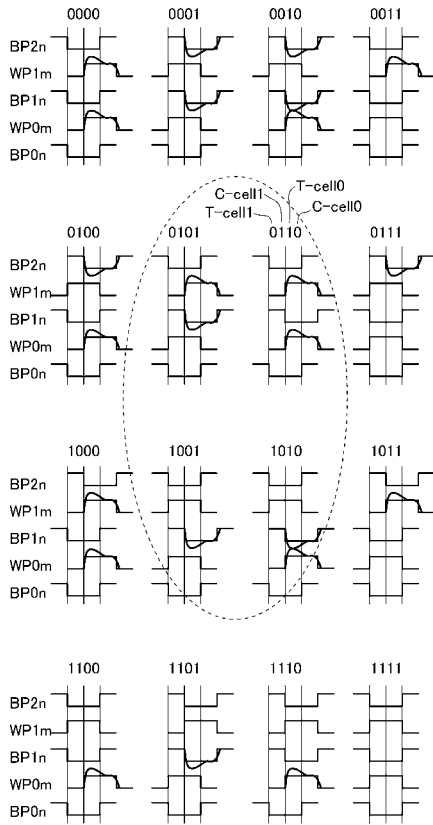
【図26】



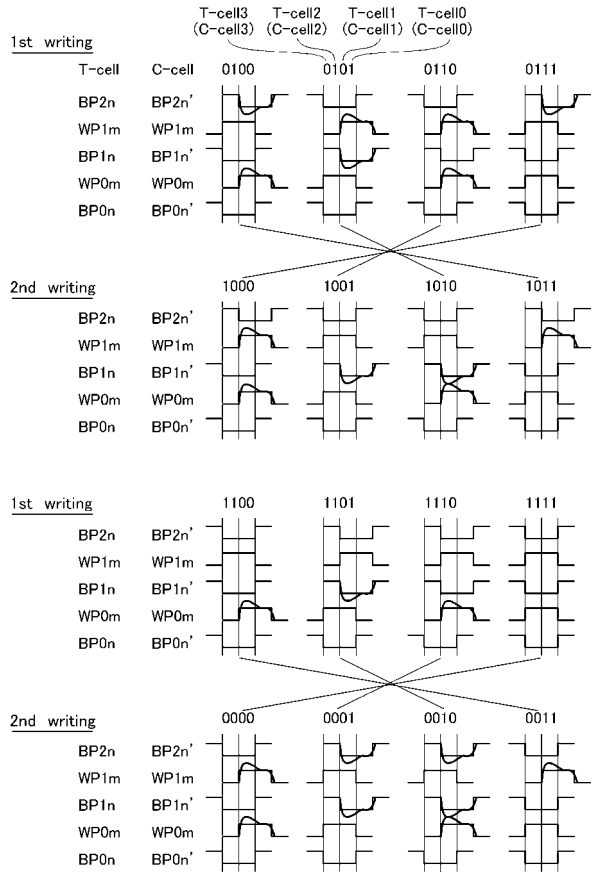
【図27】



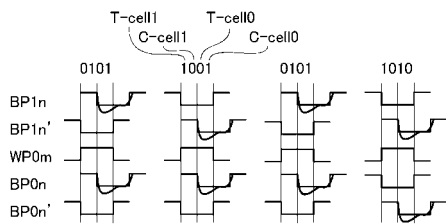
【 28 】



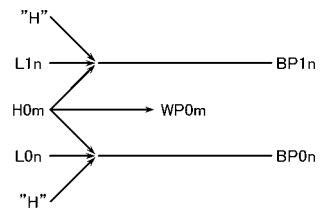
【 29 】



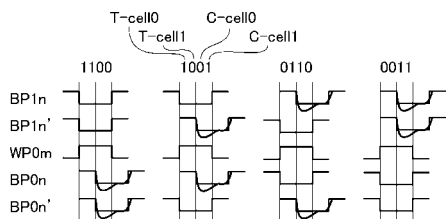
【 30 】



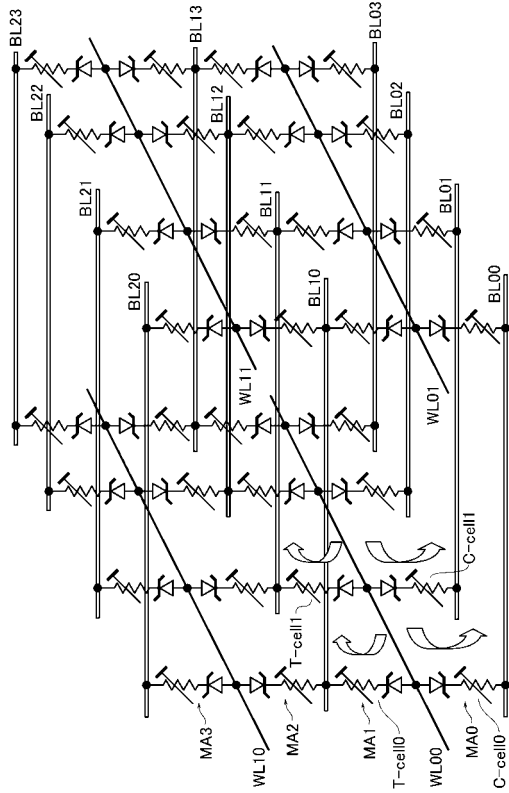
【 33 】



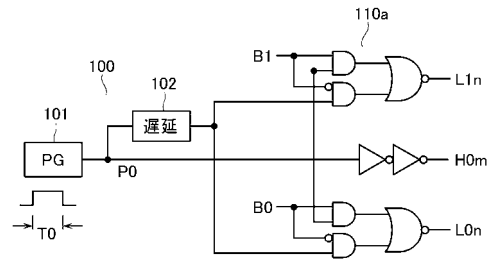
【 32 】



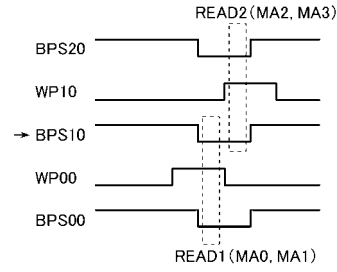
【 3 1 】



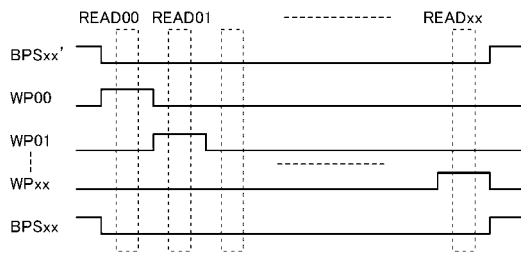
【 3 4 】



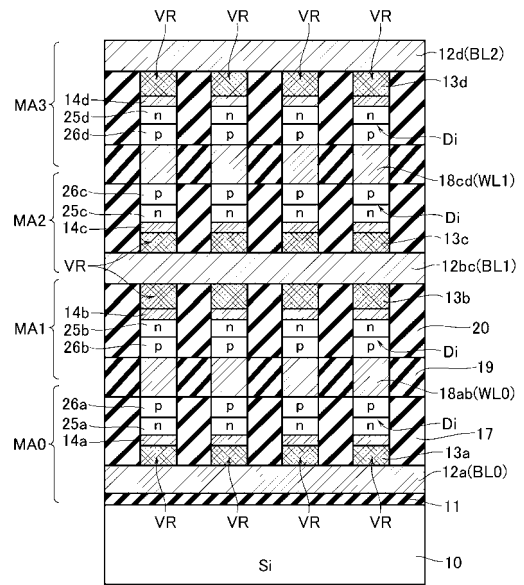
【 3 5 】



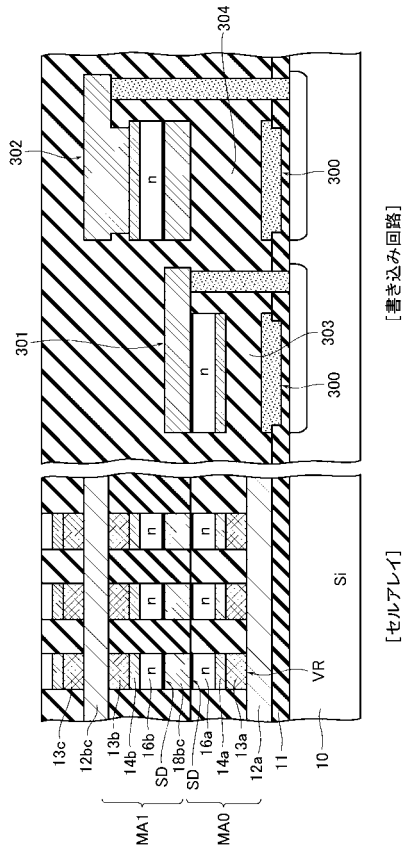
【 3 6 】



【 3 7 】



【図38】



---

フロントページの続き

- (56)参考文献 特表2002-541613(JP,A)  
特開2002-260377(JP,A)  
特表2002-530850(JP,A)  
国際公開第03/065377(WO,A1)

- (58)調査した分野(Int.Cl., DB名)  
G11C 13/00  
G11C 11/15