



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월07일  
(11) 등록번호 10-0811474  
(24) 등록일자 2008년03월03일

(51) Int. Cl.

G09G 3/28 (2006.01) H01J 17/49 (2006.01)

(21) 출원번호 10-2006-0105350

(22) 출원일자 2006년10월27일

심사청구일자 2006년10월27일

(56) 선행기술조사문헌

KR1020040082526 A

(뒷면에 계속)

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

류성남

부산 사상구 덕포2동 412-21

전우곤

경북 구미시 고아읍 원호리 455 점보 106동 1305호

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 11 항

심사관 : 김민수

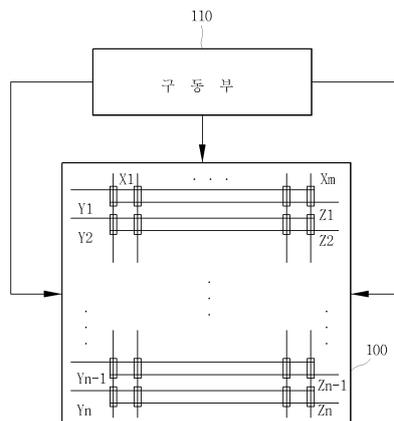
(54) 플라즈마 디스플레이 장치

(57) 요약

본 발명은 플라즈마 디스플레이 장치(Plasma Display Apparatus)에 관한 것으로, 제 1 전극 및 제 2 전극 중 적어도 하나를 단일 층으로 형성함으로써 제조 공정이 단순해지고, 제조 단가가 저감되는 효과가 있다. 아울러, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호를 중첩시킴으로써 구동 효율을 향상시키고 아울러 잔상의 발생을 저감시키는 효과가 있다.

이러한, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 서로 나란한 복수의 제 1 전극과 제 2 전극 및 제 1 전극과 제 2 전극에 교차하는 제 3 전극을 포함하고, 제 1 전극 및 제 2 전극 중 적어도 하나는 단일 층(One Layer)인 플라즈마 디스플레이 패널과, 영상 프레임의 서스테인 기간에서 제 1 전극과 제 2 전극에 서스테인 신호를 공급하는 구동부를 포함하고, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호는 중첩(Overlap)된다.

대표도 - 도1



(72) 발명자

**박상대**

경기 수원시 영통구 원천동 78-36

**강경아**

부산 부산진구 개금동 747번지

**함정현**

경북 구미시 구포동 성원아파트 106동 406호

**김재성**

경북 구미시 형곡동 345번지 진주2차 1407호

(56) 선행기술조사문헌

KR1020060078567 A

KR1020060083670 A

JP2003303551 A

KR1020040010769 A

KR1020050077131 A

KR1020060040516 A

**특허청구의 범위**

**청구항 1**

서로 나란한 복수의 제 1 전극과 제 2 전극 및 상기 제 1 전극과 제 2 전극에 교차하는 제 3 전극을 포함하고, 상기 제 1 전극 및 제 2 전극 중 적어도 하나는 단일 층(One Layer)인 플라즈마 디스플레이 패널과, 영상 프레임의 서스테인 기간에서 상기 제 1 전극과 제 2 전극에 서스테인 신호를 공급하는 구동부를 포함하고,

상기 제 1 전극에 공급되는 서스테인 신호와 상기 제 2 전극에 공급되는 서스테인 신호는 중첩(Overlap)되고, 상기 플라즈마 디스플레이 패널은

상기 제 1 전극과 제 2 전극이 형성되는 전면 기판과,

상기 제 3 전극이 형성되고, 상기 전면 기판과 대향되게 배치되는 후면 기판을 포함하고,

상기 제 1 전극과 제 2 전극의 상부에는 유전체 층이 형성되고,

상기 제 1 전극 및 제 2 전극 중 적어도 하나의 색은 상기 유전체 층의 색보다 어둡고,

상기 제 1 전극 및 제 2 전극 중 적어도 하나와 상기 전면 기판의 사이에는 상기 제 1 전극 및 제 2 전극 중 적어도 하나의 색보다 어두운 색을 갖는 블랙 층이 더 형성되는 플라즈마 디스플레이 장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 제 1 전극 및 제 2 전극 중 적어도 하나는

상기 제 3 전극과 교차하는 적어도 하나의 라인부와,

상기 라인부로부터 돌출되는 적어도 하나의 돌출부를 포함하는 플라즈마 디스플레이 장치.

**청구항 5**

제 4 항에 있어서,

상기 돌출부의 일부분은 곡률을 갖는 플라즈마 디스플레이 장치.

**청구항 6**

제 4 항에 있어서,

상기 돌출부는 제 1 방향으로 돌출된 적어도 하나의 제 1 돌출부와 상기 제 1 방향과 역방향인 제 2 방향으로 돌출된 적어도 하나의 제 2 돌출부를 포함하는 플라즈마 디스플레이 장치.

**청구항 7**

제 6 항에 있어서,

상기 제 1 돌출부의 길이는 상기 제 2 돌출부의 길이와 다른 플라즈마 디스플레이 장치.

**청구항 8**

제 6 항에 있어서,

상기 제 1 돌출부의 폭은 상기 제 2 돌출부의 폭과 다른 플라즈마 디스플레이 장치.

**청구항 9**

제 4 항에 있어서,

상기 라인부는 복수개이고,

상기 복수의 라인부 중 두 개 이상을 연결하는 연결부가 더 형성되는 플라즈마 디스플레이 장치.

**청구항 10**

제 9 항에 있어서,

상기 라인부와 상기 연결부가 인접하는 부분은 곡률을 갖는 플라즈마 디스플레이 장치.

**청구항 11**

제 4 항에 있어서,

상기 돌출부는 상기 제 3 전극과 중첩(Overlap)되는 플라즈마 디스플레이 장치.

**청구항 12**

제 1 항에 있어서,

상기 제 1 전극 및 제 2 전극 중 적어도 하나는 투명 전극이 생략된(ITO-Less) 전극인 플라즈마 디스플레이 장치.

**청구항 13**

제 1 항에 있어서,

상기 구동부는

상기 제 1 전극에 제 1 서스테인 신호를 공급한 이후 상기 제 2 전극에 제 2 서스테인 신호를 공급하고, 상기 제 1 전극에 제 3 서스테인 신호를 공급한 이후 상기 제 2 전극에 제 4 서스테인 신호를 공급하고,

상기 제 1 서스테인 신호와 제 2 서스테인 신호는 제 1 기간 동안 중첩되고, 상기 제 3 서스테인 신호와 제 4 서스테인 신호는 상기 제 1 기간과 길이가 다른 제 2 기간 동안 중첩되는 플라즈마 디스플레이 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <24> 본 발명은 플라즈마 디스플레이 장치(Plasma Display Apparatus)에 관한 것이다.
- <25> 플라즈마 디스플레이 장치는 전극이 형성된 플라즈마 디스플레이 패널과, 이러한 플라즈마 디스플레이 패널의 전극에 구동 신호를 공급하는 구동부를 포함할 수 있다.
- <26> 일반적으로 플라즈마 디스플레이 패널에는 격벽으로 구획된 방전 셀(Cell) 내에 형광체 층이 형성되고, 아울러 복수의 전극(Electrode)이 형성된다.
- <27> 그리고 구동부는 전극을 통해 방전 셀로 구동 신호를 공급한다.
- <28> 그러면, 방전 셀 내에서는 공급되는 구동 신호에 의해 방전이 발생한다. 여기서, 방전 셀 내에서 구동 신호에 의해 방전이 될 때, 방전 셀 내에 충전 되어 있는 방전 가스가 자외선(Ultraviolet rays) 등의 광을 발생하고, 이러한 자외선 등의 광이 방전 셀 내에 형성된 형광체를 발광시켜 가시 광을 발생시킨다. 이러한 가시 광에 의

해 플라즈마 디스플레이 패널의 화면상에 영상이 표시된다.

**발명이 이루고자 하는 기술적 과제**

<29> 본 발명의 일실시예는 전면 기판에 형성되는 제 1 전극 또는 제 2 전극을 단일층으로 형성하고, 영상 프레임의 서스테인 기간에서 제 1 전극과 제 2 전극으로 공급되는 서스테인 신호를 서로 중첩시켜 제조 단가가 저감되고 아울러 구동 효율이 개선되는 플라즈마 디스플레이 장치를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

<30> 상술한 목적을 이루기 위한 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 서로 나란한 복수의 제 1 전극과 제 2 전극 및 제 1 전극과 제 2 전극에 교차하는 제 3 전극을 포함하고, 제 1 전극 및 제 2 전극 중 적어도 하나는 단일 층(One Layer)인 플라즈마 디스플레이 패널과, 영상 프레임의 서스테인 기간에서 제 1 전극과 제 2 전극에 서스테인 신호를 공급하는 구동부를 포함하고, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호는 중첩(Overlap)된다.

<31> 또한, 플라즈마 디스플레이 패널은 제 1 전극과 제 2 전극이 형성되는 전면 기판과, 제 3 전극이 형성되고, 전면 기판과 대향되게 배치되는 후면 기판을 포함하고, 제 1 전극과 제 2 전극이 형성된 전면 기판에는 유전체 층이 형성되고, 제 1 전극 및 제 2 전극 중 적어도 하나의 색은 유전체 층의 색보다 어두울 수 있다.

<32> 또한, 제 1 전극 및 제 2 전극 중 적어도 하나와 전면 기판의 사이에는 제 1 전극 및 제 2 전극 중 적어도 하나의 색보다 어두운 색을 갖는 블랙 층이 더 형성될 수 있다.

<33> 또한, 제 1 전극 및 제 2 전극 중 적어도 하나는 제 3 전극과 교차하는 적어도 하나의 라인부와, 라인부로부터 돌출되는 적어도 하나의 돌출부를 포함할 수 있다.

<34> 또한, 돌출부의 일부분은 곡률을 가질 수 있다.

<35> 또한, 돌출부는 제 1 방향으로 돌출된 적어도 하나의 제 1 돌출부와 제 1 방향과 역방향인 제 2 방향으로 돌출된 적어도 하나의 제 2 돌출부를 포함할 수 있다.

<36> 또한, 제 1 돌출부의 길이는 제 2 돌출부의 길이와 다를 수 있다.

<37> 또한, 제 1 돌출부의 폭은 제 2 돌출부의 폭과 다를 수 있다.

<38> 또한, 라인부는 복수개이고, 복수의 라인부 중 두 개 이상을 연결하는 연결부가 더 형성될 수 있다.

<39> 또한, 라인부와 연결부가 인접하는 부분은 곡률을 가질 수 있다.

<40> 또한, 돌출부는 상기 제 3 전극과 중첩(Overlap)될 수 있다.

<41> 또한, 제 1 전극 및 제 2 전극 중 적어도 하나는 투명 전극이 생략된(ITO-Less) 전극일 수 있다.

<42> 또한, 구동부는 제 1 전극에 제 1 서스테인 신호를 공급한 이후 제 2 전극에 제 2 서스테인 신호를 공급하고, 제 1 전극에 제 3 서스테인 신호를 공급한 이후 제 2 전극에 제 4 서스테인 신호를 공급하고, 제 1 서스테인 신호와 제 2 서스테인 신호는 제 1 기간 동안 중첩되고, 제 3 서스테인 신호와 제 4 서스테인 신호는 제 1 기간과 길이가 다른 제 2 기간 동안 중첩될 수 있다.

<43> 이하, 첨부된 도면을 참조하여 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치를 상세히 설명하기로 한다.

<44> 도 1은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 구성의 일례를 설명하기 위한 도면이다.

<45> 도 1을 살펴보면, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 플라즈마 디스플레이 패널(100)과 구동부(110)를 포함한다.

<46> 플라즈마 디스플레이 패널(100)은 서로 나란한 제 1 전극(Y1~Yn)과 제 2 전극(Z1~Zn)을 포함하고, 아울러 제 1 전극 및 제 2 전극과 교차하는 제 3 전극(X1~Xm)을 포함한다.

<47> 구동부(110)는 영상 프레임(Image Frame)의 서스테인 기간에서 플라즈마 디스플레이 패널(100)의 제 1 전극과 제 2 전극에 서스테인 신호를 공급한다. 여기서, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호는 중첩(Overlap)된다.

- <48> 여기, 도 1에서는 구동부(110)가 하나의 보드(Board) 형태로 이루어지는 경우만 도시하고 있지만, 본 발명에서 구동부(110)는 플라즈마 디스플레이 패널(100)에 형성된 전극에 따라 복수개의 보드 형태로 나누어지는 것도 가능하다.
- <49> 예를 들면, 구동부(110)는 플라즈마 디스플레이 패널(100)의 제 1 전극을 구동시키는 제 1 구동부(미도시)와, 제 2 전극을 구동시키는 제 2 구동부와, 제 3 전극을 구동시키는 제 3 구동부(미도시)로 나누어질 수 있는 것이다.
- <50> 이러한 본 발명의 플라즈마 디스플레이 장치의 구동부(110)에 대해서는 이후의 설명을 통해 보다 명확히 하도록 한다.
- <51> 다음, 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 포함될 수 있는 플라즈마 디스플레이 패널의 구조의 일례를 설명하기 위한 도면이다.
- <52> 먼저, 도 2a를 살펴보면, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 포함될 수 있는 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극(202, Y)과 제 2 전극(203, Z)이 형성되는 전면 기관(201)과, 전술한 제 1 전극(202, Y) 및 제 2 전극(203, Z)과 교차하는 제 3 전극(213, X)이 형성되는 후면 기관(111)이 합착되어 이루어질 수 있다.
- <53> 여기서, 제 1 전극(202, Y) 및 제 2 전극(203, Z) 중 적어도 하나는 단일 층(One Layer)이다. 예를 들면, 제 1 전극(202, Y) 및 제 2 전극(203, Z) 중 적어도 하나는 투명 전극이 생략된(ITO-Less) 전극일 수 있다.
- <54> 이러한, 제 1 전극(202, Y) 및 제 2 전극(203, Z) 중 적어도 하나는 실질적으로 불투명한 전기 전도성의 금속 재질을 포함할 수 있다. 예를 들면, 은(Ag), 구리(Cu), 알루미늄(Al) 등과 같은 전기 전도성이 우수하고, 아울러 투명 재질, 예컨대 인듐-틴-옥사이드(ITO)에 비해 가격이 저렴한 재질을 포함할 수 있다. 이로 인해, 제 1 전극(202, Y) 및 제 2 전극(203, Z) 중 적어도 하나는 이후에 설명될 상부 유전체 층(204)보다 색이 어두울 수 있다.
- <55> 이와 같이, 단일 층으로 형성되는 제 1 전극(202, Y)과 제 2 전극(203, Z)에 대해서는 이후의 설명을 통해 보다 명확히 하도록 한다.
- <56> 제 1 전극(202, Y)과 제 2 전극(203, Z)은 방전 공간, 즉 방전 셀(Cell)에서 방전을 발생시키고 아울러 방전 셀의 방전을 유지할 수 있다.
- <57> 이러한 제 1 전극(202, Y)과 제 2 전극(203, Z)이 형성된 전면 기관(201)에는 제 1 전극(202, Y)과 제 2 전극(203, Z)을 덮도록 유전체 층, 예컨대 상부 유전체 층(204)이 형성될 수 있다.
- <58> 이러한, 상부 유전체 층(204)은 제 1 전극(202, Y) 및 제 2 전극(203, Z)의 방전 전류를 제한하며 제 1 전극(202, Y)과 제 2 전극(203, Z) 간을 절연시킬 수 있다.
- <59> 이러한, 상부 유전체 층(204)이 형성된 전면 기관(201)에는 방전 조건을 용이하게 하기 위한 보호 층(205)이 형성될 수 있다. 이러한 보호 층(205)은 산화마그네슘(MgO) 재질을 포함할 수 있다. 이러한 보호층(205)은 예를 들면 산화마그네슘(MgO) 재료를 상부 유전체 층(204) 상부에 증착하는 방법 등을 통해 형성될 수 있다.
- <60> 한편, 후면 기관(211) 상에는 전극, 예컨대 제 3 전극(213, X)이 형성되고, 이러한 제 3 전극(213, X)이 형성된 후면 기관(211)의 상부에는 제 3 전극(213, X)을 덮도록 유전체 층, 예컨대 하부 유전체 층(215)이 형성될 수 있다.
- <61> 이러한, 하부 유전체 층(215)은 제 3 전극(213, X)을 절연시킬 수 있다.
- <62> 이러한 하부 유전체 층(215)의 상부에는 방전 공간 즉, 방전 셀을 구획하기 위한 스트라이프 타입(Stripe Type), 웰 타입(Well Type), 델타 타입(Delta Type), 벌집 타입 등의 격벽(112)이 형성될 수 있다. 이에 따라, 전면 기관(101)과 후면 기관(111)의 사이에서 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 방전 셀 등이 형성될 수 있다.
- <63> 또한, 적색(R), 녹색(G), 청색(B) 방전 셀 이외에 백색(White : W) 또는 황색(Yellow : Y) 방전 셀이 더 형성되는 것도 가능하다.
- <64> 한편, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널에서의 적색(R), 녹색(G) 및 청색(B) 방전 셀의 폭은 실질적으로 동일할 수도 있지만, 적색(R), 녹색(G) 및 청색(B) 방

전 셀 중 적어도 하나의 폭이 다른 방전 셀의 폭과 다르게 할 수도 있다.

- <65> 예컨대, 도 2b와 같이 적색(R) 방전 셀의 폭(a)이 가장 작고, 녹색(G) 및 청색(B) 방전 셀의 폭(b, c)을 적색(R) 방전 셀의 폭(a)보다 크게 할 수 있다.
- <66> 여기서, 녹색(G) 방전 셀의 폭(b)은 청색(B) 방전 셀의 폭(c)과 실질적으로 동일하거나 상이할 수 있다.
- <67> 이와 같이, 형성하게 되면 방전 셀 내에 형성되는 후술될 형광체 층(214)의 폭도 방전 셀의 폭에 관련하여 변경된다. 예를 들면, 도 2b와 같은 경우에 청색(B) 방전 셀에 형성되는 청색(B) 형광체 층의 폭이 적색(R) 방전 셀 내에 형성되는 적색(R) 형광체 층의 폭보다 넓고, 아울러 녹색(G) 방전 셀에 형성되는 녹색(G) 형광체 층의 폭이 적색(R) 방전 셀 내에 형성되는 적색(R) 형광체 층의 폭보다 넓을 수 있다.
- <68> 그러면, 구현되는 영상의 색온도 특성이 향상될 수 있다.
- <69> 또한, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널은 도 2a에 도시된 격벽(212)의 구조뿐만 아니라, 다양한 형상의 격벽의 구조도 가능할 것이다. 예컨대, 격벽(212)은 제 1 격벽(212b)과 제 2 격벽(212a)을 포함하고, 여기서, 제 1 격벽(212b)의 높이와 제 2 격벽(212a)의 높이가 서로 다른 차등형 격벽 구조, 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 하나 이상에 배기 통로로 사용 가능한 채널(Channel)이 형성된 채널형 격벽 구조, 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 하나 이상에 홈(Hollow)이 형성된 홈형 격벽 구조 등이 가능할 것이다.
- <70> 여기서, 차등형 격벽 구조인 경우에는 도 2c와 같이 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 제 1 격벽(212b)의 높이(h1)가 제 2 격벽(212a)의 높이(h2)보다 더 낮을 수 있다. 아울러, 채널형 격벽 구조인 경우에는 제 1 격벽(212b)에 채널이 형성될 수 있다.
- <71> 한편, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널에서는 적색(R), 녹색(G) 및 청색(B) 방전 셀 각각이 동일한 선상에 배열되는 것으로 도시 및 설명되고 있지만, 다른 형상으로 배열되는 것도 가능할 것이다. 예컨대, 적색(R), 녹색(G) 및 청색(B) 방전 셀이 삼각형 형상으로 배열되는 델타(Delta) 타입의 배열도 가능할 것이다. 또한, 방전 셀의 형상도 사각형상뿐만 아니라 오각형, 육각형 등의 다양한 다각 형상도 가능할 것이다.
- <72> 또한, 여기 도 2a에서는 후면 기관(211)에 격벽(212)이 형성된 경우만을 도시하고 있지만, 격벽(212)은 전면 기관(201) 또는 후면 기관(211) 중 적어도 어느 하나에 형성될 수 있다.
- <73> 여기서, 격벽(212)에 의해 구획된 방전 셀 내에는 소정의 방전 가스가 채워질 수 있다.
- <74> 아울러, 격벽(212)에 의해 구획된 방전 셀 내에는 어드레스 방전 시 화상표시를 위한 가시 광을 방출하는 형광체 층(214)이 형성될 수 있다. 예를 들면, 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 형광체 층이 형성될 수 있다.
- <75> 또한, 적색(R), 녹색(G), 청색(B) 형광체 이외에 백색(White : W) 및/또는 황색(Yellow : Y) 형광체 층이 더 형성되는 것도 가능하다.
- <76> 또한, 적색(R), 녹색(G) 및 청색(B) 방전 셀 중 적어도 어느 하나의 방전 셀에서의 형광체 층(214)의 두께가 다른 방전 셀과 상이할 수 있다. 예를 들면, 도 2d에서와 같이 녹색(G) 방전 셀의 형광체 층, 즉 녹색(G) 형광체 층(214b) 또는 청색(B) 방전 셀에서의 형광체 층, 즉 청색(B) 형광체 층(214a)의 두께(t2, t3)가 적색(R) 방전 셀에서의 형광체 층, 즉 적색(R) 형광체 층(214c)의 두께(t1)보다 더 두꺼울 수 있다. 여기서, 녹색(G) 형광체 층(214b)의 두께(t2)는 청색(B) 형광체 층(214a)의 두께(t3)와 실질적으로 동일하거나 상이할 수 있다.
- <77> 한편, 이상에서는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 일례만을 도시하고 설명한 것으로써, 본 발명이 이상에서 설명한 구조의 플라즈마 디스플레이 패널에 한정되는 것은 아님을 밝혀둔다. 예를 들면, 여기 이상의 설명에서는 번호 204의 상부 유전체 층 및 번호 215의 하부 유전체 층이 각각 하나의 층(Layer)인 경우만을 도시하고 있지만, 이러한 상부 유전체 층 및 하부 유전체 층 중 하나 이상은 복수의 층으로 이루지는 것도 가능한 것이다.
- <78> 아울러, 번호 212의 격벽으로 인한 외부 광의 반사를 방지하기 위해 격벽(212)의 상부에 외부 광을 흡수할 수 있는 다른 블랙 층(미도시)을 더 형성할 수도 있다.
- <79> 또한, 격벽(212)과 대응되는 전면 기관(201) 상의 특정 위치에 또 다른 블랙 층(미도시)이 더 형성되는 것도 가

능하다.

- <80> 또한, 후면 기판(211) 상에 형성되는 제 3 전극(213)은 폭이나 두께가 실질적으로 일정할 수도 있지만, 방전 셀 내부에서의 폭이나 두께가 방전 셀 외부에서의 폭이나 두께와 다를 수도 있을 것이다. 예컨대, 방전 셀 내부에서의 폭이나 두께가 방전 셀 외부에서의 그것보다 더 넓거나 두꺼울 수 있을 것이다.
- <81> 이와 같이, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 구조는 다양하게 변경될 수 있는 것이다.
- <82> 한편, 이상에서 언급한 바와 같이 전면 기판(201)에 형성되는 제 1 전극(202, Y)과 제 2 전극(203, Z)은 단일 층 구조를 갖는다. 이에 대해 살펴보면 다음과 같다.
- <83> 다음, 도 3은 제 1 전극 및 제 2 전극 중 적어도 하나가 단일 층으로 형성되는 이유에 대해 설명하기 위한 도면이다.
- <84> 도 3을 살펴보면, (a)에는 본 발명의 일실시예와는 다르게 전면 기판(300) 상에 형성된 제 1 전극(310)과 제 2 전극(320)이 복수의 층(Layer)인 경우의 일례가 나타나 있다.
- <85> 예를 들면, 제 1 전극(310)과 제 2 전극(320)은 투명 전극(310a, 320a)과 버스 전극(310b, 320b)을 포함할 수 있다.
- <86> 이러한, (a)의 경우에서는 제 1 전극(310)과 제 2 전극(320)의 형성 공정 시 투명 전극(310a, 320a)을 형성한 이후에 버스 전극(310b, 320b)을 또 다시 형성하여야 한다.
- <87> 이에 따라, 이러한 (a)의 경우는 본 발명의 일실시예에서와 같이 제 1 전극과 제 2 전극을 단일 층으로 형성하는 경우에 비해 제조 공정의 수가 더 많게 되고, 이에 따라 제조 단가의 상승을 야기할 수 있다.
- <88> 아울러, (a)의 투명 전극(310a, 320a)의 경우는 실질적으로 투명한 재질, 예컨대 인듐-틴-옥사이드(ITO) 등의 재질을 포함할 수 있는데, 이러한 인듐-틴-옥사이드(ITO) 등의 투명한 재질은 상대적으로 고가이기 때문에 제조 단가가 더욱 상승할 수 있다.
- <89> 반면에, (b)와 같이 제 1 전극(202)과 제 2 전극(203)을 단일 층으로 형성하게 되면 제조 공정이 단순해지고, 아울러 상대적으로 고가인 인듐-틴-옥사이드(ITO) 등의 재질을 사용하지 않아도 되기 때문에 제조 단가가 저감될 수 있는 것이다.
- <90> 다음, 도 4는 제 1 전극 및 제 2 전극과 전면 기판 사이에 블랙 층이 더 추가된 구조의 일례를 설명하기 위한 도면이다.
- <91> 도 4를 살펴보면, 전면 기판(201) 상에 형성되는 전극, 즉 제 1 전극(202) 및 제 2 전극(203) 중 적어도 하나와 전면 기판(201)의 사이에는 전면 기판(201)의 변색을 방지하며 제 1 전극(202) 및 제 2 전극(203) 중 적어도 하나의 색보다 더 어두운 색을 갖는 블랙 층(Black Layer : 400a, 400b)이 더 형성될 수 있다.
- <92> 예를 들어, 전면 기판(201)과 제 1 전극(202) 또는 제 2 전극(203)이 직접 접촉하는 경우에는 제 1 전극(202) 또는 제 2 전극(203)과 직접 접촉하는 전면 기판(201)의 일정 영역이 황색 계열로 변색되는 마이그레이션(Migration) 현상이 발생할 수 있는데, 블랙 층(400a, 400b)은 전면 기판(201)과 제 1 전극(202) 또는 제 2 전극(203)의 직접적인 접촉을 방지하여 마이그레이션 현상을 방지할 수 있다.
- <93> 이러한 블랙 층(400a, 400b)은 실질적으로 어두운 계열의 색을 갖는 블랙 재질, 예컨대 루테튬(Ru)을 포함할 수 있다.
- <94> 이와 같이, 전면 기판(201)과 제 1 전극(202) 및 제 2 전극(203)의 사이에 블랙 층(400a, 400b)을 구비하게 되면, 제 1 전극(202)과 제 2 전극(203)이 반사율이 높은 재질로 이루어지더라도 반사광의 발생을 방지할 수 있다.
- <95> 다음, 도 5a 내지 도 5f는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 1 실시예에 대해 설명하기 위한 도면이다.
- <96> 먼저, 도 5a를 살펴보면 제 1 전극(430) 및 제 2 전극(460) 중 적어도 하나는 하나 이상의 라인부(410a, 410b, 440a, 440b)를 포함할 수 있다.
- <97> 이러한 라인부(410a, 410b, 440a, 440b)는 격벽(400)에 의해 구획된 방전 셀 내에서 제 3 전극(470)과 교차하

도록 형성될 수 있다.

- <98> 이러한 라인부(410a, 410b, 440a, 440b)는 방전 셀 내에서 각각 소정 거리 이격되어 배치될 수 있다.
- <99> 예를 들어, 제 1 전극(430)의 제 1 라인부(410a)와 제 2 라인부(410b)는 d1의 간격을 두고 이격되고, 제 2 전극(460)의 제 1 라인부(440a)와 제 2 라인부(440b)는 d2의 간격을 두고 이격될 수 있다. 여기서, 간격 d1과 d2는 동일한 경우도 가능하고, 서로 상이한 경우도 가능하다.
- <100> 또는, 두 개 이상의 라인부가 서로 인접하는 것도 가능한 것이다.
- <101> 아울러, 이러한 라인부(410a, 410b, 440a, 440b)는 소정의 폭을 갖는다, 예를 들어, 제 1 전극(430)의 제 1 라인부(410a)는 Wa의 폭을 갖고, 제 2 라인부(410b)는 Wb의 폭을 가질 수 있다.
- <102> 여기서, 제 1 전극(430)과 제 2 전극(460)의 형상은 방전 셀 내에서 서로 대칭일 수 있고, 서로 비대칭일 수도 있다. 예를 들면, 제 1 전극(430)은 3개의 라인부를 포함하고, 반면에 제 2 전극(460)은 2개의 라인부를 포함할 수 있는 것이다.
- <103> 아울러, 라인부의 개수도 조절될 수 있다. 예를 들면, 제 1 전극(430) 또는 제 2 전극(460)이 4개 또는 5개의 라인부를 포함할 수 있는 것이다.
- <104> 아울러, 제 1 전극(430) 및 제 2 전극(460) 중 적어도 하나는 복수의 돌출부(420a, 420b, 450a, 450b)를 포함할 수 있다.
- <105> 이러한 돌출부(420a, 420b, 450a, 450b)는 라인부(410a, 410b, 440a, 440b)로부터 돌출되어 형성된다. 또한, 이러한 돌출부(420a, 420b, 450a, 450b)는 제 3 전극(470)과 나란할 수 있다. 예를 들면, 제 1 전극(430)의 돌출부(420a, 420b)는 제 1 전극(430)의 제 1 라인부(410a)로부터 돌출되고, 제 2 전극(460)의 돌출부(450a, 450b)는 제 2 전극(460)의 제 1 라인부(440a)로부터 돌출될 수 있다.
- <106> 이러한 돌출부(420a, 420b, 450a, 450b)는 격벽(400)에 의해 구획된 방전 셀 내에서 돌출부(420a, 420b, 450a, 450b)가 형성된 부분에서의 제 1 전극(430)과 제 2 전극(460)간의 간격(g1)을 다른 부분에서의 간격(g2)보다 더 짧게 한다. 이에 따라, 제 1 전극(430)과 제 2 전극(460)간에 발생하는 방전의 개시 전압, 즉 방전 전압을 낮출 수 있다.
- <107> 아울러, 복수의 돌출부(420a, 420b, 450a, 450b) 중 적어도 하나는 방전 셀 내에서 제 3 전극(470)과 중첩(Overlap)될 수 있다. 이와 같이 형성하게 되면, 제 1 전극(430)과 제 3 전극(470)간의 방전 전압 및 제 2 전극(460)과 제 3 전극(470)간의 방전 전압을 낮출 수 있다. 이에 따라, 구동 효율을 향상시킬 수 있고, 아울러 어드레스 지터 특성을 더욱 개선할 수 있다.
- <108> 이러한 구조의 플라즈마 디스플레이 패널에서는 g1의 거리를 두고 서로 마주보는 제 1 전극(430)의 돌출부(420a, 420b)와 제 2 전극(460)의 돌출부(450a, 450b)의 사이에서 방전이 발생할 수 있다. 이렇게 발생한 방전은 제 1 전극(430)의 제 1 라인부(410a)와 제 2 라인부(410b) 및 제 2 전극(460)의 제 1 라인부(440a)와 제 2 라인부(440b)로 확산될 수 있다.
- <109> 한편, 앞선 도 5a의 경우에는 제 1 전극(430)과 제 2 전극(460)이 각각 2개씩의 돌출부를 포함하였지만, 다음 도 5b와 같이 제 1 전극(430)과 제 2 전극(460)이 각각 3개씩의 돌출부를 포함하는 것도 가능하다. 이와 같이, 돌출부(420a, 420b, 420c, 450a, 450b, 450c)의 개수는 다양하게 조절될 수 있다.
- <110> 다음, 도 5c를 살펴보면 복수의 라인부(410a, 410b, 440a, 440b) 중 적어도 하나의 폭은 다른 라인부의 폭과 다를 수 있다.
- <111> 예를 들면, 도 5c와 같이 제 1 전극(430)의 제 1 라인부(410a)의 폭(Wa)이 제 2 라인부(410b)의 폭(Wb)보다 더 작을 수 있다.
- <112> 또는, 다음 도 5d에서와 같이 제 1 전극(430)의 제 1 라인부(410a)의 폭(Wa)이 제 2 라인부(410b)의 폭(Wb)보다 더 클 수 있다.
- <113> 이와 같이, 라인부의 폭은 다양하게 변경될 수 있다.
- <114> 다음, 도 6a 내지 도 6b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 2 실시예에 대해 설명하기 위한 도면이다. 여기 도 6a 내지 도 6b

에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.

- <115> 먼저, 도 6a를 살펴보면, 복수의 라인부(510a, 510b, 540a, 540b) 중 두 개 이상을 연결하는 연결부(520c, 550c)가 더 형성될 수 있다.
- <116> 예를 들면, 제 1 전극(530)의 연결부(520c)는 제 1 전극(530)의 제 1 라인부(510a)와 제 2 라인부(510b)를 연결하고, 아울러 제 2 전극(560)의 연결부(550c)는 제 2 전극(560)의 제 1 라인부(540a)와 제 2 라인부(540b)를 연결한다.
- <117> 이와 같이, 연결부(520c, 550c)가 두 개의 라인부(510a, 510b, 540a, 540b)를 연결하게 되면, 격벽(500)에 의해 구획된 방전 셀 내에서 방전이 더욱 용이하게 확산될 수 있다.
- <118> 한편, 도 6a에서는 제 1 전극(530)의 제 1 라인부(510a)와 제 2 라인부(510b)를 연결하는 연결부(520c)가 1개이지만, 다음 도 6b와 같이 제 1 전극(530)의 제 1 라인부(510a)와 제 2 라인부(510b)를 연결하는 연결부(520c, 520d)가 2개일 수 있다. 이와 같이, 연결부(520c, 520d, 550c, 550d)의 개수는 다양하게 변경될 수 있다.
- <119> 다음, 도 7a 내지 도 7b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 3 실시예에 대해 설명하기 위한 도면이다. 여기 도 7a 내지 도 7b에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.
- <120> 먼저, 도 7a를 살펴보면, 제 1 전극(630) 또는 제 2 전극(660) 중 적어도 어느 하나는 복수의 돌출부(620a, 620b, 620d, 650a, 650b, 650d)를 포함하고, 이러한 복수의 돌출부(620a, 620b, 620d, 650a, 650b, 650d)는 복수의 라인부(610a, 610b, 640a, 640b) 중 적어도 하나에서 제 1 방향으로 돌출되는 제 1 돌출부(620a, 620b, 650a, 650b)와, 제 1 방향과 역방향인 제 2 방향으로 돌출되는 제 2 돌출부(620d, 650d)를 포함할 수 있다. 여기서, 제 1 방향은 방전 셀 중심방향이고, 제 2 방향은 방전 셀 중심방향과 반대방향일 수 있다.
- <121> 예를 들면, 번호 620a와 620b의 제 1 돌출부는 번호 610a의 라인부에서 방전 셀의 중심방향으로 돌출되고, 번호 620d의 제 2 돌출부는 번호 610b의 라인부에서 방전 셀의 중심방향과 반대의 방향으로 돌출될 수 있다.
- <122> 이와 같이, 방전 셀의 중심방향과 반대의 방향으로 돌출되는 번호 620d의 돌출부 및 650d의 돌출부는 방전 셀 내에서 방전이 더욱 넓게 확산되도록 한다.
- <123> 한편, 도 7a의 경우에는 제 1 전극(630)에 포함되는 제 2 방향, 예컨대 방전 셀 중심방향과 반대방향으로 돌출되는 제 2 돌출부(620d)의 개수는 1개인데 반해, 다음 도 7b와 같이 제 2 방향으로 돌출되는 제 2 돌출부(620d, 650e)의 개수는 2개이다. 이와 같이, 제 2 방향으로 돌출되는 제 2 돌출부(620d, 620e, 650d, 650e)의 개수는 다양하게 변경될 수 있다.
- <124> 다음, 도 8a 내지 도 8b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 4 실시예에 대해 설명하기 위한 도면이다. 여기 도 8a 내지 도 8b에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.
- <125> 먼저, 도 8a를 살펴보면 제 1 방향, 예컨대 방전 셀 중심방향으로 돌출되는 제 1 돌출부(720a, 720b, 750a, 750b)의 형상과 제 2 방향, 예컨대 방전 셀 중심방향과 반대의 방향으로 돌출되는 제 2 돌출부(720d, 750d)의 형상은 다를 수 있다.
- <126> 예를 들면, 제 1 돌출부(720a, 720b, 750a, 750b)의 폭은 제 10 폭(W10)으로 설정되고, 제 2 돌출부(720d, 750d)의 폭은 제 10 폭(W10)보다 더 작은 제 20 폭(W20)일 수 있다.
- <127> 이와 같이, 제 1 돌출부(720a, 720b, 750a, 750b)의 폭(W10)을 제 2 돌출부(720d, 750d)의 폭(W20)보다 더 넓게 하면 제 1 전극(730)과 제 2 전극(760)간에 발생하는 방전의 개시 전압, 즉 방전 전압을 더욱 낮출 수 있다.
- <128> 다음, 도 8b를 살펴보면 도 8a와는 다르게 제 1 돌출부(720a, 720b, 750a, 750b)의 폭은 제 20 폭(W20)으로 설정되고, 제 2 돌출부(720d, 750d)의 폭은 제 20 폭(W20)보다 더 큰 제 10 폭(W10)일 수 있다.
- <129> 이와 같이, 제 2 돌출부(720d, 750d)의 폭(W10)을 제 1 돌출부(720a, 720b, 750a, 750b)의 폭(W20)보다 더 넓게 하면 방전 셀 내에서 발생한 방전을 방전 셀의 외곽부분으로 보다 효과적으로 확산시킬 수 있다.
- <130> 다음, 도 9a 내지 도 9b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 5 실시예에 대해 설명하기 위한 도면이다. 여기 도 9a 내지 도 9b에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.

- <131> 먼저, 도 9a를 살펴보면, 제 1 방향, 예컨대 방전 셀 중심방향으로 돌출되는 제 1 돌출부(820a, 820b, 850a, 850b)의 길이와 제 2 방향, 예컨대 방전 셀 중심방향과 반대의 방향으로 돌출되는 제 2 돌출부(820d, 850d)의 길이는 다를 수 있다.
- <132> 예를 들면, 제 1 돌출부(820a, 820b, 850a, 850b)의 길이는 제 1 길이(L1)로 설정되고, 제 2 돌출부(820d, 850d)의 길이는 제 1 길이(L1)보다 더 짧은 제 2 길이(L2)일 수 있다.
- <133> 이와 같이, 제 1 돌출부(820a, 820b, 850a, 850b)의 길이(L1)를 제 2 돌출부(820d, 850d)의 길이(L2)보다 더 길게 하면 제 1 전극(830)과 제 2 전극(860)간에 발생하는 방전의 개시 전압, 즉 방전 전압을 더욱 낮출 수 있다.
- <134> 다음, 도 9b를 살펴보면 도 9a와는 다르게 제 1 돌출부(820a, 820b, 850a, 850b)의 길이는 제 2 길이(L2)로 설정되고, 제 2 돌출부(820d, 850d)의 길이는 제 2 길이(L2)보다 더 긴 제 1 길이(L1)일 수 있다.
- <135> 이와 같이, 제 2 돌출부(820d, 850d)의 길이(L1)를 제 1 돌출부(820a, 820b, 850a, 850b)의 길이(L2)보다 더 길게 하면 방전 셀 내에서 발생한 방전을 방전 셀의 외곽부분으로 보다 효과적으로 확산시킬 수 있다.
- <136> 다음, 도 10은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 6 실시예에 대해 설명하기 위한 도면이다. 여기 도 10에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.
- <137> 도 10을 살펴보면, 복수의 돌출부(920a, 920b, 920d, 950a, 950b, 950d) 중 적어도 하나는 일부분이 곡률을 가질 수 있다. 예를 들면, 복수의 돌출부(920a, 920b, 920d, 950a, 950b, 950d) 중 적어도 하나의 끝단부가 곡률을 갖고, 아울러 돌출부(920a, 920b, 920d, 950a, 950b, 950d)와 라인부(910a, 910b, 940a, 940b)가 인접하는 부분이 곡률을 갖는 것도 가능하다.
- <138> 아울러, 라인부(910a, 910b, 940a, 940b)와 연결부(920c, 950c)가 인접하는 부분이 곡률을 갖는 것도 가능하다.
- <139> 이와 같이, 형성하게 되면 제 1 전극과 제 2 전극의 제조 공정이 보다 용이해질 수 있다. 아울러, 구동 시 벽 전하가 특정 위치에 과도하게 집중되는 것을 방지할 수 있고, 이에 따라 구동을 안정시킬 수 있다.
- <140> 다음, 도 11은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 7 실시예에 대해 설명하기 위한 도면이다.
- <141> 도 11을 살펴보면, 돌출부는 (a)와 같이 사다리꼴 형태로 형성되는 것도 가능하고, 또는 (b)와 같이 머리 부분의 부분의 폭이 몸통 부분의 폭보다 더 넓은 형태로 형성되는 것도 가능한 것이다. 이와 같이, 돌출부의 형태는 다양하게 변경될 수 있다.
- <142> 다음, 도 12는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조를 구현하기 위한 영상 프레임(Frame)에 대해 설명하기 위한 도면이다.
- <143> 또한, 도 13은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 동작의 일례를 설명하기 위한 도면이다.
- <144> 먼저, 도 12를 살펴보면 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조(Gray Level)를 구현하기 위한 영상 프레임은 발광횟수가 다른 복수의 서브필드로 나누어질 수 있다.
- <145> 아울러, 도시하지는 않았지만 복수의 서브필드 중 하나 이상의 서브필드는 다시 방전 셀을 초기화시키기 위한 리셋 기간(Reset Period), 방전될 방전 셀을 선택하기 위한 어드레스 기간(Address Period) 및 방전횟수에 따라 계조를 구현하는 서스테인 기간(Sustain Period)으로 나누어 질 수 있다.
- <146> 예를 들어, 256 계조로 영상을 표시하고자 하는 경우에 예컨대 하나의 영상 프레임은, 도 12와 같이 8개의 서브 필드들(SF1 내지 SF8)로 나누어지고, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 기간, 어드레스 기간 및 서스테인 기간으로 다시 나누어질 수 있다.
- <147> 한편, 서스테인 기간에 공급되는 서스테인 신호의 개수를 조절하여 해당 서브필드의 계조 가중치를 설정할 수 있다. 즉, 서스테인 기간을 이용하여 각각의 서브필드에 소정의 계조 가중치를 부여할 수 있다. 예를 들면, 제 1 서브필드의 계조 가중치를  $2^0$  으로 설정하고, 제 2 서브필드의 계조 가중치를  $2^1$  으로 설정하는 방법으로 각 서브필드의 계조 가중치가  $2^n$ (단,  $n = 0, 1, 2, 3, 4, 5, 6, 7$ )의 비율로 증가되도록 각 서브필드의 계조 가중

치를 결정할 수 있다. 이와 같이 각 서브필드에서 계조 가중치에 따라 각 서브필드의 서스테인 기간에서 공급되는 서스테인 신호의 개수를 조절함으로써, 다양한 영상의 계조를 구현하게 된다.

- <148> 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 영상을 구현하기 위해, 예컨대 1초의 영상을 표시하기 위해 복수의 영상 프레임을 사용한다. 예를 들면, 1초의 영상을 표시하기 위해 60개의 영상 프레임을 사용하는 것이다. 이러한 경우에 하나의 영상 프레임의 길이(T)는 1/60 초, 즉 16.67ms일 수 있다.
- <149> 여기, 도 12에서는 하나의 영상 프레임이 8개의 서브필드로 이루어진 경우만으로 도시하고 설명하였지만, 이와는 다르게 하나의 영상 프레임을 이루는 서브필드의 개수는 다양하게 변경될 수 있다. 예를 들면, 제 1 서브필드부터 제 12 서브필드까지의 12개의 서브필드로 하나의 영상 프레임을 구성할 수도 있고, 10개의 서브필드로 하나의 영상 프레임을 구성할 수도 있는 것이다.
- <150> 또한, 여기 도 12에서는 하나의 영상 프레임에서 계조 가중치의 크기가 증가하는 순서에 따라 서브필드들이 배열되었지만, 이와는 다르게 하나의 영상 프레임에서 서브필드들이 계조 가중치가 감소하는 순서에 따라 배열될 수도 있고, 또는 계조 가중치에 관계없이 서브필드들이 배열될 수도 있는 것이다.
- <151> 다음, 도 13을 살펴보면 앞선 도 12와 같은 영상 프레임에 포함된 복수의 서브필드 어느 하나의 서브필드(Subfield)에서의 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 동작의 일례가 나타나 있다. 이하에서 설명될 구동 신호들은 앞선 도 1의 번호 110의 구동부가 공급하는 것임을 미리 밝혀둔다.
- <152> 먼저, 리셋 기간 이전의 프리(Pre) 리셋 기간에서 제 1 전극(Y)에 제 1 하강 램프(Ramp-Down) 신호가 공급될 수 있다.
- <153> 아울러, 제 1 전극(Y)에 제 1 하강 램프 신호가 공급되는 동안 제 1 하강 램프 신호와 반대 극성 방향의 프리(Pre) 서스테인 신호가 제 2 전극(Z)에 공급될 수 있다.
- <154> 여기서, 제 1 전극(Y)에 공급되는 제 1 하강 램프 신호는 제 1 전압(V1)까지 점진적으로 하강할 수 있다.
- <155> 아울러, 프리 서스테인 신호는 프리 서스테인 전압(Vpz)을 실질적으로 일정하게 유지할 수 있다. 여기서, 프리 서스테인 전압(Vpz)은 이후의 서스테인 기간에서 공급되는 서스테인 신호(SUS)의 전압, 즉 서스테인 전압(Vs)과 대략 동일한 전압일 수 있다.
- <156> 이와 같이, 프리 리셋 기간에서 제 1 전극(Y)에 제 1 하강 램프 신호가 공급되고, 이와 함께 제 2 전극(Z)에 프리 서스테인 신호가 공급되면 제 1 전극(Y) 상에 소정 극성의 벽 전하(Wall Charge)가 쌓이고, 제 2 전극(Z) 상에는 제 1 전극(Y)과 반대 극성의 벽 전하들이 쌓인다. 예를 들면, 제 1 전극(Y) 상에는 양(+)의 벽 전하(Wall Charge)가 쌓이고, 제 2 전극(Z) 상에는 음(-)의 벽 전하가 쌓일 수 있다.
- <157> 이에 따라, 이후의 리셋 기간에서 충분한 세기의 셋업 방전을 발생시킬 수 있게 되고, 결국 초기화를 충분히 안정적으로 수행할 수 있게 된다.
- <158> 아울러, 리셋 기간에서 제 1 전극(Y)으로 공급되는 상승 램프 신호(Ramp-Up)의 전압이 더 작아지더라도 충분한 세기의 셋업 방전을 발생시킬 수 있게 된다.
- <159> 구동 시간을 확보하는 관점에서 영상 프레임의 서브필드 중에서 시간상 가장 먼저 배열되는 서브필드에서의 리셋 기간이전에 프리 리셋 기간이 포함되거나 영상 프레임의 서브필드 중 2개 또는 3개의 서브필드에서 리셋 기간이전에 프리 리셋 기간이 포함되는 것도 가능하다.
- <160> 또는, 이러한 프리 리셋 기간은 모든 서브필드에서 생략되는 것도 가능하다.
- <161> 프리 리셋 기간 이후, 초기화를 위한 리셋 기간의 셋업(Set-Up) 기간에서는 제 1 전극(Y)으로 제 1 하강 램프 신호와 반대 극성 방향의 상승 램프(Ramp-Up) 신호가 공급될 수 있다.
- <162> 여기서, 상승 램프 신호는 제 2 전압(V2)부터 제 3 전압(V3)까지 제 1 기울기로 점진적으로 상승하는 제 1 상승 램프 신호와 제 3 전압(V3)부터 제 4 전압(V4)까지 제 2 기울기로 상승하는 제 2 상승 램프 신호를 포함할 수 있다.
- <163> 이러한 셋업 기간에서는 상승 램프 신호에 의해 방전 셀 내에는 약한 암방전(Dark Discharge), 즉 셋업 방전이 일어난다. 이 셋업 방전에 의해 방전 셀 내에는 어느 정도의 벽 전하(Wall Charge)가 쌓일 수 있다.
- <164> 여기서, 제 2 상승 램프 신호의 제 2 기울기는 제 1 기울기보다 더 완만할 수 있다. 이와 같이, 제 2 기울기를 제 1 기울기보다 더 완만하게 하게 되면, 셋업 방전이 발생하기 이전까지는 전압을 상대적으로 빠르게 상승시키

고, 셋업 방전이 발생하는 동안에는 전압을 상대적으로 느리게 상승시키는 효과를 획득함으로써, 셋업 방전에 의해 발생하는 광의 양을 저감시킬 수 있다.

- <165> 이에 따라, 콘트라스트(Contrast) 특성을 개선할 수 있다.
- <166> 셋업 기간 이후의 셋다운(Set-Down) 기간에서는 상승 램프 신호 이후에 이러한 상승 램프 신호와 반대 극성 방향의 제 2 하강 램프(Ramp-Down) 신호가 제 1 전극(Y)에 공급될 수 있다.
- <167> 여기서, 제 2 하강 램프 신호는 제 5 전압(V5)부터 제 6 전압(V6)까지 점진적으로 하강할 수 있다.
- <168> 이에 따라, 방전 셀 내에서 미약한 소거 방전(Erase Discharge), 즉 셋다운 방전이 발생한다. 이 셋다운 방전에 의해 방전 셀 내에는 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 균일하게 잔류된다.
- <169> 다음, 도 14a 내지 도 14b는 상승 램프 신호 또는 제 2 하강 램프 신호의 또 다른 형태에 대해 설명하기 위한 도면이다.
- <170> 먼저, 도 14a를 살펴보면, 상승 램프 신호는 제 2 전압(V2)부터 제 3 전압(V3)까지는 급격히 상승한 이후에 제 3 전압(V3)부터 제 4 전압(V4)까지 점진적으로 상승하는 형태이다.
- <171> 이와 같이, 상승 램프 신호는 도 13에서와 같이 두 단계에 걸쳐 서로 다른 기울기로 점진적으로 상승하는 것도 가능하고, 여기 도 14a에서와 같이 하나의 단계에서 점진적으로 상승하는 것도 가능한 것과 같이, 다양한 형태로 변경되는 것이 가능한 것이다.
- <172> 다음, 도 14b를 살펴보면 제 2 하강 램프 신호는 제 8 전압(V8)에서부터 전압이 점진적으로 하강하는 형태이다. 여기서, 제 8 전압(V8)은 제 3 전압(V3)과 실질적으로 동일할 수도 있고, 상이할 수도 있다.
- <173> 이와 같이, 제 2 하강 램프 신호는 전압이 하강하는 시점을 다르게 변경하는 것도 가능한 것과 같이, 다양한 형태로 변경되는 것이 가능한 것이다.
- <174> 한편, 리셋 기간 이후의 어드레스 기간에서는 제 2 하강 램프 신호의 최저 전압, 즉 제 6 전압(V6)보다는 높은 전압을 실질적으로 유지하는 스캔 바이어스 신호가 제 1 전극(Y)에 공급될 수 있다.
- <175> 아울러, 스캔 바이어스 신호로부터 스캔 전압( $\Delta V_y$ )만큼 하강하는 스캔 신호(Scan)가 제 1 전극(Y1~Yn)에 공급될 수 있다.
- <176> 한편, 서브필드 단위로 스캔 신호(Scan)의 폭은 가변적일 수 있다. 즉, 적어도 하나의 서브필드에서 스캔 신호(Scan)의 폭은 다른 서브필드에서의 스캔 신호(Scan)의 폭과 다를 수 있다. 예컨대, 시간상 뒤에 위치하는 서브필드에서의 스캔 신호(Scan)의 폭이 앞에 위치하는 서브필드에서의 스캔 신호(Scan)의 폭보다 작을 수 있다. 또한, 서브필드의 배열 순서에 따른 스캔 신호(Scan) 폭의 감소는  $2.6\mu s$ (마이크로초),  $2.3\mu s$ (마이크로초),  $2.1\mu s$ (마이크로초),  $1.9\mu s$ (마이크로초) 등과 같이 점진적으로 이루어질 수 있거나  $2.6\mu s$ (마이크로초),  $2.3\mu s$ (마이크로초),  $2.3\mu s$ (마이크로초),  $2.1\mu s$ (마이크로초)..... $1.9\mu s$ (마이크로초),  $1.9\mu s$ (마이크로초) 등과 같이 이루어질 수도 있을 것이다.
- <177> 이와 같이, 스캔 신호(Scan)가 제 1 전극(Y)으로 공급될 때, 스캔 신호에 대응되게 제 3 전극(X)에 데이터 전압의 크기( $\Delta V_d$ )만큼 상승하는 데이터 신호가 공급될 수 있다.
- <178> 이러한 스캔 신호(Scan)와 데이터 신호(Data)가 공급됨에 따라, 스캔 신호(Scan)의 전압과 데이터 신호의 데이터 전압( $V_d$ ) 간의 전압 차와 리셋 기간에 생성된 벽 전하들에 의한 벽 전압이 더해지면서 데이터 신호의 전압( $V_d$ )이 공급되는 방전 셀 내에는 어드레스 방전이 발생할 수 있다.
- <179> 여기서, 어드레스 기간에서 제 2 전극(Z)의 간섭에 의해 어드레스 방전이 불안정해지는 것을 방지하기 위해 제 2 전극(Z)에 서스테인 바이어스 신호가 공급될 수 있다.
- <180> 여기서, 서스테인 바이어스 신호는 서스테인 기간에서 공급되는 서스테인 신호의 전압보다는 작고 그라운드 레벨(GND)의 전압보다는 큰 서스테인 바이어스 전압( $V_z$ )을 실질적으로 일정하게 유지할 수 있다.
- <181> 이후, 영상 표시를 위한 서스테인 기간에서는 제 1 전극(Y) 및 제 2 전극(Z)에 중 적어도 하나에 서스테인 신호(SUS)가 공급될 수 있다. 예를 들면, 제 1 전극(Y)과 제 2 전극(Z)에 교호적으로 서스테인 신호(SUS)가 공급될 수 있다.
- <182> 이러한 서스테인 신호(SUS)가 공급되면, 어드레스 방전에 의해 선택된 방전 셀은 방전 셀 내의 벽 전압과 서스

테인 신호(SUS)의 서스테인 전압( $V_s$ )이 더해지면서 서스테인 신호(SUS)가 공급될 때 제 1 전극(Y)과 제 2 전극(Z) 사이에 서스테인 방전 즉, 표시방전이 발생할 수 있다.

- <183> 다음, 도 15는 서스테인 신호의 제 1 실시예에 대해 설명하기 위한 도면이다.
- <184> 도 15를 살펴보면, 영상 프레임의 서스테인 기간에서 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호는 d 기간 동안 중첩(Overlap)된다.
- <185> 이와 같이, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 중첩되면 제 1 전극으로 공급되는 서스테인 신호에 의해 생성된 벽 전하가 제 2 전극에 서스테인 신호가 공급될 때 발생하는 서스테인 방전에 충분히 기여할 수 있다. 이에 따라 구동 효율이 향상될 수 있다.
- <186> 아울러, 정해진 기간 내에 더 많은 서스테인 신호가 공급될 수 있고 이로 인해 구동 마진(Margin)이 향상될 수 있다.
- <187> 한편, 이상에서 상세히 설명한 바와 같이 플라즈마 디스플레이 패널의 제 1 전극 및 제 2 전극 중 적어도 하나가 단일층인 경우에는 충분한 개구율 확보를 위해 제 1 전극과 제 2 전극의 폭을 어느 정도 제한할 필요가 있다.
- <188> 이에 따라, 제 1 전극 및 제 2 전극 중 적어도 하나가 단일층인 경우에는 앞선 도 3의 (a)와 같이 제 1 전극과 제 2 전극이 투명 전극을 포함하고, 아울러 복수의 층으로 이루어지는 경우에 비해 방전 개시 전압이 상대적으로 높다. 이로 인해, 구동 효율이 상대적으로 낮아질 수 있다.
- <189> 이에 따라, 플라즈마 디스플레이 패널의 제 1 전극 및 제 2 전극 중 적어도 하나가 단일층인 경우에 여기 도 15에서와 같이 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호를 중첩시키는 것이 구동 효율을 고려할 때 더 유리할 수 있다.
- <190> 다음, 도 16은 서스테인 신호의 제 2 실시예에 대해 설명하기 위한 도면이다.
- <191> 도 16을 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩될 수 있다.
- <192> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d1기간보다 더 긴 d2기간 동안 중첩될 수 있다.
- <193> 이와 같이, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호의 중첩 기간의 길이는 다양하게 변경될 수 있다.
- <194> 아울러, (a)와 같이 중첩 기간의 길이가 d1인 서스테인 신호들과 (b)같이 중첩 기간의 길이가 d2인 서스테인 신호들을 함께 사용하게 되면 방전 셀 내에서 고착화될 수 있는 벽 전하의 분포 특성을 흔들어 줄 수 있고, 이에 따라 잔상의 발생을 저감시킬 수 있다.
- <195> 다음, 도 17은 서스테인 신호의 제 3 실시예에 대해 설명하기 위한 도면이다.
- <196> 도 17에는 세 개 이상의 타입(Type)의 서스테인 신호가 함께 사용되는 경우의 일례가 나타나 있다.
- <197> 예를 들면, ① 타입, ② 타입, ③ 타입 및 ④타입의 서스테인 신호가 서스테인 기간에서 함께 사용될 수 있다.
- <198> 여기서, ① 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간 동안 중첩되는 타입이다.
- <199> 또한, ② 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간과는 길이가 다른 d2기간 동안 중첩되는 타입이고, ③ 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간 및 d2기간과 길이가 다른 d3기간 동안 중첩되는 타입이고, ④ 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1, d2 및 d3기간과는 길이가 다른 d4기간 동안 중첩되는 타입일 수 있다.
- <200> 이와 같이, 세 개 이상의 서로 다른 타입의 서스테인 신호를 함께 사용하게 되면 구동 효율을 향상시킬 수 있을 뿐만 아니라, 잔상의 발생을 더욱 저감시킬 수 있다.

- <201> 다음, 도 18은 서스테인 신호의 제 4 실시예에 대해 설명하기 위한 도면이다.
- <202> 도 18을 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d기간 동안 중첩될 수 있다.
- <203> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 중첩되지 않을 수 있다.
- <204> 이와 같이, (a)와 같이 서스테인 신호들이 중첩되는 타입과 (b)와 같이 서스테인 신호들이 중첩되지 않는 타입을 함께 사용하는 것도 가능한 것이다.
- <205> 다음, 도 19는 서스테인 신호의 제 5 실시예에 대해 설명하기 위한 도면이다.
- <206> 도 19를 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 펄스폭은 W1일 수 있다. 이러한, (a)의 경우에서의 서스테인 신호의 주기는 T1으로 설정될 수 있다.
- <207> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d2기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 펄스폭은 W1보다 큰 W2일 수 있다. 이러한, (b)의 경우에서 서스테인 신호의 주기는 앞선 (a)에서의 T1보다 긴 T2로 설정될 수 있다.
- <208> 여기서, (a)의 중첩기간 d1의 길이와 (b)의 중첩기간 d2의 길이는 실질적으로 동일할 수도 있고 상이할 수도 있다. 아울러, (a)의 서스테인 주기 T1 또는 (b)의 서스테인 주기 T2는 4 $\mu$ s 이상 6 $\mu$ s 이하의 범위 내에서 설정될 수 있다.
- <209> 이와 같이, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호를 중첩시키고, 아울러 서스테인 신호의 펄스폭을 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다. 또한, 서스테인 신호의 주기를 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다.
- <210> 다음, 도 20은 서스테인 신호의 제 6 실시예에 대해 설명하기 위한 도면이다.
- <211> 도 20을 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간을 포함할 수 있다.
- <212> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d2기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간 중 적어도 하나는 앞선 (a)의 경우보다 더 길 수 있다.
- <213> 여기서, (a)의 중첩기간 d1의 길이와 (b)의 중첩기간 d2의 길이는 실질적으로 동일할 수도 있고 상이할 수도 있다. 아울러, (a)의 서스테인 신호의 전압 상승 기간 또는 (b)의 서스테인 신호의 전압 상승 기간의 길이는 500ns 이상 800ns 이하의 범위내에서 설정될 수 있다.
- <214> 이와 같이, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호를 중첩시키고, 아울러 서스테인 신호의 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간 중 적어도 하나를 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다.
- <215> 다음, 도 21은 서스테인 신호의 제 7 실시예에 대해 설명하기 위한 도면이다.
- <216> 도 21을 살펴보면 제 1 전극으로 공급되는 마지막 서스테인 신호와 제 2 전극으로 공급되는 마지막 서스테인 신호가 중첩될 수 있다.
- <217> 예를 들어, 제 1 전극으로 제 2 서스테인 신호(SUS2), 제 4 서스테인 신호(SUS4) 및 제 6 서스테인 신호(SUS6)가 공급되고, 제 2 전극으로 제 1 서스테인 신호(SUS1), 제 3 서스테인 신호(SUS3), 제 5 서스테인 신호(SUS5)

및 제 7 서스테인 신호(SUS7)가 공급된다고 가정하면, 제 1 전극으로 마지막 서스테인 신호인 제 6 서스테인 신호(SUS6)가 공급되고 d 기간 이후에 제 2 전극으로 마지막 서스테인 신호인 제 7 서스테인 신호(SUS7)가 공급되고, 이후 제 6 서스테인 신호(SUS6)와 제 7 서스테인 신호(SUS7)가 그 다음 서브필드까지 유지할 수 있다.

- <218> 여기서, 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 중첩되지 않는 것도 가능하고, 또한 제 6 서스테인 신호(SUS6)와 제 7 서스테인 신호(SUS7)가 중첩되는 기간보다 더 짧은 기간 동안 중첩되는 것도 가능하다.
- <219> 이와 같이, 소정 서브필드의 서스테인 기간에서 제 1 전극으로 공급되는 마지막 서스테인 신호와 제 2 전극으로 공급되는 마지막 서스테인 신호를 그 다음 서브필드까지 중첩시키면, 소정 서브필드의 서스테인 기간에서 생성된 벽 전하를 이용하여 그 다음 서브필드의 리셋 기간에서 초기화를 수행할 수 있게 됨으로써 구동 효율이 향상될 수 있다.
- <220> 한편, 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 펄스 폭은 다른 서스테인 신호의 펄스 폭보다 상대적으로 큰 것으로 도시하였다. 이에 대해서는 앞선 도 19에서 상세히 설명하였으므로 중복되는 설명은 생략하기로 한다.
- <221> 이와 같이, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- <222> 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 전술한 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**발명의 효과**

- <223> 이상에서 상세히 설명한 바와 같이, 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널은 제 1 전극 및 제 2 전극 중 적어도 하나를 단일 층으로 형성함으로써 제조 공정이 단순해지고, 제조 단가가 저감되는 효과가 있다.
- <224> 아울러, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호를 중첩시킴으로써 구동 효율을 향상시키고 아울러 잔상의 발생을 저감시키는 효과가 있다.

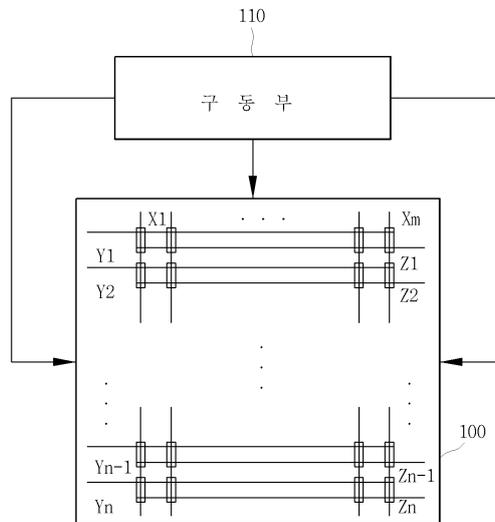
**도면의 간단한 설명**

- <1> 도 1은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 구성의 일례를 설명하기 위한 도면.
- <2> 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 포함될 수 있는 플라즈마 디스플레이 패널의 구조의 일례를 설명하기 위한 도면.
- <3> 도 3은 제 1 전극 및 제 2 전극 중 적어도 하나가 단일 층으로 형성되는 이유에 대해 설명하기 위한 도면.
- <4> 도 4는 제 1 전극 및 제 2 전극과 전면 기관 사이에 블랙 층이 더 추가된 구조의 일례를 설명하기 위한 도면.
- <5> 도 5a 내지 도 5d는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 1 실시예에 대해 설명하기 위한 도면.
- <6> 도 6a 내지 도 6b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 2 실시예에 대해 설명하기 위한 도면.
- <7> 도 7a 내지 도 7b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 3 실시예에 대해 설명하기 위한 도면.
- <8> 도 8a 내지 도 8b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 4 실시예에 대해 설명하기 위한 도면.
- <9> 도 9a 내지 도 9b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 5 실시예에 대해 설명하기 위한 도면.
- <10> 도 10은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 6 실시예에 대해 설명하기 위한 도면.

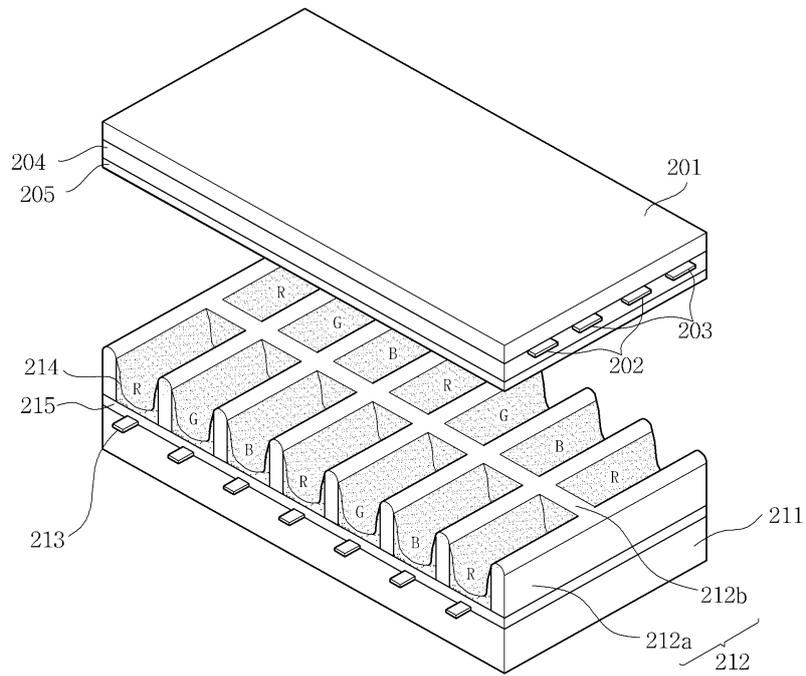
- <11> 도 11은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에 적용될 수 있는 플라즈마 디스플레이 패널의 제 1 전극과 제 2 전극의 제 7 실시예에 대해 설명하기 위한 도면.
- <12> 도 12는 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조를 구현하기 위한 영상 프레임(Frame)에 대해 설명하기 위한 도면.
- <13> 도 13은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 동작의 일례를 설명하기 위한 도면.
- <14> 도 14a 내지 도 14b는 상승 램프 신호 또는 제 2 하강 램프 신호의 또 다른 형태에 대해 설명하기 위한 도면.
- <15> 도 15는 서스테인 신호의 제 1 실시예에 대해 설명하기 위한 도면.
- <16> 도 16은 서스테인 신호의 제 2 실시예에 대해 설명하기 위한 도면.
- <17> 도 17은 서스테인 신호의 제 3 실시예에 대해 설명하기 위한 도면.
- <18> 도 18은 서스테인 신호의 제 4 실시예에 대해 설명하기 위한 도면.
- <19> 도 19는 서스테인 신호의 제 5 실시예에 대해 설명하기 위한 도면.
- <20> 도 20은 서스테인 신호의 제 6 실시예에 대해 설명하기 위한 도면.
- <21> 도 21은 서스테인 신호의 제 7 실시예에 대해 설명하기 위한 도면.
- <22> <도면의 주요 부분에 대한 부호의 설명>
- <23> 100 : 플라즈마 디스플레이 패널                      110 : 구동부

**도면**

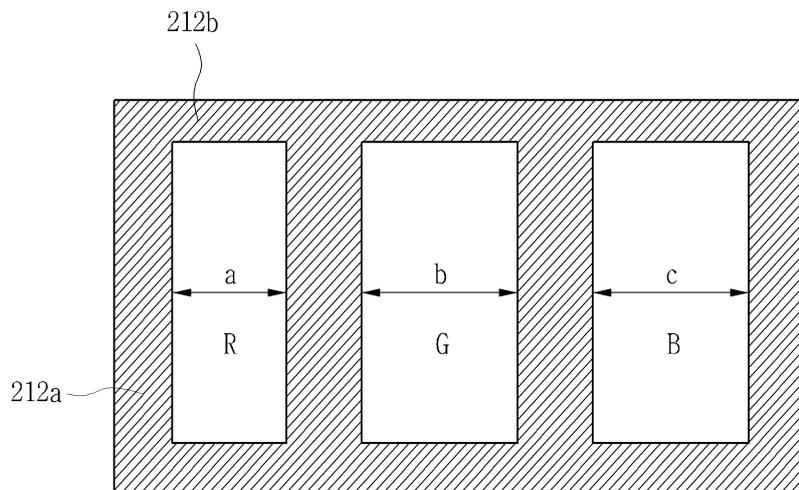
**도면1**



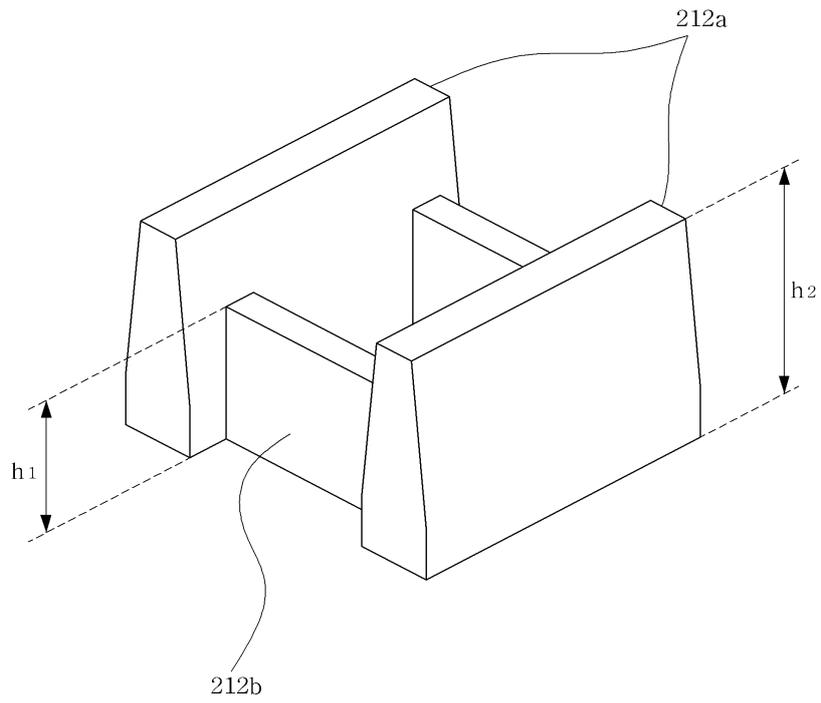
도면2a



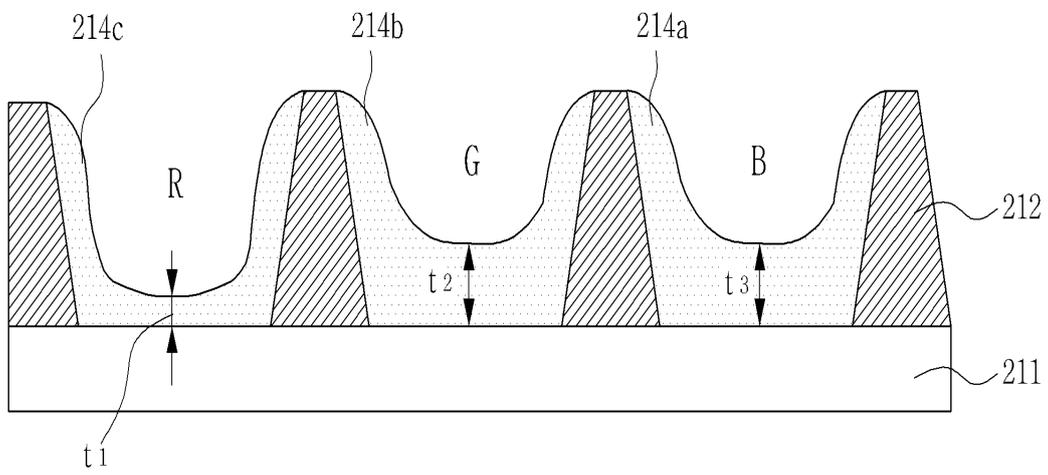
도면2b



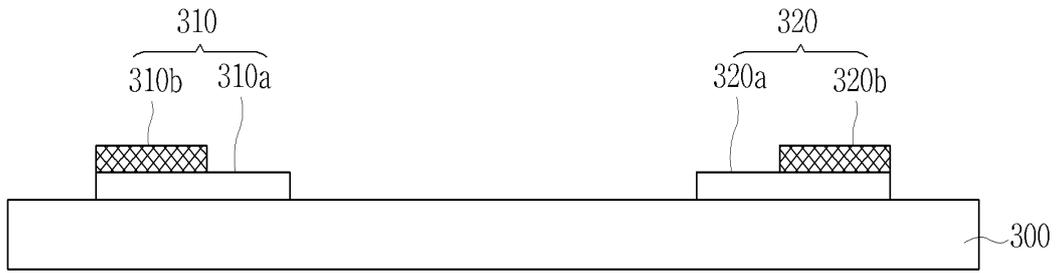
도면2c



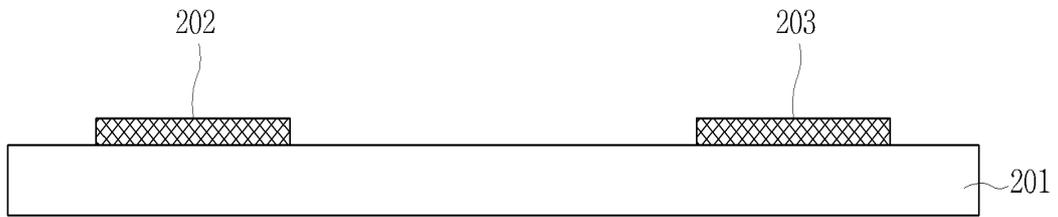
도면2d



도면3

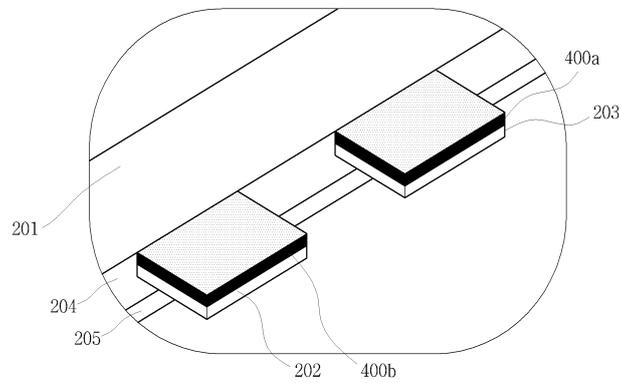


(a)

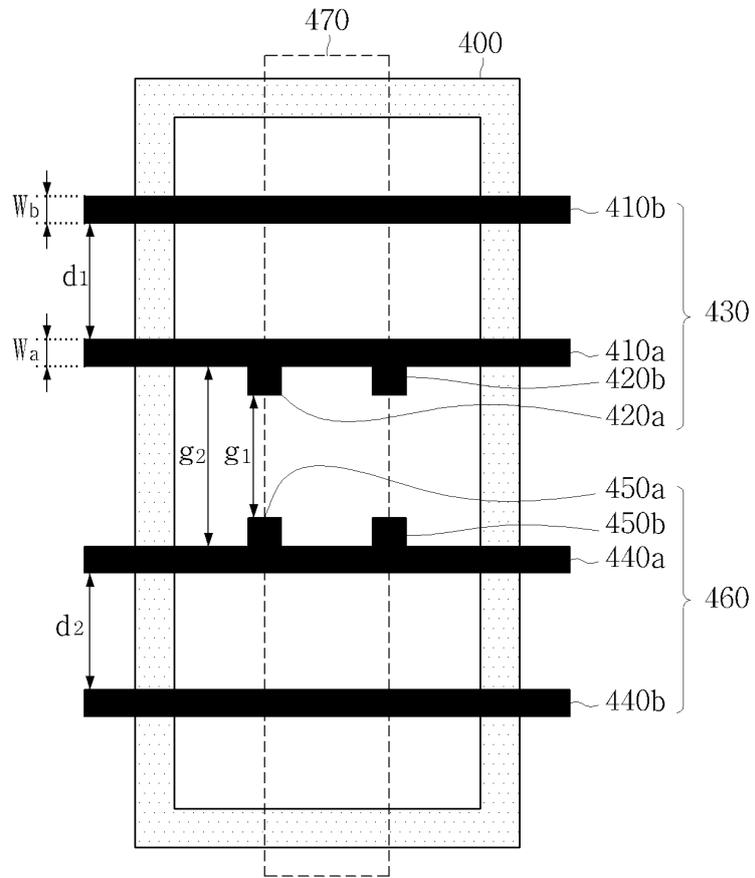


(b)

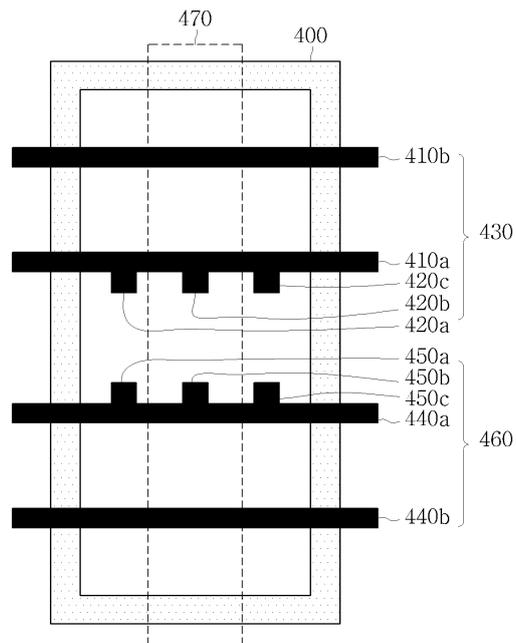
도면4



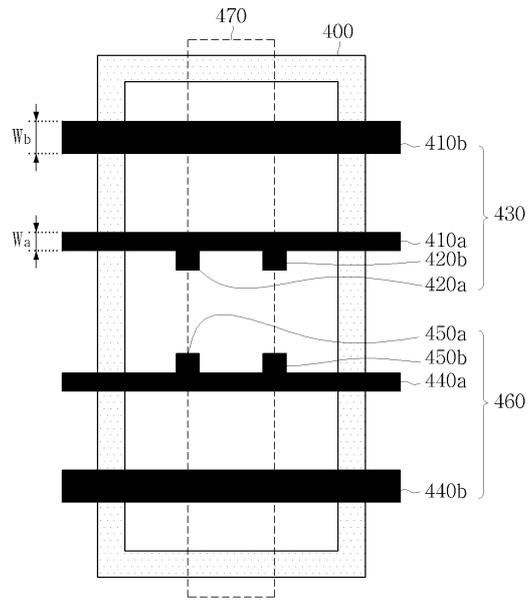
도면5a



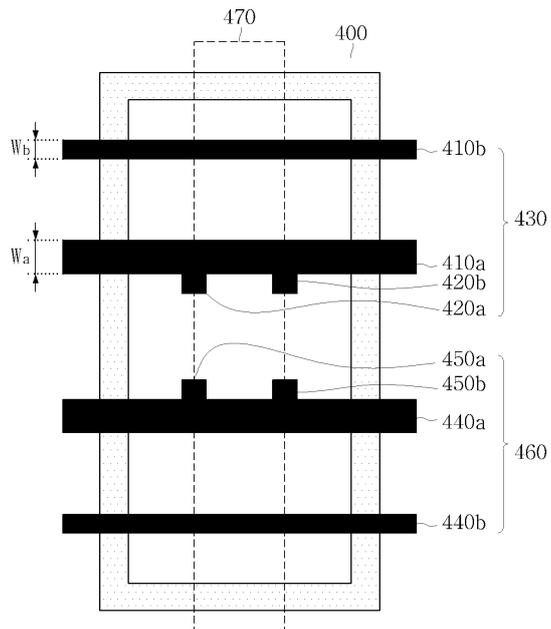
도면5b



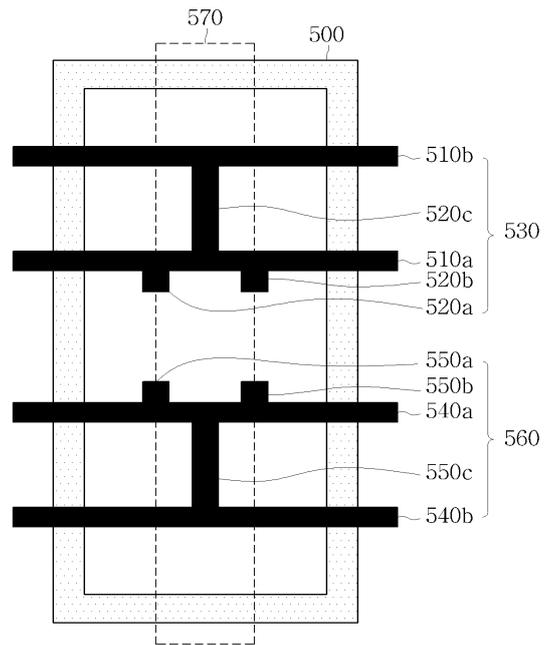
도면5c



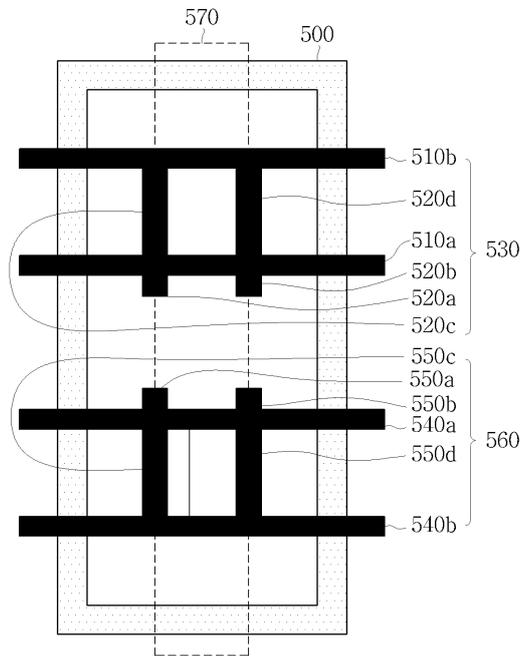
도면5d



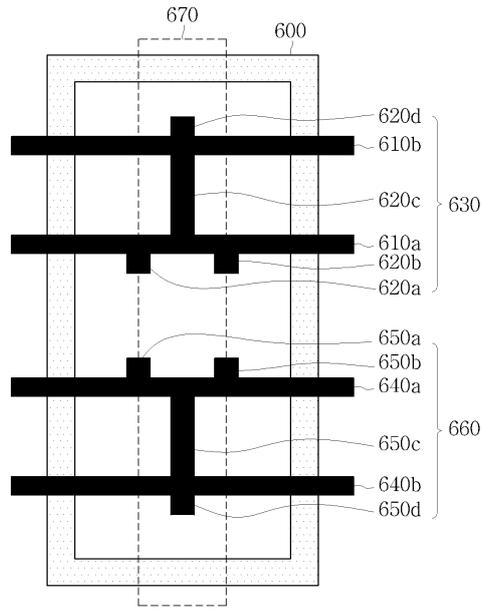
도면6a



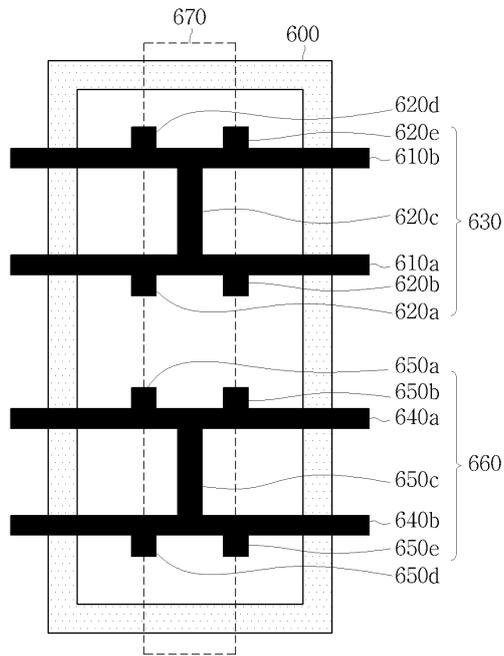
도면6b



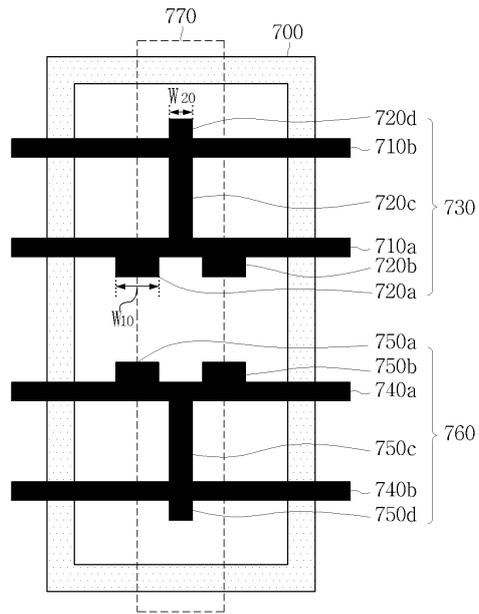
도면7a



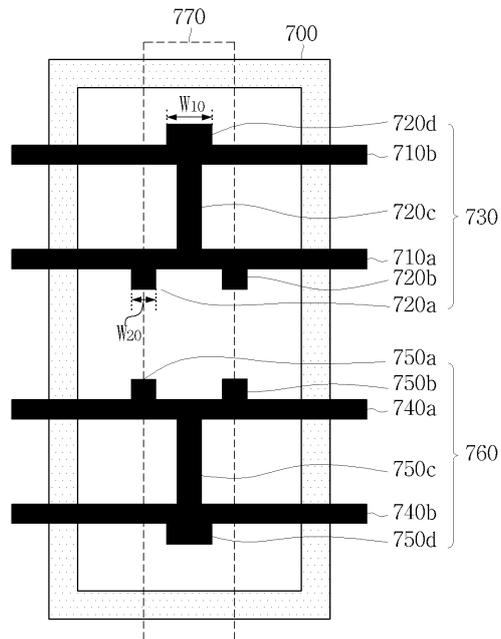
도면7b



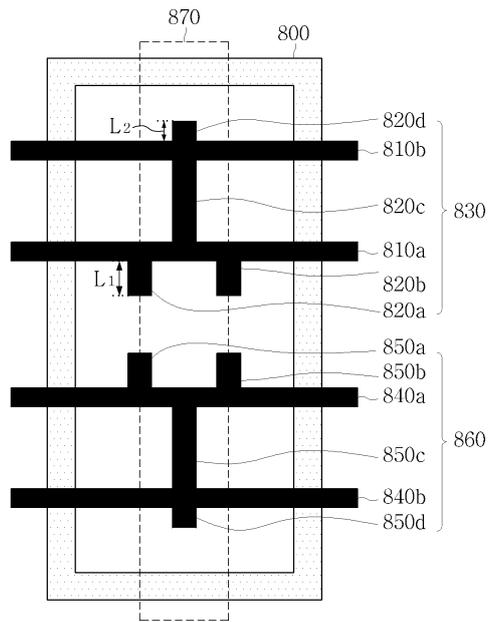
도면8a



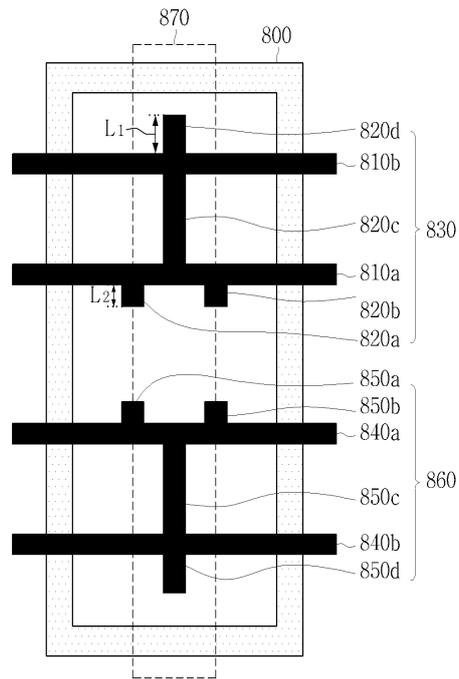
도면8b



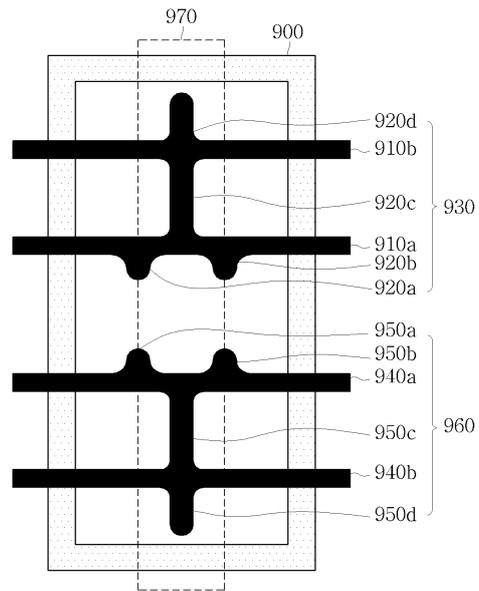
도면9a



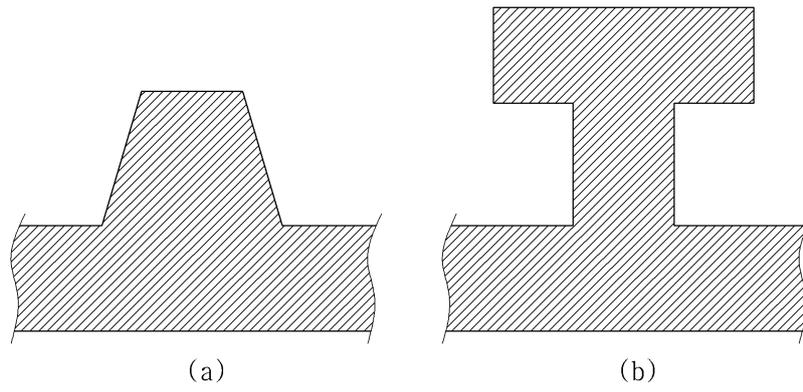
도면9b



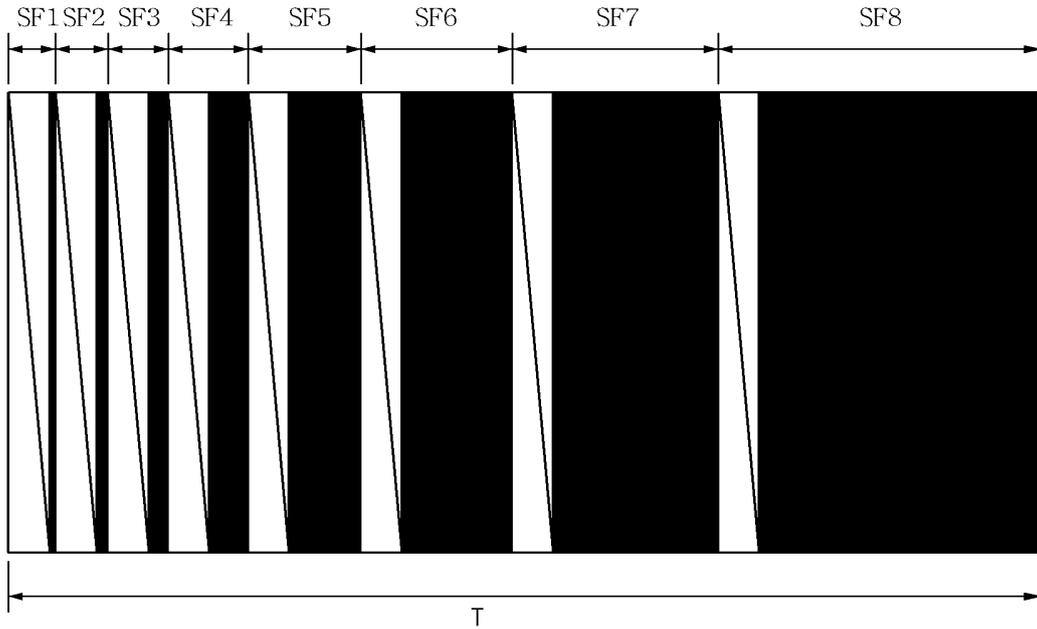
도면10



도면11



도면12



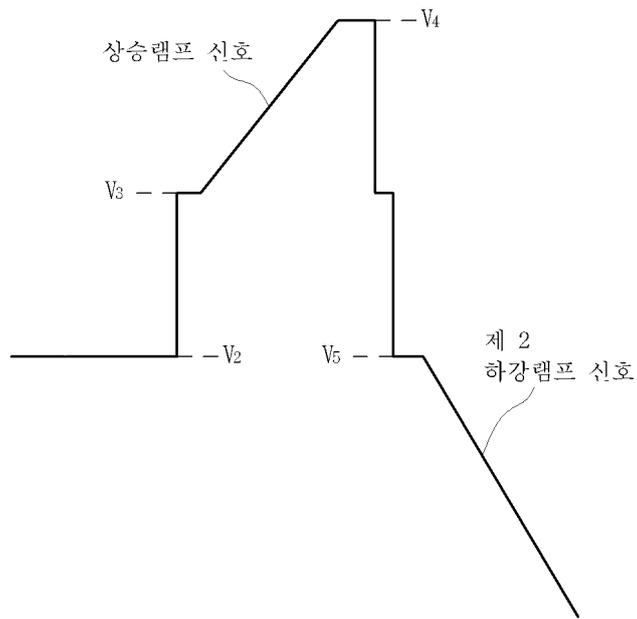
: 리셋 기간 & 어드레스 기간



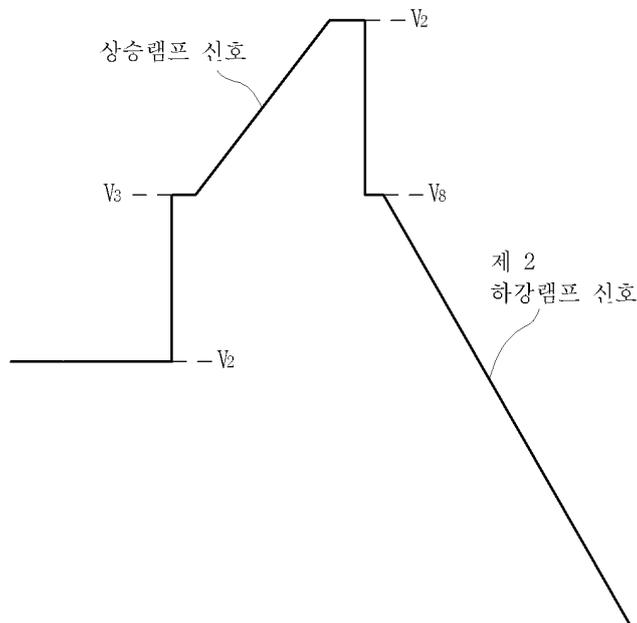
: 서스테인 기간



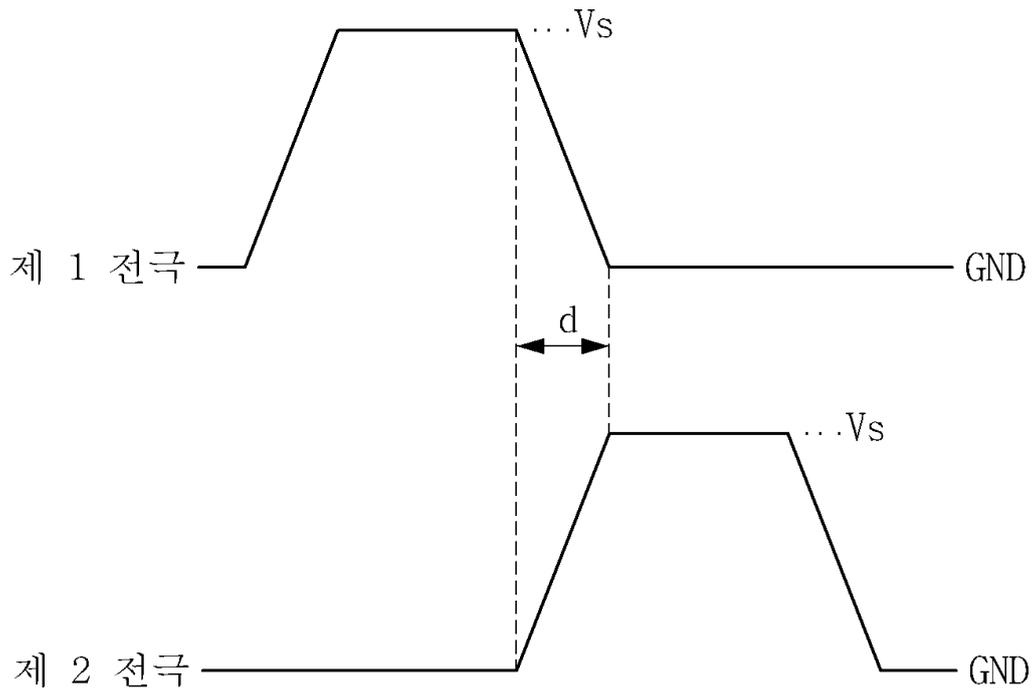
도면14a



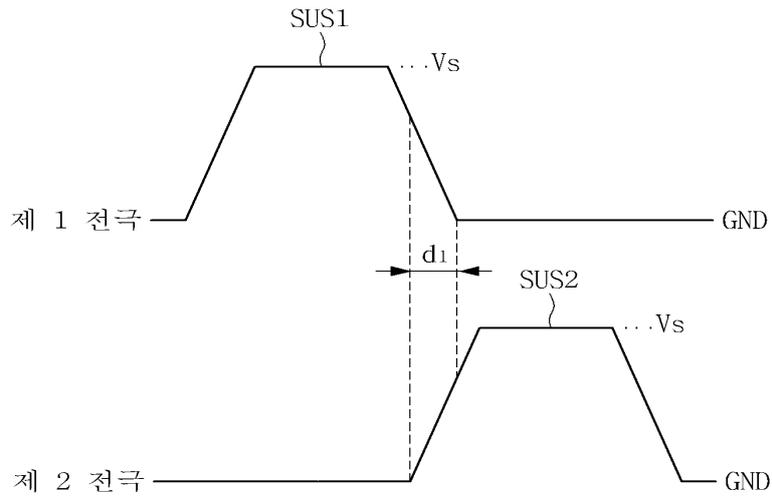
도면14b



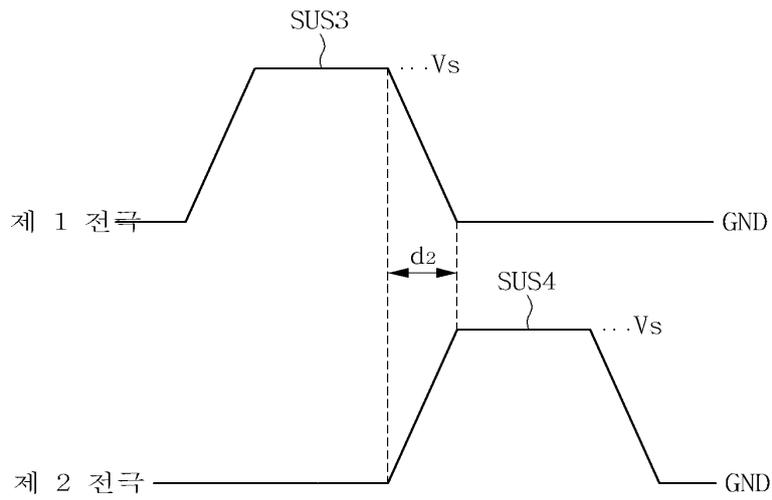
도면15



도면16

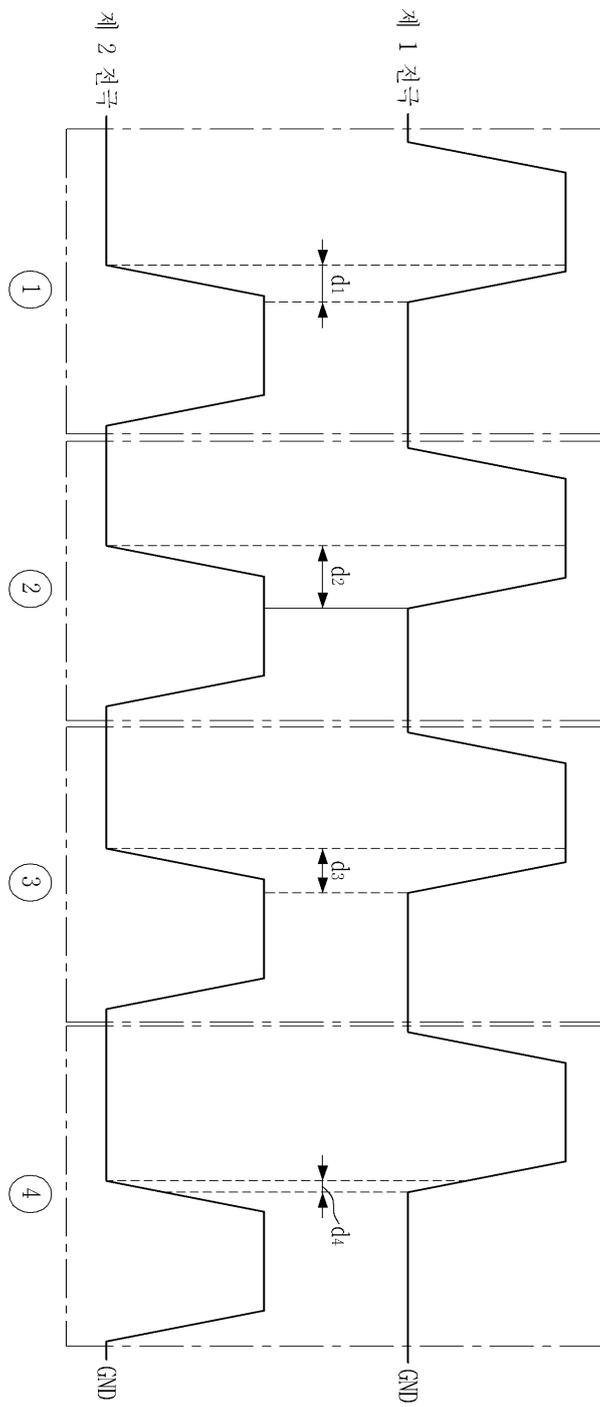


(a)

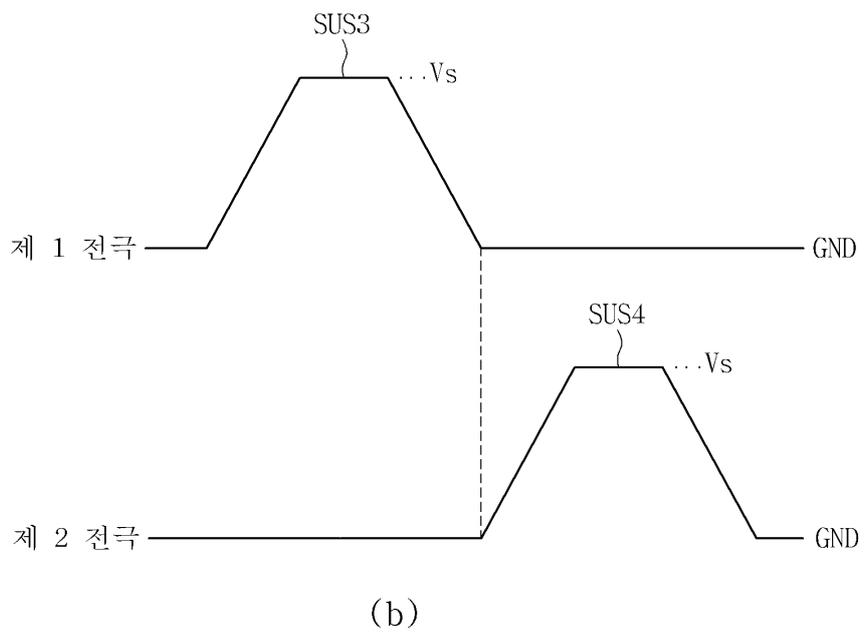
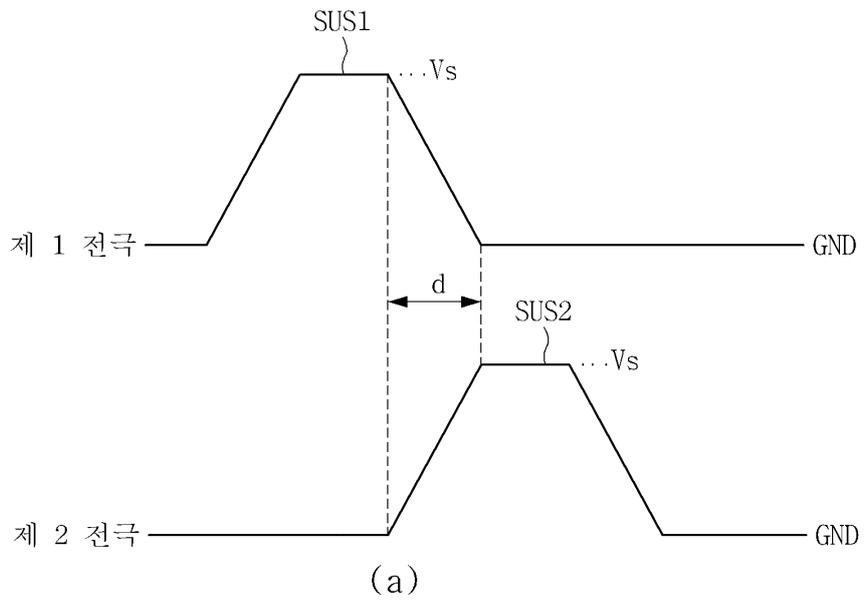


(b)

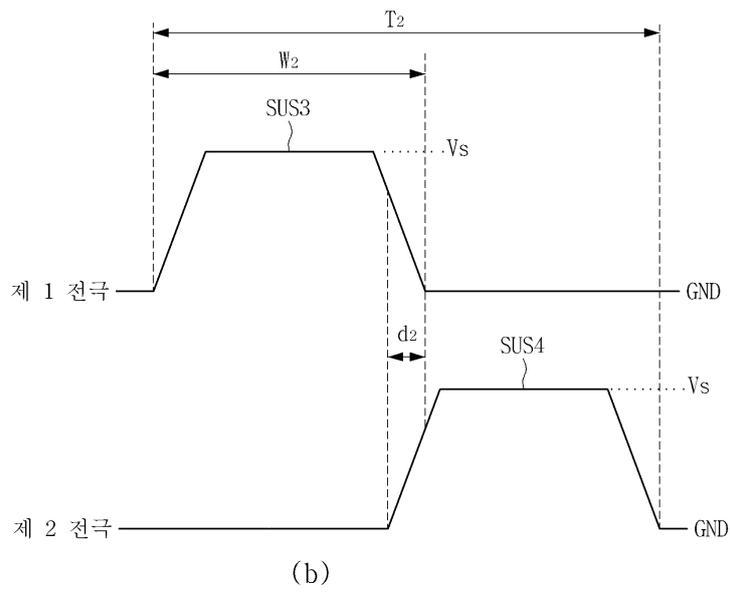
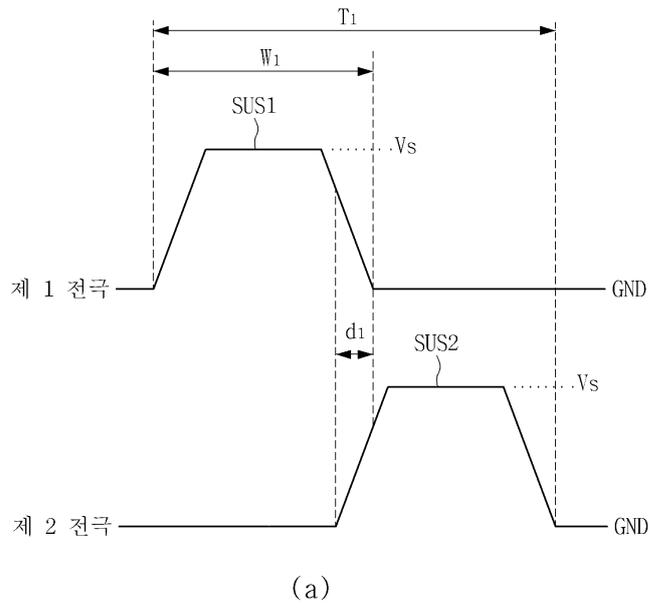
도면17



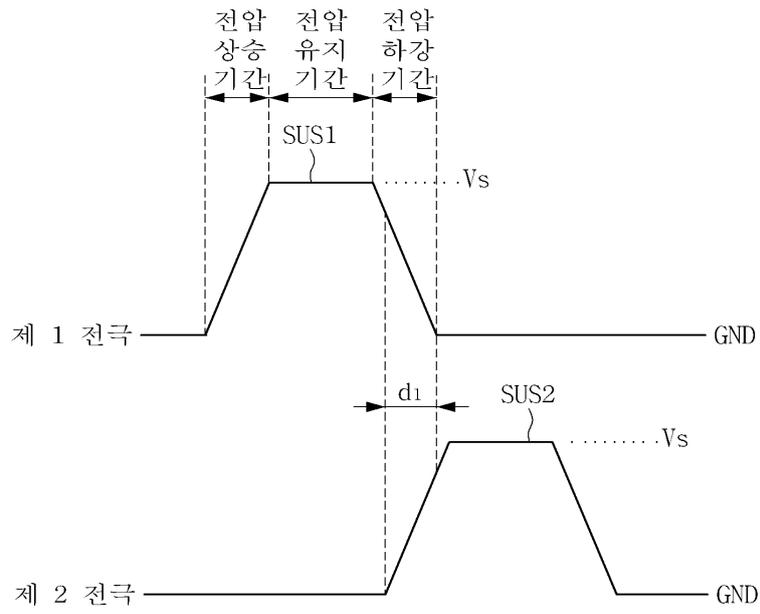
도면18



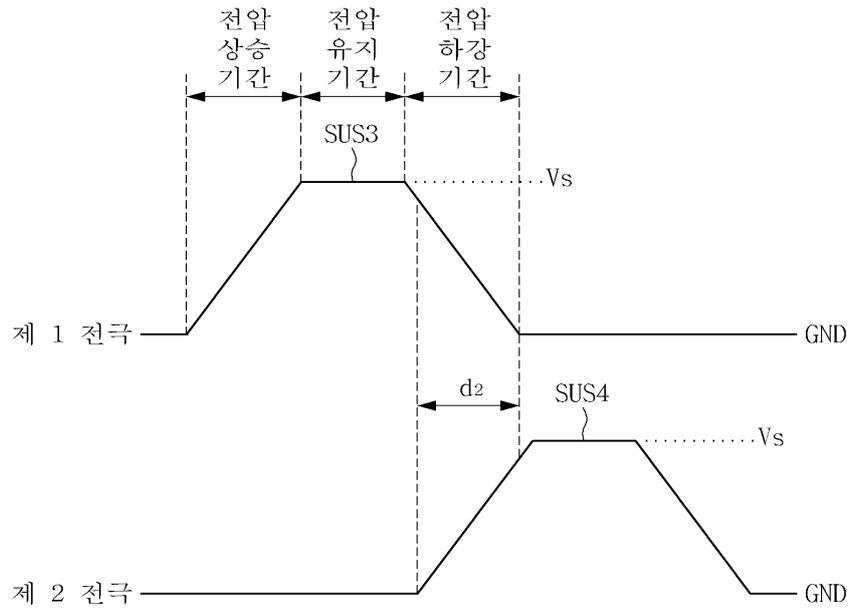
도면19



도면20



(a)



(b)

도면21

